

三次元集積のための誘導結合を用いたパケット転送と  
共振結合を用いたクロック分配に関する研究

2015年3月

竹 康 宏

学位論文 博士（工学）

三次元集積のための誘導結合を用いたパケット転送と  
共振結合を用いたクロック分配に関する研究

2015年3月

慶應義塾大学大学院理工学研究科

竹 康 宏

## 本論文の構成と内容

三次元集積は、スケーリングに依らずに高性能 LSI を設計するための重要な技術である。近年まで、集積回路の性能向上は、ムーアの法則に従うスケーリングによって達成されてきた。しかし、物理的制約によるムーアの法則の減速が議論されており、スケーリングに依らない性能向上として、三次元集積が注目されている。チップ間を無線接続する誘導結合インタフェースは、従来の CMOS プロセスのみで三次元集積を可能とする。多様なシステム間のデータ転送のためにはパケット転送が望ましいが、積層チップ間のデータ通信に用いた場合に、拡張性が高い転送方式と回路技術の研究はこれまでになかった。また、誘導結合を用いてクロックを各チップに転送すると、転送遅延に起因する位相誤差の問題があった。位相誤差の少ないクロックをチップ内で分配する回路技術の研究はこれまでにあったが、積層チップ間で分配する技術はこれまでになかった。そこで本研究では、誘導結合を用いたパケット転送と磁界の共振結合を用いたクロック分配を提案することを目的とした。

第 1 章に、本研究の背景と、他の集積方式に比べた誘導結合の利点を概説した。

第 2 章では、拡張性の高いパケット転送方式として、リング型垂直バブルフローパケット転送方式を提案した。65 nm CMOS プロセスの試作チップを評価して、従来の仮想チャネル方式に比べて 33.5% の小面積化と、12.5% のスループット向上を確認した。

第 3 章では、広帯域なパケット通信を実現する誘導結合インタフェースの回路技術を提案した。誘導結合型注入同期クロック再生技術により、クロック伝送コイルを削除し、1 コイルリピート伝送技術により、通信に必要なデータ伝送コイルを削減することで、単位面積あたりの帯域を広帯域化した。0.18  $\mu\text{m}$  CMOS プロセスの試作チップを評価して、従来に比べて 6 倍の 730 Gb/s/mm<sup>2</sup> に広帯域化することを確認した。

第 4 章では、磁界の共振結合を用いたクロック分配技術について提案した。発振器同士を結合させることにより、互いのばらつきを補正する。加えて、結合された発振器を外部参照クロックに同期させる調律回路を提案した。0.18  $\mu\text{m}$  CMOS プロセスの試作チップを評価して、積層されたチップ全体において、18 ps 以内の位相誤差と 1.72 ps のジッターで外部参照クロックに同期したクロック分配を達成した。

第 5 章では、各章で得られた内容をまとめ、本研究の成果を述べた。

# 目次

目次.....	II
図目次.....	VII
表目次.....	X
第 1 章 序論.....	11
1.1 はじめに.....	12
1.2 背景.....	14
1.3 三次元集積方式.....	16
1.3.1 有線接続方式.....	16
1.3.1.1 ワイヤボンディング方式.....	16
1.3.1.2 マイクロバンプ方式.....	16
1.3.1.3 貫通シリコンビア (TSV)方式.....	17
1.3.2 無線接続方式.....	18
1.3.2.1 容量結合方式.....	18
1.3.2.2 誘導結合方式.....	18
1.4 誘導結合インタフェース.....	20
1.4.1 原理.....	20
1.4.2 先行研究と課題.....	25
1.5 本研究の目的.....	26
1.6 本論文の構成.....	27
参考文献 (第 1 章).....	29

<b>第 2 章 リング型垂直バブルフローパケット転送</b> .....	<b>34</b>
<b>2.1 はじめに</b> .....	<b>35</b>
<b>2.2 ネットワーク構成</b> .....	<b>36</b>
2.2.1 片方向リングネットワーク .....	37
2.2.2 双方向リングネットワーク .....	40
<b>2.3 ルータとフロー制御</b> .....	<b>42</b>
2.3.1 仮想チャネル方式 .....	43
2.3.2 垂直バブルフロー方式 .....	44
<b>2.4 試作チップ</b> .....	<b>47</b>
2.4.1 システムレベル実装 .....	47
2.4.1.1 通信手法 .....	47
2.4.1.2 試作チップ構造 .....	49
2.4.2 ハードウェアレベル実装 .....	50
2.4.2.1 試作チップ積層実装 .....	50
2.4.2.2 誘導結合インタフェースチャネル設計 .....	54
2.4.2.3 チャネル干渉 .....	56
2.4.2.4 バースト転送 .....	57
<b>2.5 評価結果</b> .....	<b>60</b>
2.5.1 ゼロロードレイテンシ .....	60
2.5.2 ネットワークスループット .....	62
2.5.3 アプリケーション性能 .....	65
2.5.3.1 実用的な SiP システム .....	65
2.5.3.2 シミュレーション環境 .....	66
2.5.3.3 シミュレーション結果 .....	68
2.5.4 ルータハードウェア量 .....	71
<b>2.6 おわりに</b> .....	<b>73</b>

参考文献 (第 2 章).....	74
<b>第 3 章 誘導結合型注入同期 CDR と 1 コイルリピート伝送</b> .....	<b>77</b>
3.1 はじめに .....	78
3.1 誘導結合型注入同期 CDR 技術 .....	79
3.1.1 XOR 型注入同期 CDR .....	79
3.1.2 誘導結合型注入同期 CDR.....	82
3.1.3 レプリカバイアス回路 .....	83
3.1.4 並列チャネルインタフェース .....	88
3.1.5 ミスアライメント耐性 .....	89
3.1.6 試作チップ .....	92
3.1.7 評価結果 .....	94
3.2 1 コイルリピート伝送技術.....	100
3.2.1 従来のリピート伝送技術 .....	100
3.2.2 提案回路アーキテクチャ .....	101
3.2.3 タイミング設計.....	102
3.2.4 試作チップ .....	105
3.2.4.1 1 コイルリピート伝送.....	106
3.2.4.2 誘導結合型注入同期 CDR との組合せ .....	106
3.3 おわりに .....	109
参考文献 (第 3 章).....	110
<b>第 4 章 共振結合を用いたクロック分配</b> .....	<b>111</b>
4.1 はじめに .....	112
4.2 垂直方向のクロック分配.....	113
4.2.1 1 段共振結合器 .....	114

4.2.2	多段共振結合器.....	116
4.3	平面方向のクロック分配.....	119
4.4	周波数と位相の調律.....	120
4.4.1	従来手法の課題.....	120
4.4.2	FL-PP 調律方式.....	123
4.4.3	誘導結合クロック分周器 .....	126
4.5	試作チップ.....	128
4.6	測定結果 .....	133
4.6.1	共振結合器の単体評価 .....	133
4.6.2	FL-PP の評価 .....	136
4.7	おわりに .....	143
	参考文献 (第 4 章).....	144
	第 5 章 結論 .....	145
5.1	まとめ.....	146
5.2	リング型垂直バブルフローパケット転送 (第 2 章).....	147
5.3	誘導結合型注入同期 CDR と 1 コイルリピート伝送 (第 3 章).....	148
5.4	共振結合を用いたクロック分配 (第 4 章).....	149
5.5	総括 .....	150
5.6	今後の展望.....	151
	謝辞.....	152

著者論文目録..... 153

# 目次

図 1.1	SoC (System on a Chip) .....	15
図 1.2	SiP (System in a Package) .....	15
図 1.3	マイクロバンプ方式 .....	17
図 1.4	TSV 方式 .....	17
図 1.5	容量結合方式 .....	18
図 1.6	誘導結合方式 .....	19
図 1.7	インダクタ間の磁界結合 .....	20
図 1.8	磁界結合の等価モデル .....	22
図 1.9	送受信機が接続された誘導結合インタフェース .....	23
図 1.10	Hブリッジ型送信機 .....	23
図 1.11	ヒステリシスコンパレータ型受信機 .....	24
図 1.12	本論文の構成 .....	28
図 2.1	片方向リングネットワーク .....	38
図 2.2	リングネットワーク上のデッドロック .....	39
図 2.3	双方向リングネットワーク .....	41
図 2.4	仮想チャネルによるハードウェア資源の増加 .....	44
図 2.5	垂直バブルフローネットワーク .....	45
図 2.6	試作チップ内ブロック図 .....	48
図 2.7	試作チップの断面図 (4枚積層) .....	48
図 2.8	共有バス方式 .....	49
図 2.9	試作チップレイアウト .....	52
図 2.10	テスト基板 .....	54
図 2.11	誘導結合インタフェースの等価モデル .....	55
図 2.12	積層位置誤差と結合係数 .....	57
図 2.13	誘導結合インタフェースの回路ブロック図 .....	59
図 2.14	ネットワークスループット(片方向リング/4枚積層) .....	63
図 2.15	ネットワークスループット(片方向リング/8枚積層) .....	63
図 2.16	ネットワークスループット(双方向リング/4枚積層) .....	64
図 2.17	ネットワークスループット(双方向リング/8枚積層) .....	64

図 2.18	実用的な 3 次元 CMP 構造.....	66
図 2.19	実行時間(片方向リング/4 枚積層).....	69
図 2.20	実行時間(片方向リング/8 枚積層).....	70
図 2.21	実行時間(双方向リング/4 枚積層).....	70
図 2.22	実行時間(双方向リング/8 枚積層).....	71
図 2.23	ルータハードウェア量(ゲート数).....	72
図 3.1	XOR 型注入同期 CDR.....	79
図 3.2	XOR の周波数特性.....	81
図 3.3	誘導結合型注入同期 CDR.....	83
図 3.4	レプリカバイアス回路.....	84
図 3.5	ゲートソース電位と $g_m$ .....	86
図 3.6	提案注入同期回路によるクロック再生シミュレーション	87
図 3.7	$N$ 並列チャネルインタフェース.....	89
図 3.8	ミスアライメント量と結合係数 $k$ .....	90
図 3.9	結合係数 $k$ とロックレンジ.....	91
図 3.10	試作チップの顕微鏡写真.....	93
図 3.11	再生クロック $Rxclk$ の波形スナップショット.....	95
図 3.12	受信データ $Rxdata$ の Eye パターン.....	95
図 3.13	受信データ $Rxdata$ の波形スナップショット.....	96
図 3.14	周波数誤差に対するロックレンジ.....	97
図 3.15	電源電圧とロックレンジ(RMS ジッタ量測定).....	98
図 3.16	従来の誘導結合を用いたリレー伝送構造.....	100
図 3.17	1 コイルリピート伝送構造.....	102
図 3.18	誘導結合を用いたリレー伝送のタイミング解析.....	104
図 3.19	試作チップの顕微鏡写真.....	105
図 3.20	1 コイルリピート伝送チャンネルの BER.....	107
図 4.1	レプリカ PLL を用いた自己発振周波数制御.....	113
図 4.2	共振結合器を用いたグローバルクロック分配.....	115
図 4.3	共振器のテール電流値と結合係数による結合状態.....	116
図 4.4	多段共振結合器の等価モデルと周波数特性.....	118
図 4.5	共振結合型リングオシレータ.....	119

図 4.6	各調律方式.....	121
図 4.7	チップ毎に異なる遅延誤差.....	122
図 4.8	調律されたバラクタ数による周波数調律範囲の変化.....	123
図 4.9	FL-PP 調律方式を用いた三次元クロック分配 .....	125
図 4.10	FL-PP の詳細回路構成.....	126
図 4.11	誘導結合クロック分周器 .....	127
図 4.12	試作チップの顕微鏡写真 .....	130
図 4.13	試作チップの顕微鏡写真 .....	130
図 4.14	結合リングオシレータの配置間隔とクロックスキュー ...	131
図 4.15	結合リングオシレータからパッドまでの結線図.....	131
図 4.16	FLL 回路ブロックのレイアウト面積 .....	132
図 4.17	共振器のテール電流源と各共振器の発振周波数.....	134
図 4.18	容量ばらつきに対する発振周波数の変化 .....	135
図 4.19	FL-PP 調律の有無によるロックレンジ.....	137
図 4.20	三次元積層されたチップ全体のクロックスキュー分布 ...	138
図 4.21	三次元積層されたチップ全体のクロックジッタ分布 .....	139
図 4.22	クロックスキューの電源電圧依存性 .....	140
図 4.23	電源ノイズ印可時における RMS ジッタ .....	141

# 表目次

表 2.1	チップ設計値一覧.....	51
表 2.2	ゼロロードレイテンシの比較.....	61
表 2.3	CPU とメモリパラメーター一覧 .....	67
表 2.4	ネットワークパラメーター一覧.....	68
表 3.1	提案回路の性能比較表.....	99
表 3.2	1 コイルリピート伝送技術の試作チップ性能諸元.....	108
表 4.1	MODEL35 の仕様.....	132
表 4.2	クロック分配性能比較.....	142

---

# 第 1 章 序論

---

## 1.1 はじめに

ムーアの法則に従う、デバイスの高集積化によって性能向上を達成してきた高性能 LSI は、集積の物理的限界とともに、三次元方向への拡張による性能向上へ転換し始めた[1-7]。三次元集積による拡張は、性能向上だけではなく、異なるチップ同士を積層し、従来では困難であった少量多品種なシステム LSI を生み出せる点からも注目が高い[8]。

近年まで、トランジスタの集積度は指数関数的に増加してきた[9]。トランジスタが微細化されることにより、スイッチング速度が高速化し、チップ全体の性能が向上される[10]。チップ性能の飛躍的な向上に対して、チップが封入された半導体パッケージ間の基板上配線は、チップ内配線に比べて長く、信号損失が大きい。このため、チップ本来の性能を律速する[11]。

複数の回路ブロックを1つのチップ上に実装する SoC (System on a Chip)は、配線遅延や信号劣化を抑える実装技術の1つとして生み出された[12]。1つのチップ上で回路ブロック間の通信が行えるため、ブロック間の基板配線をする必要が無い。従って、チップ内配線に比べて長距離である基板上配線による遅延や信号劣化といった問題は解決され、高速通信が可能である。

一方で、SoC は設計の複雑化を伴うため、少量多品種の製品には不向きである上、物理的な集積限界と共に性能が律速する欠点がある。プロセッサやメモリといった異なる製造プロセスを用いるシステムを混載することにより、製造コストが増大する。このため、少量多品種の製品ごとに SoC を新規開発することは困難である。加えて、搭載可能な回路ブロック数は、チップ面積と集積度によって制約がある。集積度は、ムーアの法則に従って向上してきたが、物理的に可能な集積の限界に近づき、ムーアの法則の終わりが議論されている。集積限界によって、SoC の性能も律速される。

複数のチップを1つのパッケージ内に三次元集積する SiP (System in a Package)は、スケーリングに依らずに、少量多品種の高性能 LSI を設計するための、重要な技術である。複数のチップを縦方向に積層することにより、面積ペナルティなくシステムを拡張可能である。積層チップ間の距離は数十 $\mu\text{m}$  オーダであり、配線遅延や信号劣化といった問題も解決される。組合せるチップを選択することにより、チップ設計に変更を加えることなく、

---

システム拡張や変更が容易な点から、少量多品種の製品にも適する。

パッケージ内で積層されたチップ間の通信方式はいくつか存在するが、特にチップ間を無線接続する誘導結合方式は、チップの追加、削除、入替が物理的に容易な点から、システムの拡張を実現する方式として注目されている。多様なシステム間のデータ転送のためにはパケット転送が望ましいが、積層チップ間のデータ通信に用いた場合に、拡張性が高い転送方式と回路技術の研究はこれまでになかった。また、誘導結合を用いてクロックを各チップに転送すると、転送遅延に起因する位相誤差の問題があった。位相誤差の少ないクロックをチップ内で分配する回路技術の研究はこれまでにあったが、積層チップ間で分配する技術はこれまでになかった。

そこで本研究では、誘導結合を用いたパケット転送と磁界の共振結合を用いたクロック分配を提案することを目的とした。

本章は序論である。研究の背景として、多様なシステム間のデータ転送のためのチップ間接続方式の比較、研究動向を概説し、三次元集積されたチップ間のパケット転送とクロック分配の課題を整理し、本研究の位置づけを明らかとする。最後に本研究の目的を示す。

---

## 1.2 背景

三次元集積は、スケーリングに依らずに、高性能 LSI を設計するための、重要な技術である。近年まで、集積回路の性能向上は、ムーアの法則に従うスケーリングによって達成されてきた。しかし、スケーリングの物理的制約により、ムーアの法則の終わりが議論されている。スケーリングに依らない性能向上として、三次元集積が注目されている。縦方向にチップを積層することで、エリアペナルティなくシステムを拡張可能である。加えて、積層チップ間の距離を数十 $\mu\text{m}$  オーダにすることができ、チップ間通信距離が短縮される。通信距離の短縮に伴い、高性能 LSI に重要な、高速かつ低消費電力なチップ間インタフェースも達成される。

三次元集積は、異なるプロセスやベンダによって製造されたチップ同士を組み合わせることにより、1 パッケージでアプリケーション毎に最適なシステムを柔軟に生み出せる点からも注目が高い。図 1.1 に示される従来の回路ブロックを1チップに混載する System on a Chip (SoC) では、設計が複雑化するが、図 1.2 に示す、プロセスやベンダ毎に製造されたチップをパッケージ内で積層する System in a Package (SiP) は、従来の設計、製造フローからの変更が少なく済む。また、チップの製造後に組み合わせを変更することで、異なるアプリケーションへの適用も容易な点は、開発/製造コストの低減に寄与する。

チップ間を無線接続する誘導結合インタフェースは、従来の CMOS 製造プロセスだけで、高いシステム拡張性を確立する三次元集積方式として注目が高い。現在の三次元集積技術はマイクロバンプ方式や貫通シリコンビア方式といった有線方式が主流である。一方で、無線接続による三次元集積も研究が進んでいる。特にチップ間を無線接続する誘導結合方式は、チップの追加、削除、入替が物理的に容易な点から、柔軟なシステム拡張を実現する。多様なシステム間のデータ転送のためにはパケット転送が望ましいが、チップの追加や削除を行った場合は、通信経路が変更されることから、各チップでの通信アーキテクチャを変更しなければならない課題が残されている。より多くのプロセスやベンダのチップを柔軟かつ容易に組合せ可能である SiP は、高性能化への要求が強く、製品開発サイクルの短い今日では、重要である。1.3 節では、これまでに報告されている三次元集積方式について各特徴を比較し、誘導結合インタフェースが拡張性の高い SiP に適した集積方式であ

ることを述べる。1.4 節では、誘導結合インタフェースの先行研究について述べ、拡張性の高い SiP を実現する上での課題について述べる。

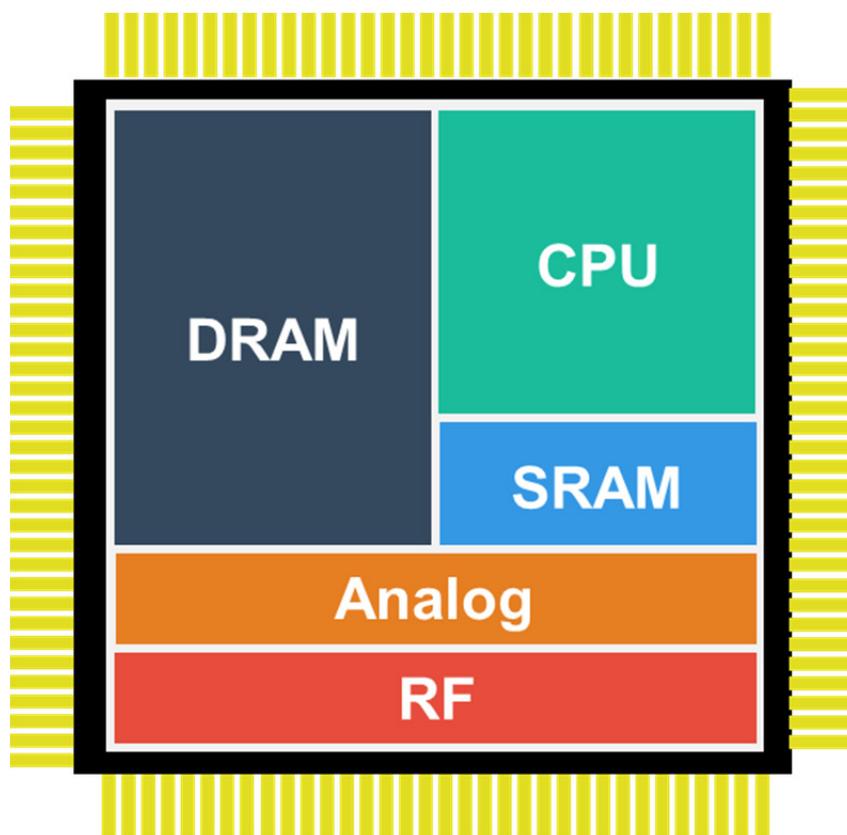


図 1.1 SoC (System on a Chip)

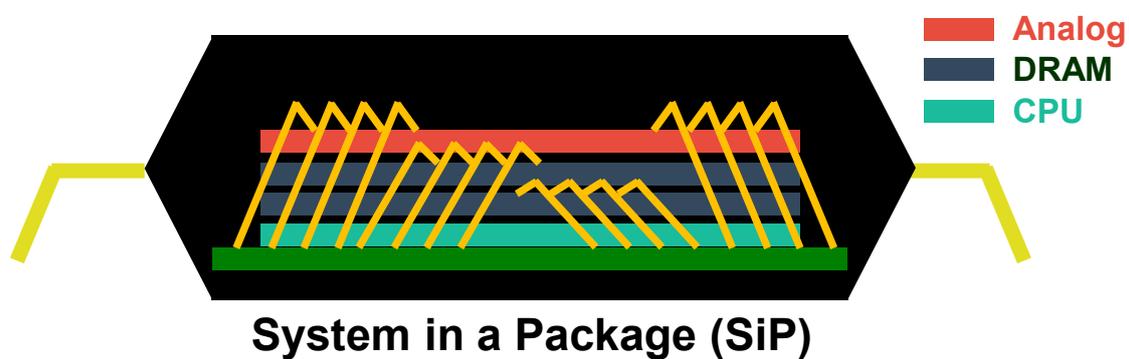


図 1.2 SiP (System in a Package)

---

## 1.3 三次元集積方式

三次元集積方式は有線接続と無線接続の2つに大別される。本節では、これまでの三次元集積方式の特徴を述べ、誘導結合インタフェースが拡張性の高い三次元集積システムに適する背景について述べる。

### 1.3.1 有線接続方式

#### 1.3.1.1 ワイヤボンディング方式

ワイヤボンディングは、導体ワイヤを用いたダイレベルの接続方式である。CMOS プロセス以外の特殊なプロセスを必要としないため、低コストに SiP を構築するための主流な方式である。しかし、ボンディングに利用可能な領域はチップ外周に限られるため、接続可能なワイヤ数が制限される。加えて、基板との有線接続のために、長距離配線や静電保護回路を伴い、結果として帯域が制限される欠点がある。

#### 1.3.1.2 マイクロバンプ方式

マイクロバンプは図 1.3 に示すように、各チップの表面に形成された半田ボールによるダイレベルの接続方式である[13]-[19]。通常、2枚のチップを向かい合わせに接続する face-to-face 方式に用いられる。2枚のチップの半田ボール間に長いワイヤを用いることで face-to-back 方式も可能であるが、配線遅延を考慮しなければならない。システム拡張性の高い SiP システムを構築する上で、積層枚数が 2 枚に制約される点は問題である。

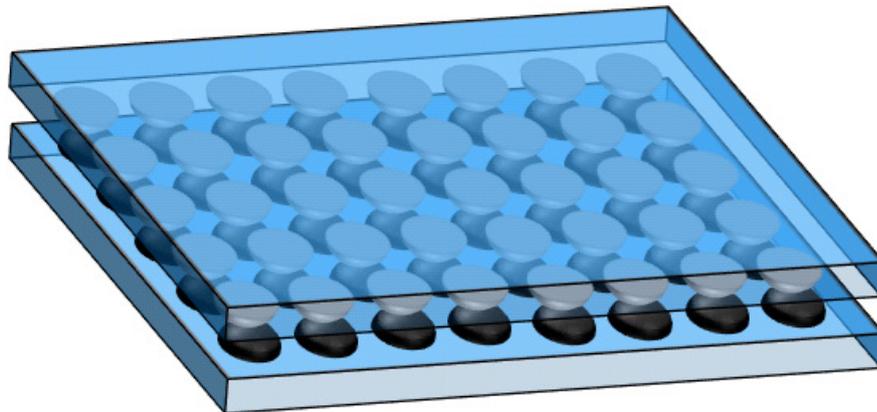


図 1.3 マイクロバンプ方式

### 1.3.1.3 貫通シリコンビア (TSV)方式

Thru-Silicon Via (TSV)は図 1.4 に示すように、複数のウェハを貫通する導体ビアによって、ウェハレベルで接続される[20]-[25]。2枚以上のウェハを接続することが可能である。TSV のフットプリントは  $15\mu\text{m}^2$  程度と小さく、高密度なインタフェースを構築することが可能である。しかしながら、通常の CMOS プロセスに加えて、TSV を形成するプロセスを必要とするため、製造コストが増加する。また、チップ製造後に積層するウェハ枚数を変更することは不可能である。システム拡張性の高い SiP システムを構築する上で、チップ製造後に積層枚数を変更できない点は問題である。

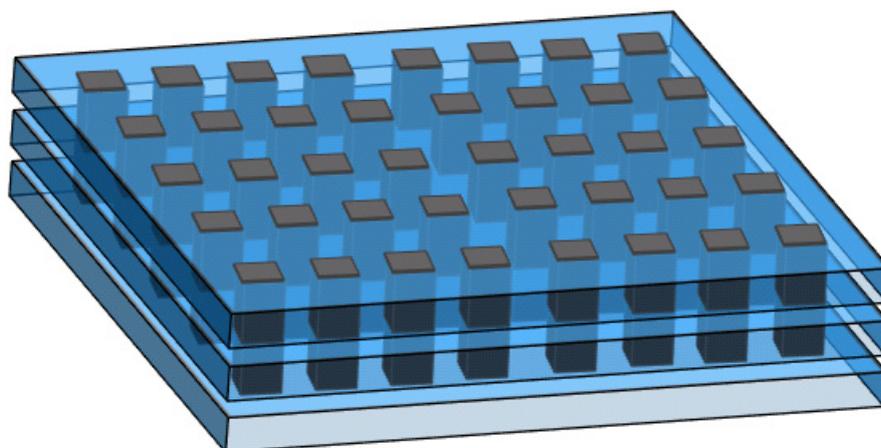


図 1.4 TSV 方式

---

## 1.3.2 無線接続方式

### 1.3.2.1 容量結合方式

容量結合は図 1.5 に示すように、チップの最上配線層を用いて形成された金属板間で形成されるキャパシタによって、チップ間を無線接続する方式である[26][27]。ワイヤ接続なしに接続可能であるが、金属板間を近接しなければならない点から **face-to-face** 方式に限定される。また、積層可能なチップ枚数は 2 枚に制限され、システム拡張性に課題がある。

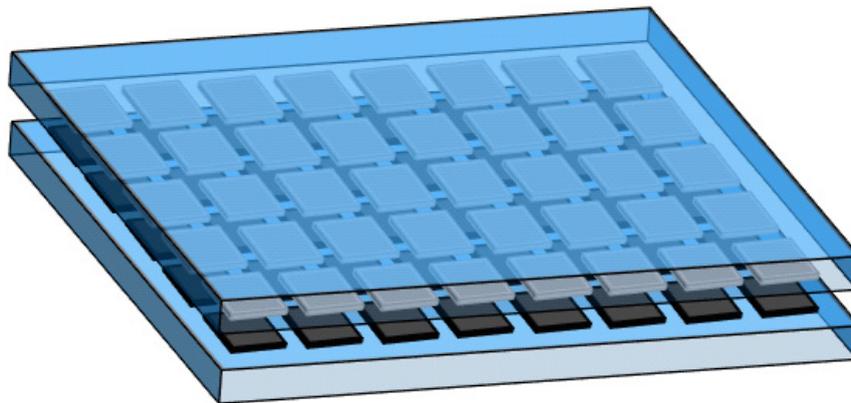


図 1.5 容量結合方式

### 1.3.2.2 誘導結合方式

誘導結合方式は、図 1.6 に示すように、オンチップのコイル同士の誘導結合によってチップ間を無線接続する方式である[28]-[30]。コイルは通常の CMOS 上の金属配線とビアによって形成され、他の配線が横切ることも可能である。送受信回路は 2NAND ゲートの約 36 倍程度の面積である。TSV のような追加製造プロセスを必要とせずに、TSV と同等の帯域、消費電力、信頼性を持っている。磁界を用いた結合であるため、チップの上下方向に、チップを貫通して通信を行うことが可能であり、**face-to-face** 方式も **face-to-back** 方式も実装可能である。積層枚数に制約はなく、システム拡張性の高い SiP システムに最も適した方式である。

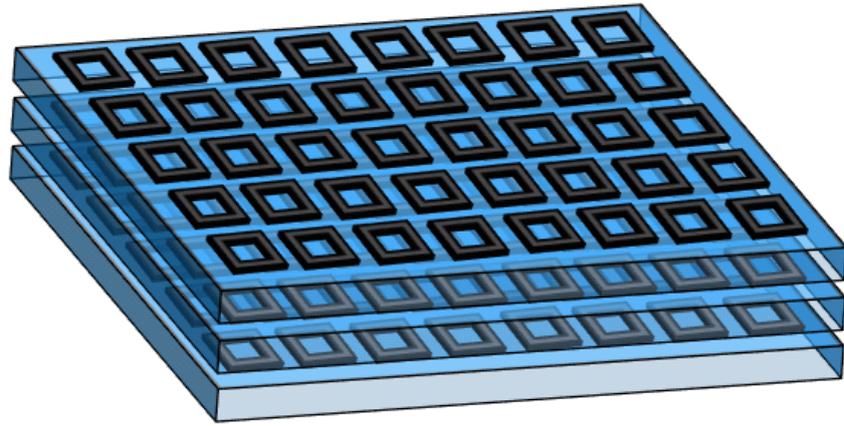


圖 1.6 誘導結合方式

## 1.4 誘導結合インタフェース

### 1.4.1 原理

誘導結合インタフェースは2枚のチップ上に形成されたインダクタ間の磁界結合によって通信をする。図 1.7 に示されるように、2つ以上のインダクタが近接している場合を考える。各インダクタについて、レンツの法則に従い、磁束の変化を打ち消す方向に起電力  $V$  を生ずる。起電力  $V$  は以下の(1.1)式で表される。

$$V = -\frac{d\phi}{dt} \quad (1.1)$$

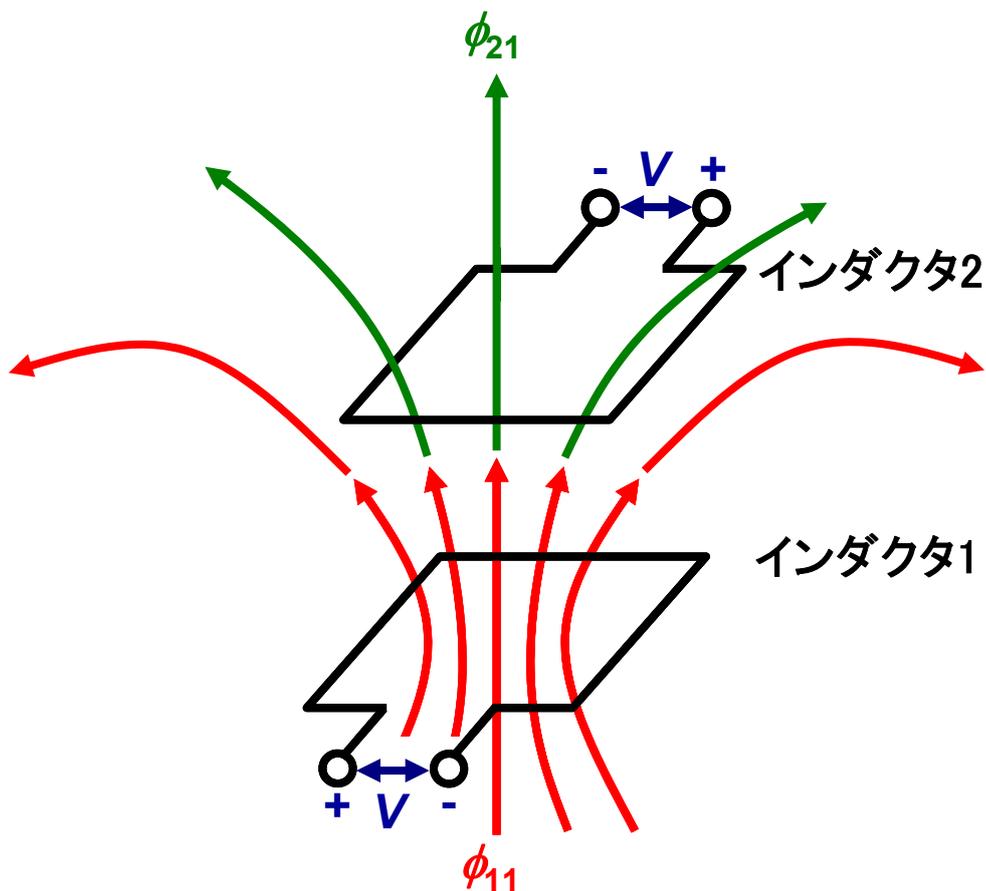


図 1.7 インダクタ間の磁界結合

磁束  $\Phi$  はインダクタを流れる電流値に比例し、その比例係数を自己インダクタンス  $L$  と定義すれば、(1.2)式が与えられる。

$$\phi = LI \quad (1.2)$$

(1.1)式、(1.2)式より、起電力  $V$  とインダクタに流れる電流  $I$  の間には以下の(1.3)式が成立する。

$$V = -L \frac{dI}{dt} \quad (1.3)$$

インダクタ 1 とインダクタ 2 が近接する場合、相互の影響を考慮する必要がある。磁束  $\Phi_{11}$  の一部  $\Phi_{21}$  は、インダクタ 2 を通過する ( $\Phi_{11} > \Phi_{21}$ )。また、インダクタ 2 によって発生する磁束  $\Phi_{22}$  の一部  $\Phi_{12}$  は、インダクタ 1 を通過する ( $\Phi_{22} > \Phi_{12}$ )。従って、それぞれのインダクタに発生する起電力  $V_1$  と  $V_2$  は以下の(1.4)式で表される。

$$V_1 = -\frac{d\Phi_1}{dt} = -\frac{d\Phi_{11}}{dt} - \frac{d\Phi_{12}}{dt}, V_2 = -\frac{d\Phi_2}{dt} = -\frac{d\Phi_{21}}{dt} - \frac{d\Phi_{22}}{dt} \quad (1.4)$$

いま(1.4)式は(1.2)式を適用することで(1.5)式に書き換えが可能である。

$$V_1 = -L_1 \frac{dI_1}{dt} - L_{12} \frac{dI_2}{dt}, V_2 = -L_{21} \frac{dI_1}{dt} - L_2 \frac{dI_2}{dt} \quad (1.5)$$

ここで、 $L_1, L_2$  は、それぞれインダクタ 1 と 2 の自己インダクタンスである。 $L_{12}$  と  $L_{21}$  は互いに等価であり、相互インダクタンスと呼ばれる比例定数である。自己インダクタンス  $L$  が自身のインダクタに流れる電流値と発生する起電力の比例定数であったのに対し、相互インダクタンスは、一方のインダクタに流れる電流の変化がどれだけ他方のインダクタに起電力を誘導するかを示す比例定数である。電圧と電流の向きを定義し直し、インダクタ 1 と 2 のそれぞれに発生する起電力は最終的に以下の(1.6)式で与えられる。

$$V_1 = L_1 \frac{dI_1}{dt} + M \frac{dI_2}{dt}, V_2 = M \frac{dI_1}{dt} + L_2 \frac{dI_2}{dt} \quad (1.6)$$

いま、(1.2)式より以下の(1.7)式を得る。

$$L_1 L_2 = \frac{\Phi_1 \Phi_2}{I_1 I_2}, L_{12} L_{21} = \frac{\Phi_{12} \Phi_{21}}{I_1 I_2} \quad (1.7)$$

さらに、 $\Phi_{11} > \Phi_{21}$ 、 $\Phi_{22} > \Phi_{12}$  であること、及び  $L_{12} = L_{21} = M$  であることを用いれば、以下の(1.8)式が得られる。

$$L_1 L_2 \geq M^2 \quad (1.8)$$

(1.8)式は、 $0 \leq k \leq 1$  である定数  $k$  を用いて、以下の(1.9)式に書き換え可能である。

$$M = k\sqrt{L_1L_2} \quad (1.9)$$

この  $k$  のことを、結合定数とよび、1 対のインダクタの結合度を表す指標と定義される。これは一方のインダクタが発生した磁束のうち、どれだけが他方のインダクタを貫いているかを示している。

誘導結合インタフェースを形成する 1 対のインダクタは以下の図 1.8 で示されるように、結合定数  $k$  で結合したトランスフォーマでモデル化される。それぞれに流れる電流と電圧の向きを図 1.8 のように定義した場合、 $I_1$  の正負によって起電力  $V_2$  も正負が反転する。従って、送信側インダクタに流れる電流の正負を反転することで 2 値の信号を伝送することが可能である。これが誘導結合通信の原理である。

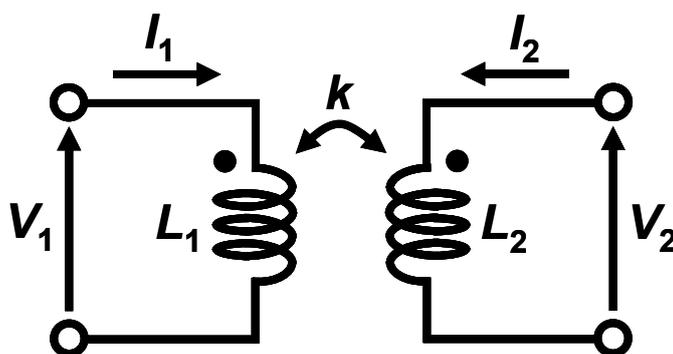


図 1.8 磁界結合の等価モデル

実際の誘導結合通信においては、1 対のコイルのそれぞれに以下の図 1.9 に示されるように送信機と受信機を接続する。送信データ  $Txdata$  の “0” と “1” に応じて、送信機 Tx に接続されたインダクタに流れる電流の向きが反転する。受信側インダクタに発生する起電力の正負の向きを受信機 Rx が “0” と “1” の 2 値のデジタル値に復元し  $Rxdata$  として出力する。最も簡易な送信機は、以下の図 1.10 で示される H ブリッジと呼ばれるインダクタとそれを駆動するドライバ対を用いた回路である。 $Txdata$  の “0” と “1” に応じてインダクタに流れる電流  $I_{tx}$  の向きを反転することが可能である。受信機は以下の図 1.11 で示されるヒステリシスコンパレータを用いる。感度を落とすことでノイズへの感度を低くするよう構成し、BER の改善を図っている。

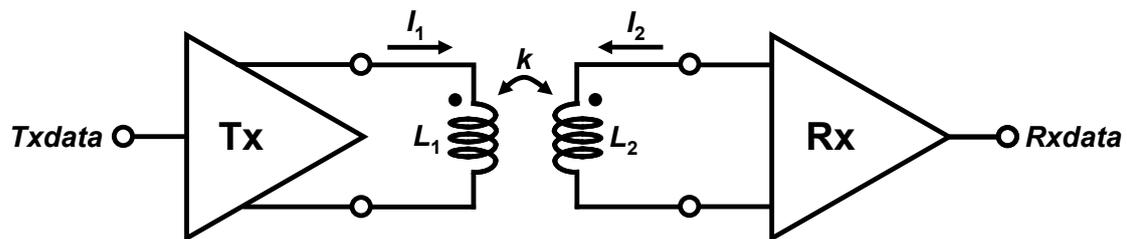


図 1.9 送受信機が接続された誘導結合インタフェース

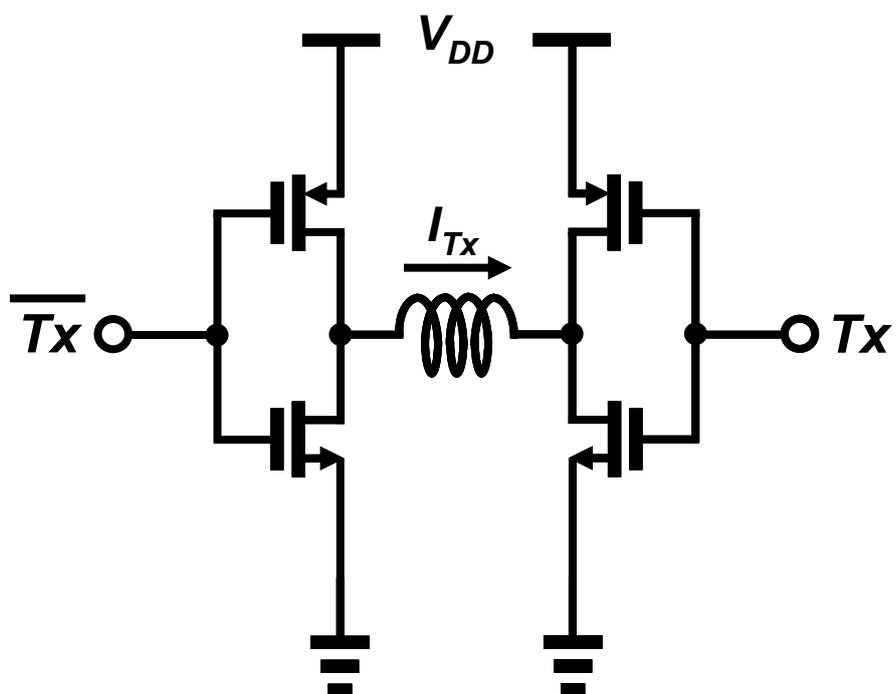


図 1.10 Hブリッジ型送信機

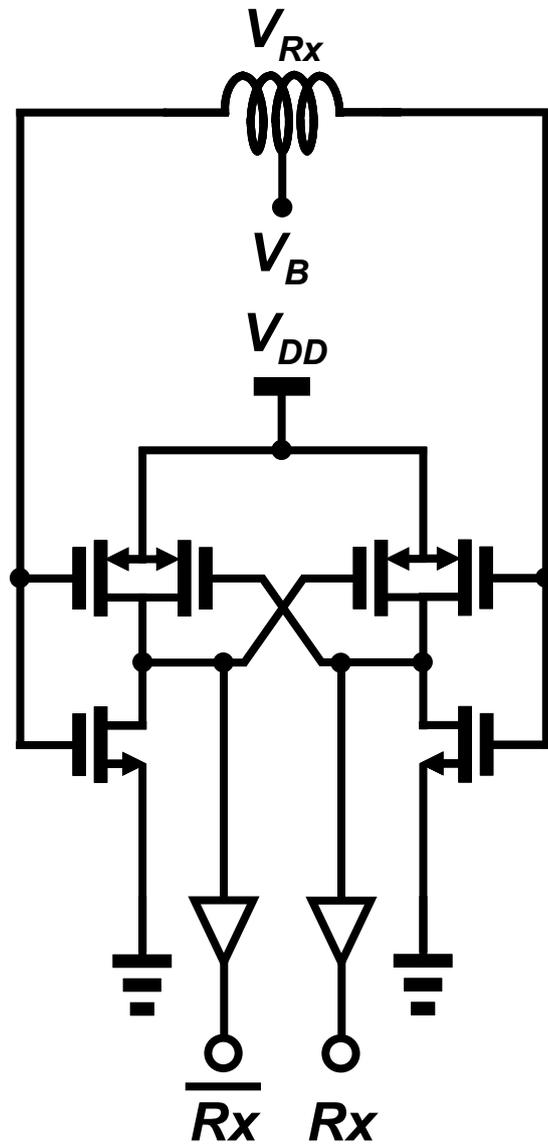


図 1.11 ヒステリシスコンパレータ型受信機

---

#### 1.4.2 先行研究と課題

誘導結合インタフェースは、特別な追加プロセスなしに、異種プロセスやシステムを三次元集積可能な特徴から、幅広いアプリケーションへの応用が報告されている。異種プロセスを集積し、1パッケージでシステムを構成可能なプロセッサ・メモリ積層[31][32]や、同じチップを複数枚重ねることにより記憶容量や処理性能が向上される三次元プロセッサ[33]といった性能向上を実現するアプリケーションだけではなく、非接触ウェーハテスト[34]、インタポーザ[35]、長期記憶メモリ[36]といった新しい分野を開拓する報告も多くなされている。一方で、これらの先行研究においては、誘導結合通信路は、三次元方向の配線の代替手段としての適用報告であり、様々なチップを自由に積層することは考慮されていなかった。従ってこれまでは、設計段階で組み合わせを行うチップを定義し、最適なデータ通信路や通信アーキテクチャを設計する必要があった。統一されたパケット転送方式の確立が課題として挙がる。

統一されたパケット通信路の確立に加えて、急速に増大する電子デバイスへの性能要求に応えるためには、さらなるシステム動作速度の高速化は避けられない。データインタフェースの広帯域化が求められる。広帯域化に伴って、回路ブロック間で許容されるクロック位相誤差は制約が厳しくなり、クロックの位相誤差低減についても検討を拡げる必要がある。誘導結合を用いた従来のクロック転送では、転送遅延に起因する位相誤差が発生した。位相誤差の少ないクロックをチップ内で分配する回路技術の研究はこれまでにあったが、積層チップ間で分配する技術はこれまでになかった。

---

## 1.5 本研究の目的

デバイススケーリングに依らずに、高性能 LSI を実現する三次元集積は重要な技術である。特にチップ間を無線接続する誘導結合方式は、チップの追加、削除、入替が物理的に容易な点から、高いシステム拡張性を実現する方式として注目されている。多様なシステム間のデータ転送のためにはパケット転送が望ましいが、積層チップ間のデータ通信に用いた場合に、拡張性が高い転送方式と回路技術の研究はこれまでになかった。また、誘導結合を用いてクロックを各チップに転送すると、転送遅延に起因する位相誤差の問題があった。位相誤差の少ないクロックをチップ内で分配する回路技術の研究はこれまでにあったが、積層チップ間で分配する技術はこれまでになかった。そこで本研究では、誘導結合を用いたパケット転送と磁界の共振結合を用いたクロック分配を提案することを目的とした。

---

## 1.6 本論文の構成

図 1.12 に本論文の構成を示す。第 1 章は序論である。本研究の背景と、他の集積方式に比べた誘導結合の利点を概説した。

第 2 章では、拡張性の高いパケット転送方式として、リング型垂直バブルフローパケット転送方式を提案した。65 nm CMOS プロセスの試作チップを評価して、従来の仮想チャネル方式に比べて、33.5%の小面積化と、最大で 12.5%のスループット向上を確認した。

第 3 章では、広帯域なパケット通信を実現する誘導結合インタフェースの回路技術を提案した。誘導結合型注入同期クロック再生技術により、クロック伝送コイルを削除し、1 コイルリピート伝送技術により、通信に必要なデータ伝送コイルを削減することで、単位面積あたりの帯域を広帯域化した。0.18  $\mu\text{m}$  CMOS プロセスの試作チップを評価して、単位面積あたりの帯域が、従来に比べて 6 倍である 730 Gb/s/mm<sup>2</sup> に広帯域化することを確認した。

第 4 章では、磁界の共振結合を用いたクロック分配技術について提案した。発振器同士を結合させることにより、互いのばらつきを補正する。加えて、結合された発振器を外部参照クロックに同期させる調律回路を提案した。0.18  $\mu\text{m}$  CMOS プロセスの試作チップを評価して、積層されたチップ全体において、18 ps 以内の位相誤差と 1.72 ps のジッターで外部参照クロックに同期したクロック分配を達成した。

第 5 章では、各章で得られた内容をまとめ、本研究の成果を述べた。

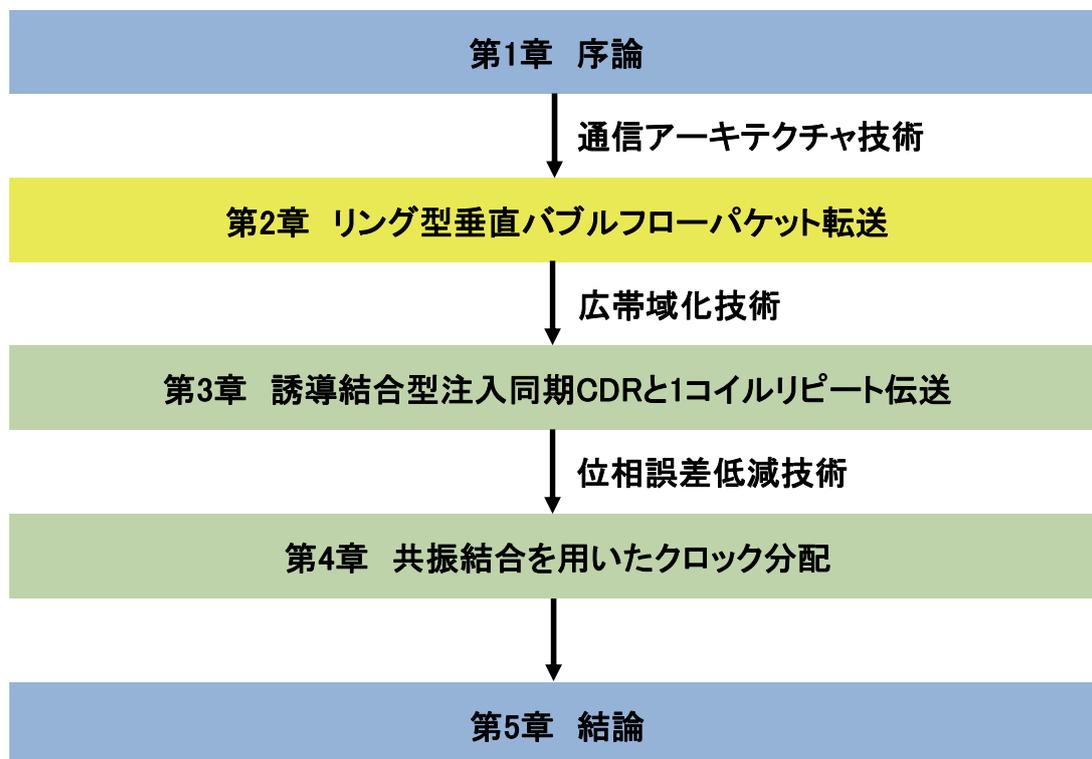


図 1.12 本論文の構成

---

## 参考文献 (第 1 章)

- [1] B. Black, M. Annavaram, N. Brekelbaum, J. DeVale, L. Jiang, G. H. Loh, D. McCaule, P. Morrow, D. W. Nelson, D. Pantuso, P. Reed, J. Rupley, S. Shankar, J. P. Shen, and C. Webb, “Die Stacking (3D) Microarchitecture,” in *Proceedings of the International Symposium on Microarchitecture (MICRO’06)*, pp. 469–479, Dec. 2006.
- [2] K. Kumagai, C. Yang, S. Goto, T. Ikenaga, Y. Mabuchi, and K. Yoshida, “System-in-Silicon Architecture and its application to an H.264/AVC motion estimation for 1080HDTV,” in *Proceedings of the International Solid-State Circuits Conference (ISSCC’06)*, pp. 430–431, Feb. 2006.
- [3] W. R. Davis, J. Wilson, S. Mick, J. Xu, H. Hua, C. Mineo, A. M. Sule, M. Steer, and P. D. Franzon, “Demystifying 3D ICs: The Pros and Cons of Going Vertical,” *IEEE Design and Test of Computers*, vol. 22, no. 6, pp. 498–510, Nov. 2005.
- [4] K. Kanda, D. D. Antono, K. Ishida, H. Kawaguchi, T. Kuroda, and T. Sakurai, “1.27-Gbps/pin, 3mW/pin Wireless Superconnect (WSC) Interface Scheme,” in *Proceedings of the International Solid-State Circuits Conference (ISSCC’03)*, pp. 186–187, Feb. 2003.
- [5] N. Miura, H. Ishikuro, T. Sakurai, and T. Kuroda, “A 0.14pJ/b Inductive-Coupling Inter-Chip Data Transceiver with Digitally-Controlled Precise Pulse Shaping,” in *Proceedings of the International Solid-State Circuits Conference (ISSCC’07)*, pp. 358–359, Feb. 2007.
- [6] N. Miura, D. Mizoguchi, M. Inoue, K. Niitsu, Y. Nakagawa, M. Tago, M. Fukaishi, T. Sakurai, and T. Kuroda, “A 1Tb/s 3W Inductive-Coupling Transceiver for Inter-Chip Clock and Data Link,” in *Proceedings of the International Solid-State Circuits Conference (ISSCC’06)*, pp. 424–425, Feb. 2006.
- [7] J. Burns, L. McIlrath, C. Keast, C. Lewis, A. Loomis, K. Warner, and P. Wyatt, “Three-Dimensional Integrated Circuits for Low-Power High-Bandwidth Systems on a Chip,” in *Proceedings of the International Solid-State Circuits Conference (ISSCC’01)*, pp. 268–269, Feb. 2001.

- 
- [8] Daisuke Sasaki, Hao Zhang, Hiroki Matsutani, Michihiro Koibuchi, Hideharu Amano, "A Routing Strategy for Inductive-Coupling Based Wireless 3-D NoCs by Maximizing Topological Regularity", *Proc. of the International Symposium on Advances of Distributed and Parallel Computing (ADPC'13)*, pp. 77-85, Dec. 2013.
- [9] G.Moore, "VLSI: Some Fundamental Challenges," *IEEE Spectrum*, Vol. 16, pp. 30-37, 1979.
- [10] C.Jan, M.Agostinelli, H.Deshpande, M.El-Tanani, W.Hafez, U.Jalan, L.Janbay, M.Kang, H.Lakdawala, J.Lin, Y.Lu, S.Mudanai, J.Park, A.Rahman, J.Rizk, W.Shin, K.Soumyanath, H.Tashiro, C.Tsai, P.VanDerVoorn, J.Yeh, and P.Bai, "RF CMOS Technology Scaling in High-k/Metal Gate Era for RF SoC (System-on-Chip) Applications," *2010 IEEE International Electron Devices Meeting Technical Digest (IEDM)*, pp. 27.2.1-27.2.4, Dec. 2010.
- [11] W.J. Dally, *et al.*, "Multi-Gigabit Signaling with CMOS," *IEEE/LEOS 8th Workshop on Interconnections Within High-Speed Digital Systems*, May 1997.
- [12] Long Yan, Joonsung Bae, Seulki Lee, Taehwan Roh, Kiseok Song, Hoi-Jun Yoo, "A 3.9 mW 25-Electrode Reconfigured Sensor for Wearable Cardiac Monitoring System," *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 46, no. 1, pp. 353-364, Jan. 2011.
- [13] B. Black, M. Annavaram, N. Brekelbaum, J. DeVale, L. Jiang, G. H. Loh, D. McCaule, P. Morrow, D. W. Nelson, D. Pantuso, P. Reed, J. Rupley, S. Shankar, J. P. Shen, and C. Webb, "Die Stacking (3D) Microarchitecture," in *Proceedings of the International Symposium on Microarchitecture (MICRO'06)*, pp. 469-479, Dec. 2006.
- [14] K. Kumagai, C. Yang, S. Goto, T. Ikenaga, Y. Mabuchi, and K. Yoshida, "System-in-Silicon Architecture and its application to an H.264/AVC motion estimation fort 1080HDTV," in *Proceedings of the International Solid-State Circuits Conference (ISSCC'06)*, pp. 430-431, Feb. 2006.
- [15] N. Miyakawa, E. Hashimoto, T. Maebashi, N. Nakamura, Y. Sacho, S. Nakayama, and S. Toyoda, "Stacking technology based on 8-inch wafers using direct

- 
- connection between TSV and micro-bump,” *Proc. IEEE Custom Integrated Circuits Conference (CICC)*, pp. 647-650, Sep. 2008.
- [16] M. Koyanagi, “Roadblocks in achieving three-dimensional LSI,” *Proceeding of Symposium Future Electron Devices*, pp. 50-60, 1991.
- [17] M. Koyanagi, H. Kurino, K. Lee, K. Sakuma, N. Miyakawa, and H. Itani, “Future system-on-silicon LSI chips,” *Proceeding of the IEEE Micro*, vol. 18, no. 1, pp. 17-22, 1998.
- [18] T. Fukushima, Y. Yamada, H. Kikuchi, and M. Koyanagi, “New three-dimensional integration technology using self-assembly technique,” *IEEE International Electron Devices Meeting (IEDM), Dig. Tech. Papers*, pp. 348-351, 2005.
- [19] K. Takahashi, and M. Sekiguchi, “Through Silicon Via and 3-D Wafer/Chip Stacking Technology,” *Symposium on VLSI Circuits Dig. of Tech. Papers*, pp. 114-117, June 2006.
- [20] J. Burns, L. McIlrath, C. Keast, C. Lewis, A. Loomis, K. Warner, and P. Wyatt, “Three-Dimensional Integrated Circuits for Low-Power High-Bandwidth Systems on a Chip,” in *Proceedings of the International Solid-State Circuits Conference (ISSCC’01)*, pp. 268–269, Feb. 2001.
- [21] M. Koyanagi, T. Fukushima, and T. Tanaka, “High-Density Through Silicon Vias for 3-D LSIs,” *Proceeding of the IEEE*, vol. 97, no. 1, pp. 49-59, Jan. 2009.
- [22] M. Motoyoshi, “Through-Silicon Via (TSV),” *Proceeding of the IEEE*, vol. 97, no. 1, pp. 43-48, Jan. 2009.
- [23] M. koyanagi, H. Kurino, T. Matsumoto, K. Sakuma, K. Lee, N. Miyakawa, H. Itani, and T. Tsukamoto, “New three dimensional integration technology for future system-on silicon LSIs,” *Proceedings of IEEE International Workshop Chip Package Co-Design*, pp. 96-103, 1999.
- [24] J. Burns, B. Aull, C. Chang-Lee, C. Keast, J. Knecht, V. Suntharalingam, K. Warner, P. Wyatt, and D. Yost, “A wafer-scale 3-D circuit integration technology,” *IEEE Transaction on Electronic Devices*, vol. 53, no.10, pp. 2507-2516, 2006.
- [25] H. Fujii, K. Miyaji, K. Johguchi, K. Higuchi, C. Sun, and K. Takeuchi, “x11

- 
- performance increase, x6.9 endurance enhancement, 93% energy reduction of 3D TSV-integrated hybrid ReRAM/MLC NAND SSDs by data fragmentation suppression,” *Symposium on VLSI Circuits(VLSIC), Dig. Tech. Papers*, pp. 134-135, June 2012.
- [26] A. Fazzi, R. Canegallo, L. Ciccarelli, L. Magagni, F. Natali, E. Jung, P. Rolandi, and R. Guerrieri, “3D Capacitive Interconnections with Mono- and Bi-Directional Capabilities,” *IEEE International Solid-State Circuits Conference (ISSCC). Dig. Tech. Papers*, pp. 356-357, Feb. 2007.
- [27] A. Fazzi, A. L. Magagni, M. Mirandola, B. Charlet, L. Di Cioccio, E. Jung, R. Canegallo, and R. Guerrieri, “3-D Capacitive Interconnections for Wafer-Level and Die-Level Assembly” *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 42, no. 10, pp. 2270-2282, Oct. 2007.
- [28] N. Miura, M. Saito, and T. Kuroda, “A 1TB/s 1pJ/b 6.4mm<sup>2</sup>/TB/s QDR Inductive-Coupling Interface Between 65-nm CMOS Logic and Emulated 100-nm DRAM,” *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, Vol. 2, No. 2, pp. 249-256, June 2012.
- [29] N. Miura, H. Ishikuro, T. Sakurai, and T. Kuroda, “A 0.14pJ/b Inductive-Coupling Inter-Chip Data Transceiver with Digitally-Controlled Precise Pulse Shaping,” *IEEE International Solid-State Circuits Conference (ISSCC), Dig. Tech. Papers*, pp. 264-265, Feb. 2007.
- [30] K. Kasuga, M. Saito, T. Takeya, N. Miura, H. Ishikuro and T. Kuroda, “A Wafer Test Method of Inductive-Coupling Link,” *IEEE Asian Solid-State Circuits Conference (A-SSCC'09)*, pp. 301-304, Nov. 2009.
- [31] K. Niitsu, Y. Shimazaki, Y. Sugimori, Y. Kohama, K. Kasuga, I. Nonomura, M. Saen, S. Komatsu, K. Osada, N. Irie, T. Hattori, A. Hasegawa, and T. Kuroda, “An Inductive-Coupling Link for 3D Integration of a 90nm CMOS Processor and a 65nm CMOS SRAM,” *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, pp. 480-481, Feb. 2009.
- [32] N. Miura, K. Kasuga, M. Saito, and T. Kuroda, “An 8Tb/s 1pJ/b 0.8mm<sup>2</sup>/Tb/s QDR

---

Inductive-Coupling Interface Between 65nm CMOS GPU and 0.1mm DRAM,” *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, pp. 480-481, Feb. 2010.

- [33] Y. Kohama, Y. Sugimori, S. Saito, Y. Hasegawa, T. Sano, K. Kasuga, Y. Yoshida, K. Niitsu, N. Miura, H. Amano, and T. Kuroda, “A Scalable 3D Processor by Homogeneous Chip Stacking with Inductive-Coupling Link,” *IEEE Symposium on VLSI Circuits, Dig. Tech. Papers*, pp. 94-95, June 2009.
- [34] Y. Yoshida, K. Nose, Y. Nakagawa, K. Noguchi, Y. Morita, M. Tago, T. Kuroda, and M. Mizuno, “Wireless DC Voltage Transmission Using Inductive-Coupling Channel for Highly-Parallel Wafer-Level Testing,” *IEEE International Solid-State Circuits Conference (ISSCC)*, pp. 470-472, Feb. 2009.
- [35] S. Kawai, H. Ishikuro, and T. Kuroda, “A 4.7 Gb/s Inductive Coupling Interposer with Dual Mode Modem,” *IEEE Symposium on VLSI Circuits, Dig. Tech. Papers*, pp. 92-93, June 2009.
- [36] Y. Yuan, N. Miura, S. Imai, H. Ochi, and T. Kuroda, "Digital Rosetta Stone: A Sealed Permanent Memory with Inductive-Coupling Power and Data Link," *IEEE Symposium on VLSI Circuits, Dig. Tech. Papers*, pp. 26-27, June 2009.

---

## 第 2 章

# リング型垂直バブルフローパケット転送

---

## 2.1 はじめに

近年、急速に発展を遂げるパーソナルモバイルデバイスや、マルチコアを搭載したシステム処理 SoC、アクセラレータ、メモリモジュール等においては、要求される機能や性能がアプリケーション毎に多岐に渡るため、1つのハードウェア構成でこれらの要求を満たすことは困難となっている。誘導結合インタフェースを用いたシステム拡張性の高い SiP は、製造後のチップ同士を有線接続に比べて、柔軟に追加、削除、入れ替えが可能である。これは、要求を満たすためのチップ組み合わせを柔軟に選択可能とし、多岐に渡る構成を提供する。三次元実装されたチップ全体を1つのネットワーク、各チップ上のコアをノードと考えると、誘導結合によるシステム拡張性の高い SiP では、ノードの追加、削除、入れ替えが発生する。ノードの変更を容易かつ低コストに実現する結合網は共有バス方式もしくはリングネットワークである。他の方式においては、ルーティング情報が変化し、トポロジの認識、およびデッドロックフリーな経路計算と各ルータにおける経路表の更新が必要な場合がある。一方で、バス共有方式やリングネットワークでは、これらの煩雑な処理を介さずに、ノードの変更が可能であり、誘導結合による三次元ネットワーク構築に適している。

これまで、三次元集積されたチップ間における NoC (Network on Chip) の研究報告がなされているが[1]-[8]、誘導結合インタフェースを用いた SiP については、パケット転送アーキテクチャやフロー制御に関する研究報告が行われていない。

本研究では、システム拡張性の高い誘導結合インタフェースを用いたネットワーク構造とフロー制御について提案を行う。容易かつ低コストにノード変更が可能なリング型構造に、仮想チャネルを用いずに、リングネットワーク内のデッドロックを回避するための垂直バブルフロー制御を用いたリング型垂直バブルフローパケット転送の提案を行う。仮想チャネルを用いたリング型ネットワーク、および、共有バス方式との比較検討を試作チップの測定を通じて行った。

---

## 2.2 ネットワーク構成

三次元集積されたシステム全体のネットワーク構成について概説を行う。第1に、三次元全体のネットワークをチップ内の平面ネットワークとチップ間の垂直ネットワークに分け、各要求について以下に説明する。

### 1. 平面ネットワーク

平面ネットワークは、チップ内配線を用いてプロセッサ、メモリ、アクセラレータ、センサ等の複数のIPコアに接続される。システム拡張性の高いSiPでは、各アプリケーションの要求に沿って、多様なチップが組合せられる。予め配置が定められた通信用コイルを除いては、平面ネットワークのトポロジについては厳密に定義する必要はない。積層されたチップの中に平面ネットワークを持つチップと、平面ネットワークを持たずに通信用コイルのみが配置されるチップが混在していても良い。ただし各平面ネットワーク内に、通信路上の待機パケットにより通信が停止するデッドロックが含まれていてはならない。

### 2. 垂直ネットワーク

垂直ネットワークは、誘導結合インタフェースを用いて、パッケージ内でデータ通信用送受信機を無線接続することにより構築される。システム拡張性の高いSiPのためには、垂直ネットワークを構成するデータ通信用送受信機は追加、削除、入れ替えが容易でなくてはならない。

本論文では、これらの平面と垂直ネットワークの要求を満たすように、第1にバブルフロー方式[9][10]を誘導結合インタフェースで構成される垂直リンクに応用した片方向リングネットワークを提案する。第2に、片方向リングネットワークを双方向リングネットワークに拡張する。

---

### 2.2.1 片方向リングネットワーク

図 2.1 に片方向リングネットワークを示す。ルータのルーティング情報の更新を必要としない最も簡易なネットワーク構造である。他チップから受信されたパケットは、自らが宛先となっていない場合は、決められた一方向へ転送されるのみである。拡張性の高い SiP において、片方向リングネットワークを構築するためには、下記の手続きを取れば良い。

#### デザインルールI.

各チップは、データ転送用のチャネルとフロー制御用のチャネルのそれぞれについて、アップリンクとダウンリンクの 2 つの誘導結合チャネルを持つ。隣接するチップの送信コイルと受信コイルが垂直同心上に配置されるように、予めコイルの配置を定める必要がある。

#### デザインルールII.

全てのプロセッサとキャッシュバンクは、デッドロックフリーである平面ネットワークを介して垂直リンクに接続される。

#### デザインルールIII.

最上層と最下層のチップにおける平面ネットワークに限り、データを折り返すために、アップリンクとダウンリンクが同チップ内で相互に接続されなくてはならない。

上記のデザインルールによって、片方向リングネットワークを構築することが可能である。しかし、リングネットワークは本質的に循環依存を含むため、図 2.2 に示すように通信路上の待機パケットにより通信が停止するデッドロックを発生する。リング内ネットワークから Plane5 が宛先であるパケットを出力、また同時に Plane5 からリング内にパケットを入力する場合において、互いに待機状態となり全体のネットワークが停止する。リング内にデッドロックを防ぐためのデータフロー制御については 2.3 で詳しく述べる。

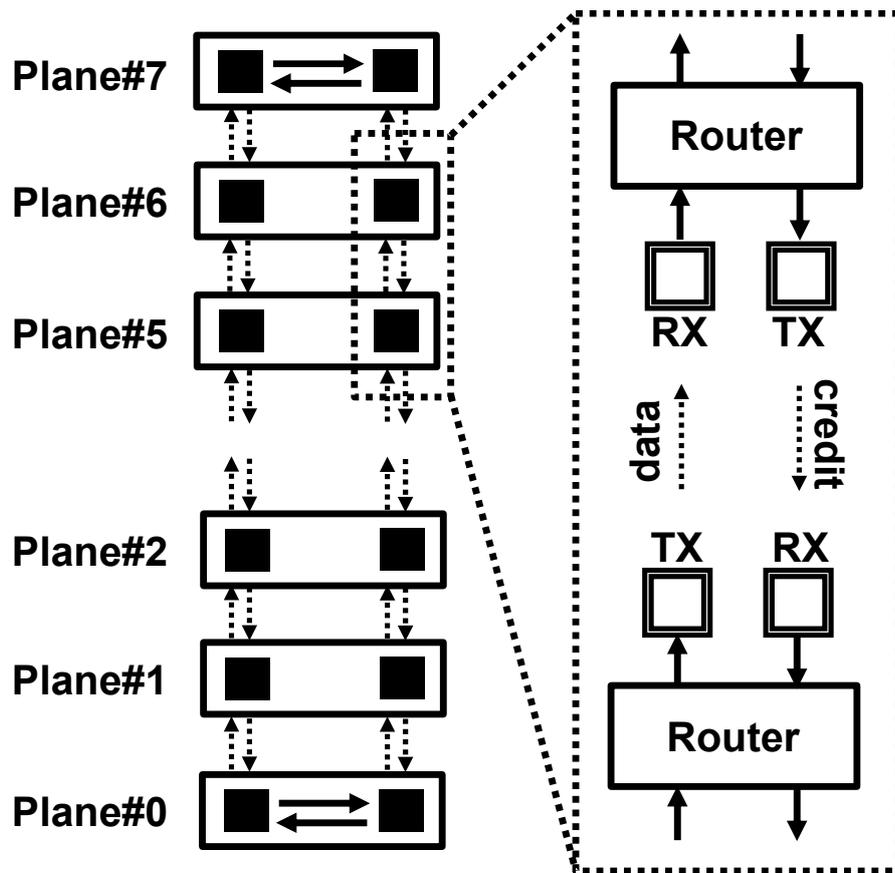


図 2.1 片方向リングネットワーク

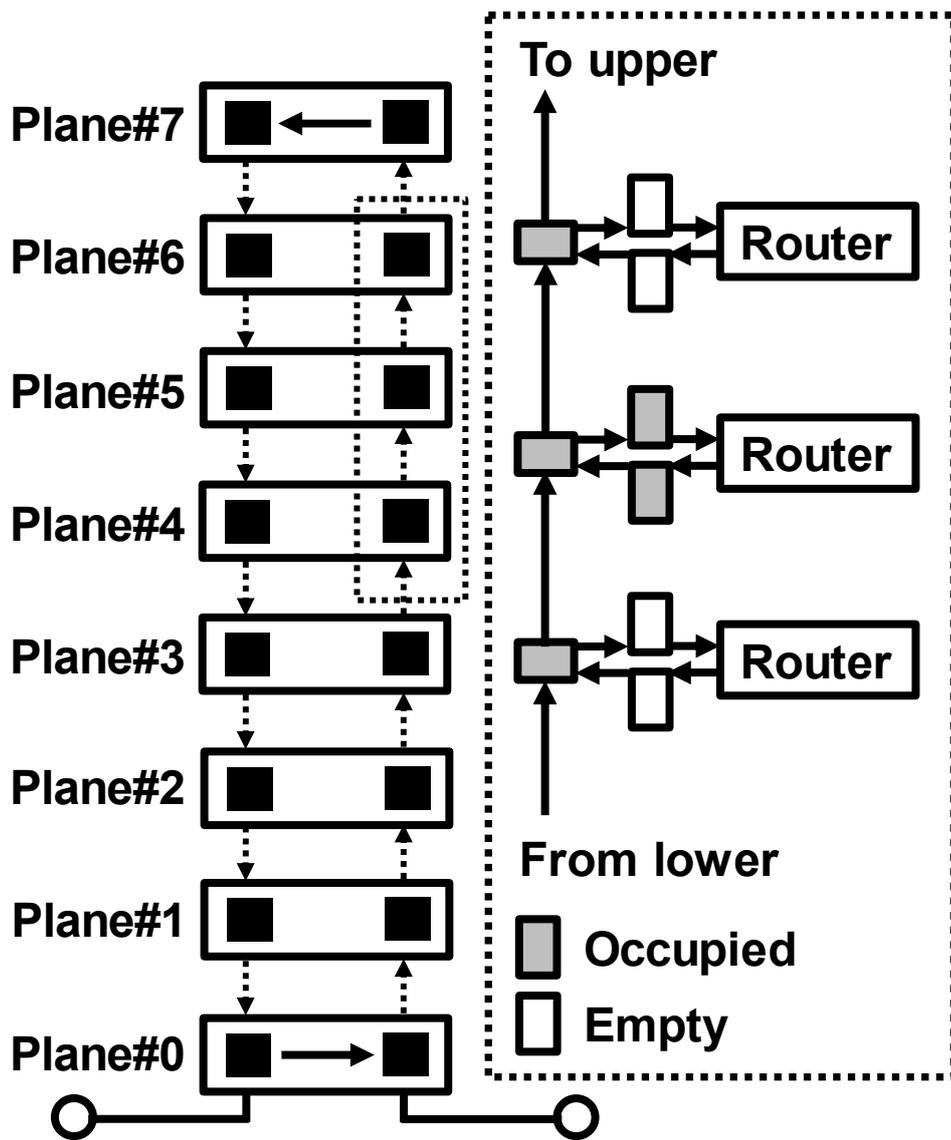


図 2.2 リングネットワーク上のデッドロック

---

## 2.2.2 双方向リングネットワーク

片方向リングネットワークは、実装が容易である反面、スループットと通信レイテンシのスケラビリティに乏しい。誘導結合インタフェースは、転送用クロック周波数の向上や、チャンネルの並列化によって帯域を拡大可能である。例えば 1024 チャンネルを並列化することにより、1Tb/s の帯域を実現した報告もある[11]。単体の片方向リングネットワークを並列化することによって通信レイテンシを低減することも可能である。しかし、誘導結合インタフェースのインダクタを増加することとなり、面積ペナルティがある。

インダクタの追加なしに、通信レイテンシを短縮するために、図 2.3 のように、誘導結合送受信機の送信と受信モードを動的に切り替え可能な双方向リングネットワークを提案する。システム動作中に送受信の方向が入れ替わることで、通信レイテンシを低減する。双方向リングネットワークを構築するために、ルータと誘導結合インタフェースに下記の修正を加える。

### 1. ルータ

ルータには、上下方向と平面方向への入出力ポートを用意する。一般的に、ルータは方向毎に入出力のポートを備えている場合が多く、ルータの仕様に合っている。図 2.3 に示されるように、同チップ上の入出力ポートは、1つの誘導結合送受信機(TX/RX)と接続される。送信モードと受信モードは、モードセレクタによって、動的に切り替えられる。

### 2. 誘導結合インタフェース

誘導結合インタフェースは双方向通信が可能である。インダクタは、図 2.3 に示されるように、送受信機に組み込まれる。送信コイルと受信コイルは電気的な接続はなく、入れ子配置でレイアウトされる。送信コイルには送信機、受信コイルには受信機が接続されている。

送信機と受信機のテール電流源をスイッチ制御できるようにしている。3bit のモードセレクト信号によって送信機のみが駆動する TX モード、受信機のみが駆動する RX モード、送受信機共にスタンバイとなるアイドルモードが切り替えられる。TX

モードである送受信機が、上下方向で隣接する RX モードに設定された送受信機にデータを送信する。TX モードに設定されていない場合は、制御フローリンクによって伝達される *TXEnable* 信号を受信した際に、TX モードに設定され、誘導結合インタフェースを用いてデータが送信される。モード変更は、RX モードに設定されたチップに送信データが存在し、TX モードに設定されているチップに送信データが存在しない場合においてのみ許可される。

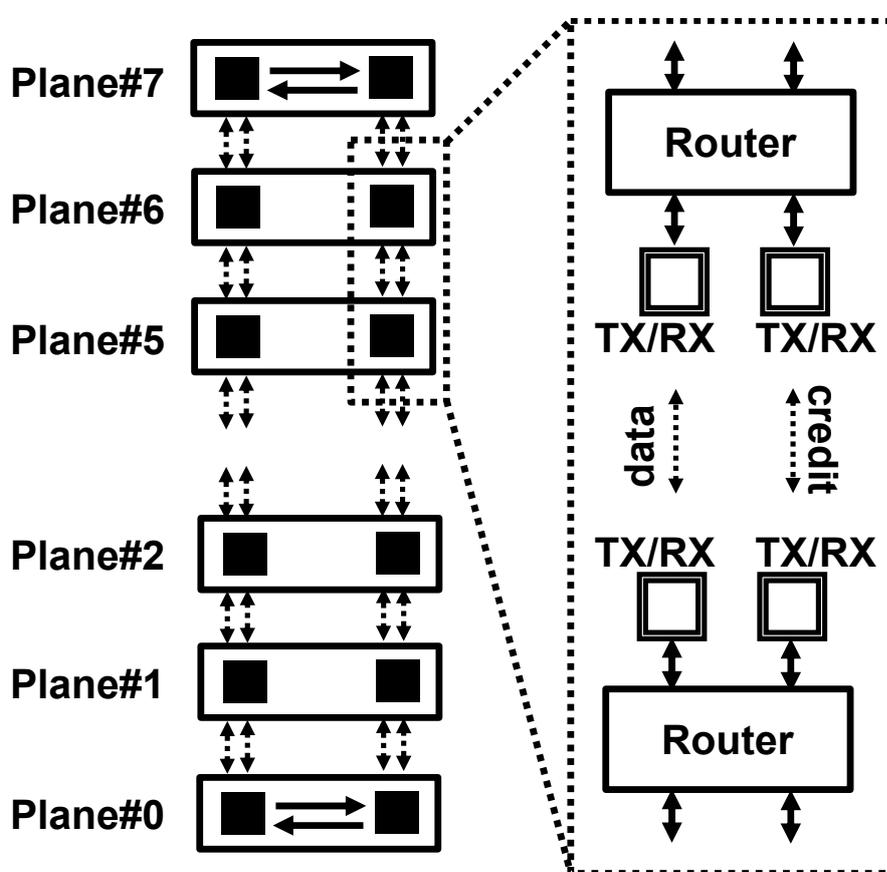


図 2.3 双方向リングネットワーク

---

## 2.3 ルータとフロー制御

本節では、デッドロックフリーな垂直方向ネットワークのためのルータとフロー制御について述べる。デッドロックフリーな手法はいくつか存在する。下記にその手法の特徴について述べる。

### 1. 仮想チャネル方式

仮想チャネル方式は、リングネットワーク上のデッドロックを回避するための最も一般的な手法である。入力チャネル毎に仮想チャネルを 2 本持たせ、パケットがリング上にある dateline を経由する際に、仮想チャネルを切替える。これによって dateline の前後で循環依存が切れ、デッドロックが回避される。

### 2. 垂直バブルフロー方式

Virtual cut-through (VCT)スイッチングを用いた垂直バブルフロー方式も、リングネットワークのデッドロックを回避する手法である。VCTにおけるフローはフリット単位で行われるが、後続のフリットも格納できるようにバッファサイズを大きく確保する。仮想チャネルは不要であるが、各入力ポートに少なくとも 2 パケットが格納可能なバッファが必要である。リングネットワークの全てのバッファ資源を使い切らないように、パケット挿入を制御することにより、デッドロックを回避することが可能である。

### 3. デッドロック検出/補正方式

本手法[12]は、デッドロックを回避する手法ではなく、デッドロックの発生を検出し、発生状況から関与するパケットを削除、もしくは他の仮想チャネルをはじめとする資源に移動する。

---

デッドロック検出/補正手法は、ルータにデッドロック検出機構を入れる必要があり、復元のために、性能のオーバーヘッドを発生させる。本研究では、オンチップ上で容易に実現可能である手法が望まれる点から、デッドロックを回避する手法に限定する。

### 2.3.1 仮想チャネル方式

実際のシステムにおいては、複数のメッセージクラスが定義された通信プロトコルが用いられることが多い[13]。仮想チャネルは、通信負荷やデッドロックを回避するために、メッセージクラスごとのグループに割り振られる。この場合においては、従来の仮想チャネルを用いた手法よりも、拡張性の高い SiP のためにはバブルフローネットワークの方が最適である。

仮想チャネルを用いた手法の欠点は、用いられる通信プロトコルが、チップ上で利用可能な仮想チャネルの数によって制限される点である。チップ上で利用可能な仮想チャネル数と利用される通信プロトコルは、設計段階では想定が不可能である。例えば、4つの仮想チャネルを持つチップと、2つの仮想チャネルを持つチップを組み合わせた場合、システムは4つの仮想チャネルを用いた最適な通信プロトコルに製造後に更新することはできない。この制約は、チップの製造後に組み合わせるチップを変更可能な SiP を構築する上では問題である。一方で、バブルフローネットワークであれば、デッドロックを回避するための仮想チャネル数には依存しない。

加えて、メッセージクラス毎のグループに仮想チャネルを用意する場合、増加する仮想チャネルがハードウェア資源を複雑化、大面積化する問題も挙げられる。リング内のデッドロック回避のためには、各グループに最低2つの仮想チャネルを必要とする。ネットワークのレイテンシ低減のためには、図 2.4 のように仮想チャネル数を増大することが考えるが、ルータ構成の複雑度も増加してしまう。

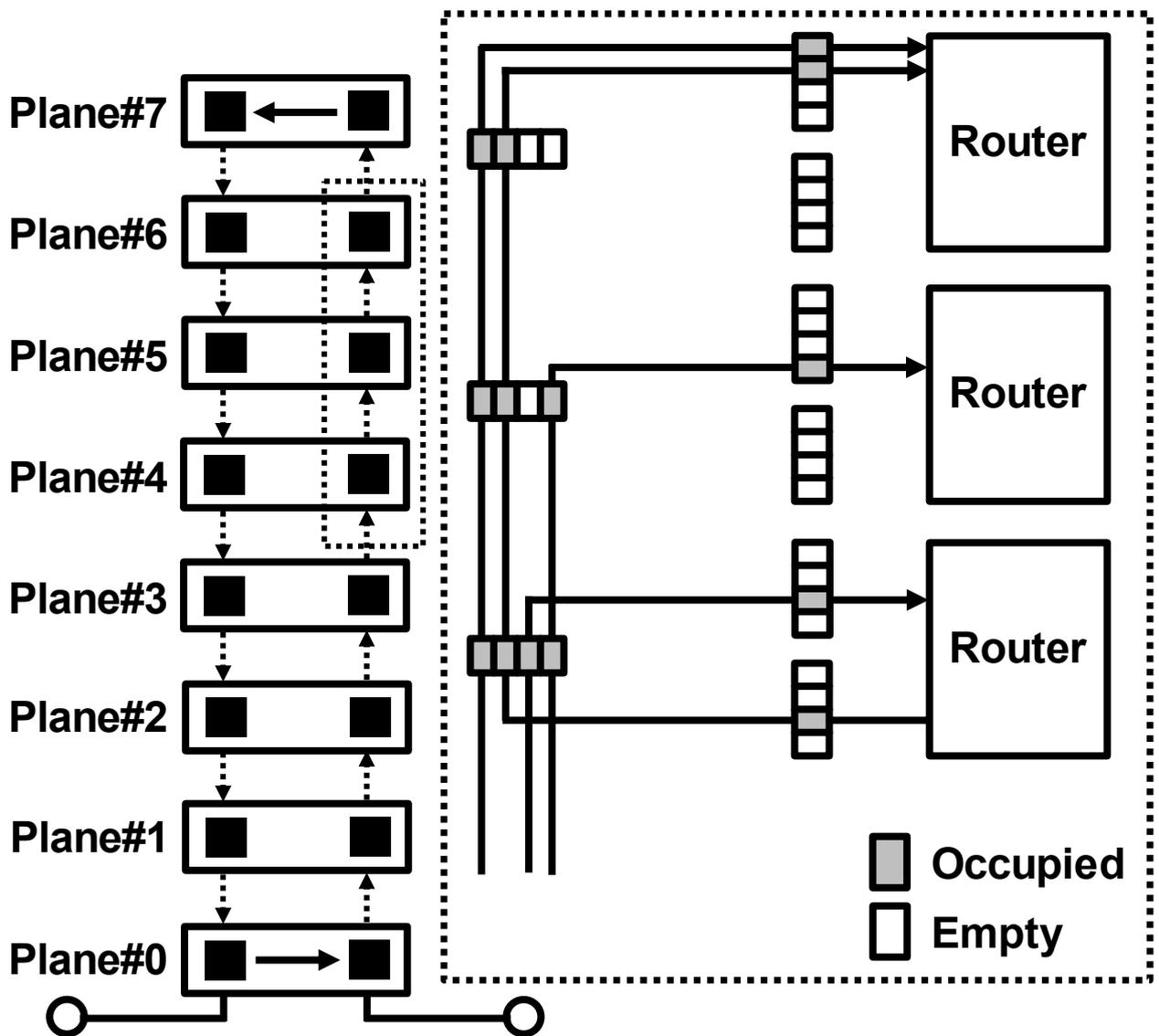


図 2.4 仮想チャネルによるハードウェア資源の増加

### 2.3.2 垂直バブルフロー方式

垂直バブルフロー方式は、図 2.5 に示されるように、拡張性の高い SiP の垂直方向ネットワークに適用することが可能である。各ルータの入力ポートは 3 つの packets を格納可能なバッファを有する。白塗りのブロックは 1 packet 分の空きを有することを示し、灰色のブロックは、すでに packet が埋まっている状態を示す。

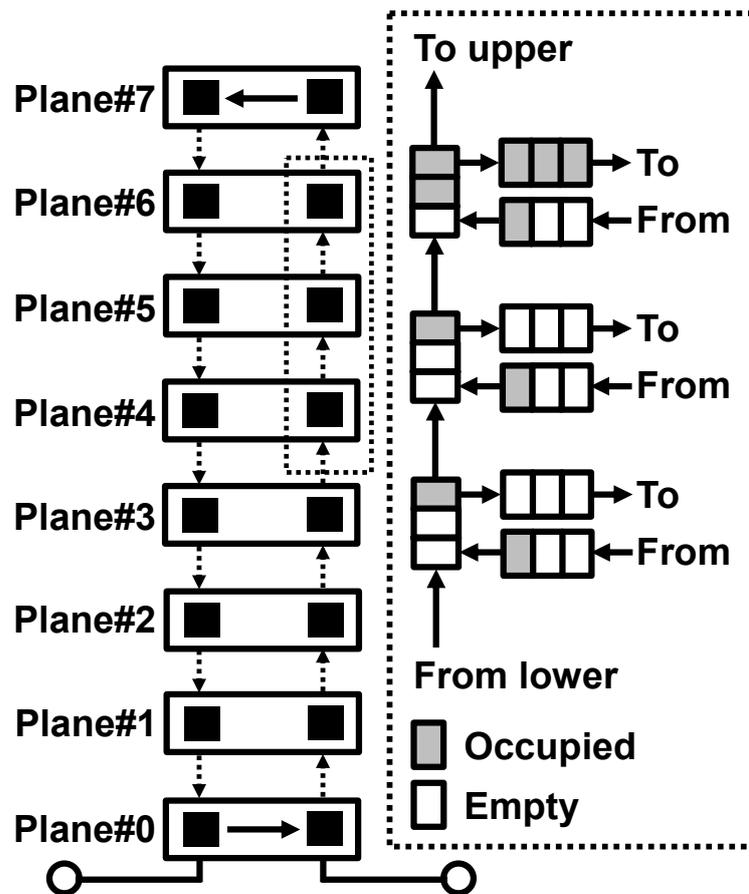


図 2.5 垂直バブルフローネットワーク

各ルータは下記に示されるフロー制御ルールに従う。

**ルールI.**

リング内のパケット転送の場合、転送先ルータに1パケット分の空きバッファがあれば前進可能である。

**ルールII.**

リング外のルータおよびコアからリング内へのパケット注入は、転送先ルータの入力ポートに2パケット分の空きバッファがある場合のみ転送が許可される。

---

### ルールIII.

リング内からリング外のルータおよびコアへのパケット出力の場合、転送先ルータの入力ポートに1パケット分の空きバッファがある場合のみ転送を許可する。出力不可の場合は、前進のみを許可し、リングをもう1周回る。図 2.5 においては、Plane4 と Plane5 が目的地であるパケットについては、リングから出力可能である。Plane6 は出力不可であり、Plane6 の出力バッファに空きが発生するまで、リング内を周回（ミスルーティング）する。

上記のルールに従い、リング内の全てのバッファ資源が使い切られないように、パケット注入が制限される。パケットがリング内を周回し続ける限り、同じ垂直ネットワーク内に複数のメッセージクラスが混在していてもデッドロックは発生しない。従来の VCT ルータに、これらのルールを加えることは容易である。本研究では、実際に誘導結合インタフェースを用いた垂直バブルフローリングネットワークを試作し、評価を行った。

ミスルーティングは、ネットワーク性能を低下する要因となるため、本試作では、入力に3パケットが入力可能なバッファを用いることで、ミスルーティングの頻度を低下させた。試作評価については、2.5 で詳述する。

---

## 2.4 試作チップ

本節では、提案手法である垂直バブルフロー制御を用いた誘導結合インタフェースの性能評価を行うために試作されたチップについて詳述する。65 nm CMOS テクノロジで製造された試作チップには、2つのオンチップルータと2つの送受信機を搭載している。2.4.1 にシステムレベルの実装について述べ、2.4.2 に回路レベルの実装について説明する。

### 2.4.1 システムレベル実装

#### 2.4.1.1 通信手法

拡張性の高い SiP に最適なネットワーク構造を評価するために、試作チップに以下の3つの通信手法を実装した。

1. 垂直バブルフロー方式を用いた片方向リングネットワーク
2. 仮想チャネル方式を用いた片方向リングネットワーク
3. 共有バスネットワーク

片方向リングネットワークと、比較のための共有バスネットワークを実装した。デッドロックを回避するために、片方向リングネットワークには、2.3 で論じた、仮想チャネルによる手法と垂直バブルフロー方式が利用可能なように実装された。

図 2.6 は、試作チップの構造を示すブロック図である。図 2.7 は、本試作チップを4枚積層した際の断面図を示している。各チップは、片方向リングネットワークを構築するための、アップリンクとダウンリンクのデータ送受信器ペアを備える。データは隣接したチップに転送される。

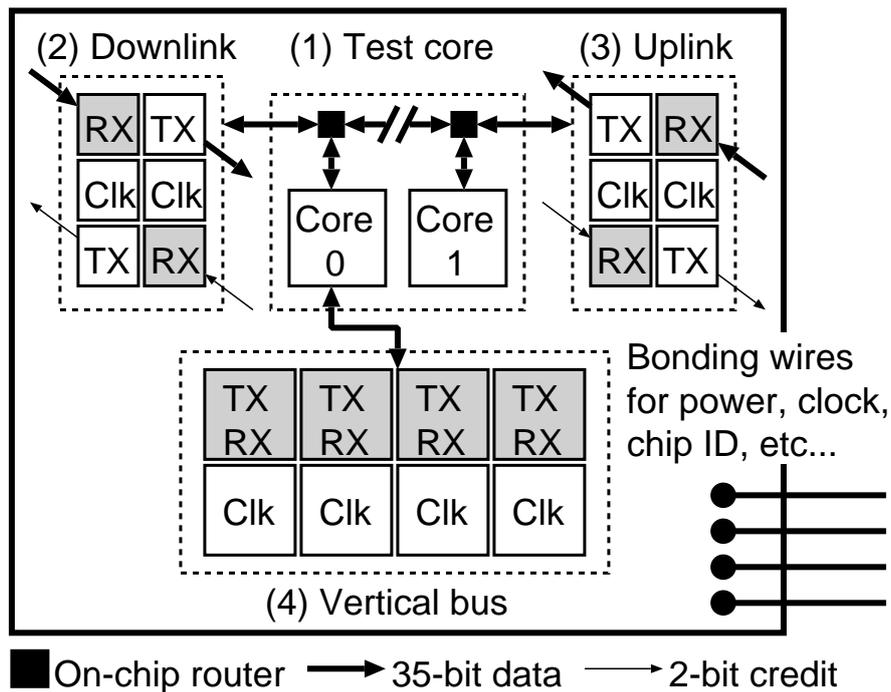


図 2.6 試作チップ内ブロック図

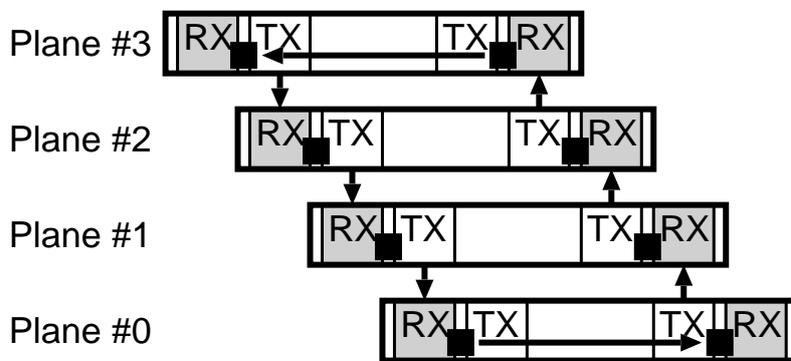


図 2.7 試作チップの断面図 (4 枚積層)

図 2.8 に示される共有バス方式は、各チップに、クロックサイクル毎に通信モードを切り替え可能な単体送受信機を実装した。すべてのチップは同じクロックカウンタを共有しており、各チップのために 8 つのタイミングスロットが用意されている。タイミングスロット内で、TX モードに設定された送受信機がデータを送信可能である。

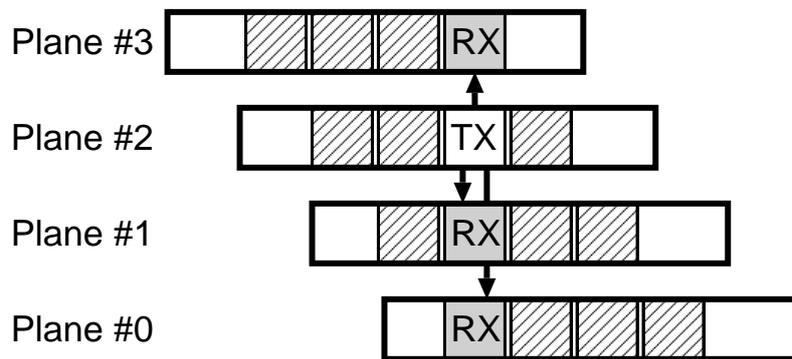


図 2.8 共有バス方式

### 2.4.1.2 試作チップ構造

試作チップは、図 2.6 に示されるように、1)テストコア 2)ダウンリンク 3)アップリンク 4)共有バスリンクの 4 ブロックから構成されている。1)-3)で片方向リングネットワーク、1)と 4)により共有バスネットワークが構築される。下記に各構成コンポーネントについて詳述する。

#### 1) テストコア

テストコアは、2つのコアと2つのルータを含んでいる。コアは、パケット生成器と45 bitのパケットカウンタを持つパケット受信機を備える。1つのルータはダウンリンク用送受信機に接続され、他方はアップリンク用送受信機に接続されている。すべてのチップは、チップ上で2つのルータが接続される有線通信路を持っている。最上層と最下層チップは、折り返しのために、1つの片方向リングネットワークが用いられる。

#### 2) アップリンク/ダウンリンク

ダウンリンクとアップリンクは、送信チャネルと受信チャネルの2ペアをそれぞれに含む。35 bit フリット転送のための1対の送受信コイルペアと、フロー制御に用いるクレジット転送用チャネルに1対の送受信コイルペアを持つ。データは隣り合う2チップで共有される4 GHzクロックの立上りエッジと立下りエッジのダブル

---

エッジを用いて、高速シリアル転送される。各 TX チャンネルは、各 200 MHz のシステムクロック内で 35 bit フリットを転送する。

### 3) 共有バス

共有バスは 4 つの送受信チャンネルと 4 つのクロックチャンネルで形成される。タイムスロットがチップに割り当てられた間、TX モードとして駆動し、他の RX モードであるチップにデータを一括転送可能である。上述したように、各チップには 8 つのタイムスロットが割り当てられている。

共有バス方式においては、図 2.8 に示されるように、チップ ID によって、積層された 4 枚のチップのうち、1 つの TX/RX のみが駆動される。プレーン 0 においては、最も左のチャンネルのみが駆動され、他のチャンネルは駆動されない。これはワイヤボンディングによる実装を行う際に、チップにオフセットが必要なことに起因する。本実装方式は面積効率が悪く、実用には向かない。本試作チップは本提案手法の評価を主な目的とし、実装が容易な点から本実装方式を採用した。チップにオフセットを設けずに積層し、同心上の送受信器で通信を行うことで、面積効率を向上する手法については第 3 章で詳しく検討する。

## 2.4.2 ハードウェアレベル実装

### 2.4.2.1 試作チップ積層実装

試作チップは Fujitsu 65 nm CMOS プロセスで製造した。表 2.1 に、プロセッサ、ルータ、誘導結合インタフェースの各設計値を示した。インダクタの直径サイズは通信距離に依存して決定される。チップ厚を 40  $\mu\text{m}$  からさらに薄くすることでインダクタサイズは低減可能である。

図 2.9 に試作チップのレイアウトを示す。デジタルブロックであるテストコアは VerilogHDL によって設計した。Synopsys Design Compiler と Synopsys IC Compiler による自動配置配線を用いている。誘導結合インタフェース部は Cadence Virtuoso を用いてマニュアル設計した。

表 2.1 チップ設計値一覧

<b>Process technology</b>	<b>Fujitsu 65 nm</b>
<b>Supply Voltage</b>	<b>Core: 1.2 V, I/O: 3.3 V</b>
<b>Chip size</b>	<b>2.1 mm x 2.1 mm</b>
<b>System clock</b>	<b>200 MHz</b>
<b>Inductor clock</b>	<b>4 GHz</b>
<b>Number of chips</b>	<b>4 / 8</b>
<b>Chip thickness</b>	<b>40 <math>\mu\text{m}</math> (+ glue 10 <math>\mu\text{m}</math>)</b>
<b>Flit size</b>	<b>32-bit data + 3-bit control</b>
<b>Packet size</b>	<b>1-flit / 5-flit</b>
<b>Packet switching</b>	<b>Virtual cut-through</b>
<b># of router ports</b>	<b>3</b>
<b># of VCs</b>	<b>2 (VC-based approach)</b>
<b>Input VC buffer</b>	<b>16-flit FIFO</b>
<b>Inductor for p2p</b>	<b>150 <math>\mu\text{m}</math> x 150 <math>\mu\text{m}</math></b>
<b>Inductor for bus</b>	<b>250 <math>\mu\text{m}</math> x 250 <math>\mu\text{m}</math></b>

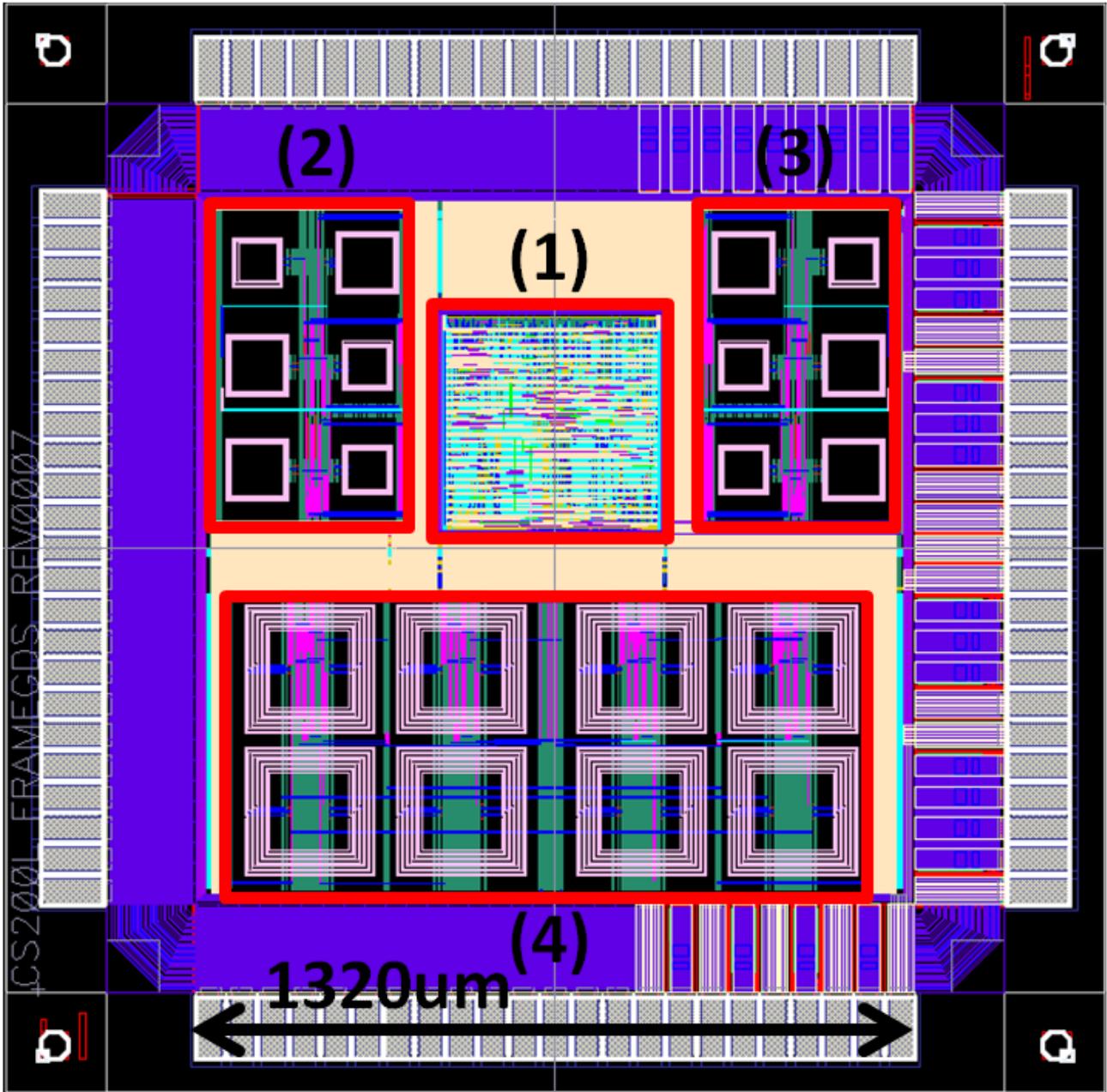


図 2.9 試作チップレイアウト

---

図 2.10 は、試作チップが 4 枚積層された測定用のテスト基板である。製造されたチップは、市場で一般的に利用可能な裏面研削技術を用いて 40  $\mu\text{m}$  の厚さまで研削された。上述したように、チップ厚が積層されたチップ間の通信距離を決定し、通信距離によって必要なインダクタのサイズが決定される。より薄い研削厚は、インダクタのサイズをより小さくする。リング型垂直バブルフローネットワークと共有バスを検証するために、4 枚のチップをテスト基板上に積層した。図 2.7 と図 2.8 に示すように、各チップは上下間のチップの 2 つのインダクタ間でチャンネルが形成されるように、オフセットを設けて積層されている。オフセット量はインダクタサイズと配置間隔によって決定される。本試作においては、垂直バブルフローリングネットワークの検証の場合は 210  $\mu\text{m}$ 、共有バスの検証の場合は 290  $\mu\text{m}$  のオフセットを設けて積層した。オフセットを設けることで、各チップにボンディング用の PAD を配置することが可能である。ワイヤボンディングを用いて、電源、クロック、デバッグ信号の入出力を行った。

本試作では、クロックと電源供給のためのワイヤボンディングの数は実装容易性の観点から最小限にしてある。近年では、無線による給電技術[14][15]も報告されているが、供給可能な電力量が、プロセッサの電源供給にとっては十分ではない。今後の給電技術の発展により、十分な供給が実現されれば、無線による電源供給も可能であり、ワイヤボンディングを不要とすることも考えられる。

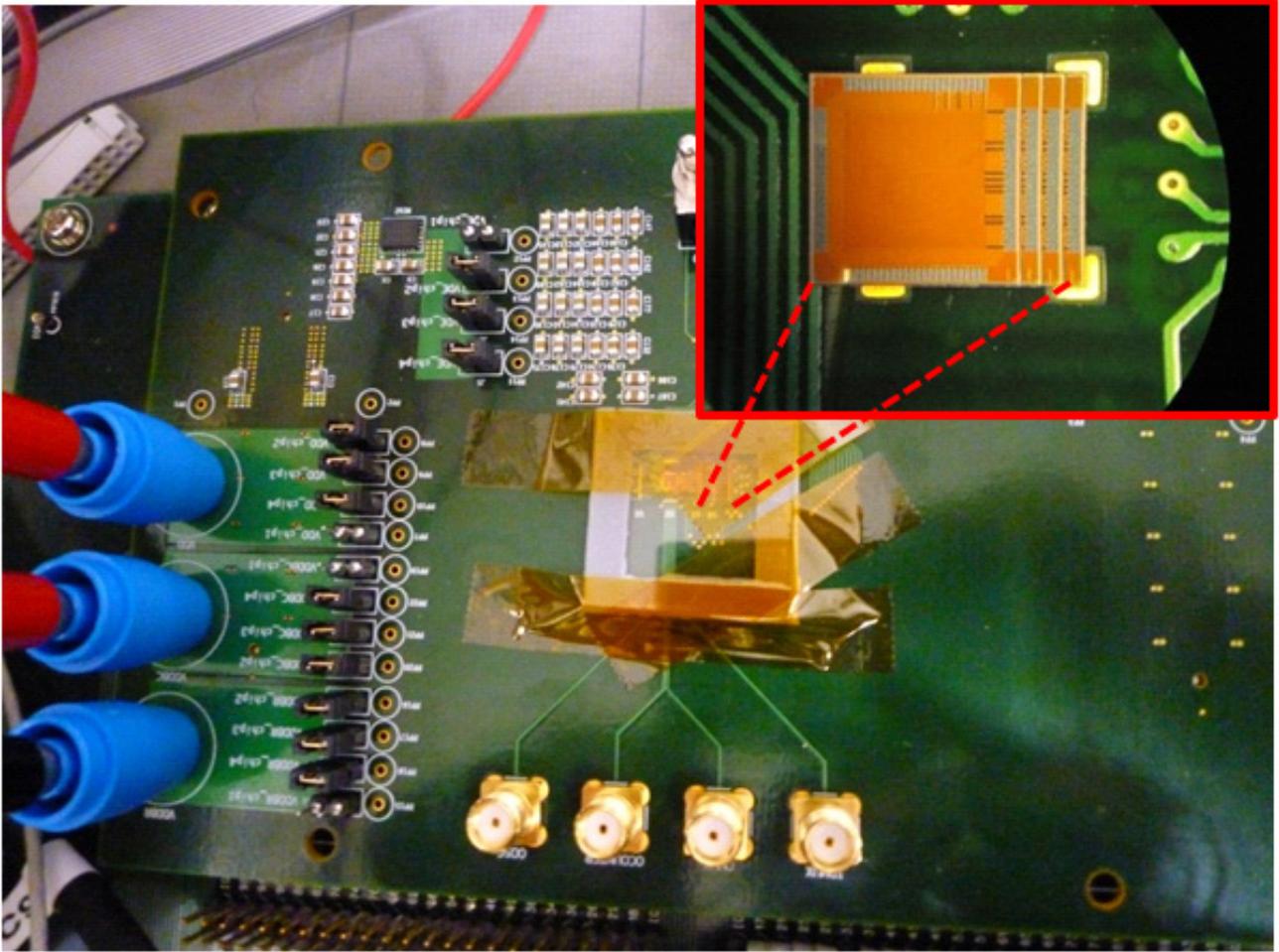


図 2.10 テスト基板

#### 2.4.2.2 誘導結合インタフェースチャネル設計

図 2.11 は本試作チップの誘導結合インタフェースの等価モデルを示している。インダクタの寄生抵抗  $R_T, R_R$  と寄生容量の  $C_T, C_R$  は三次元電磁界シミュレータによって抽出された。

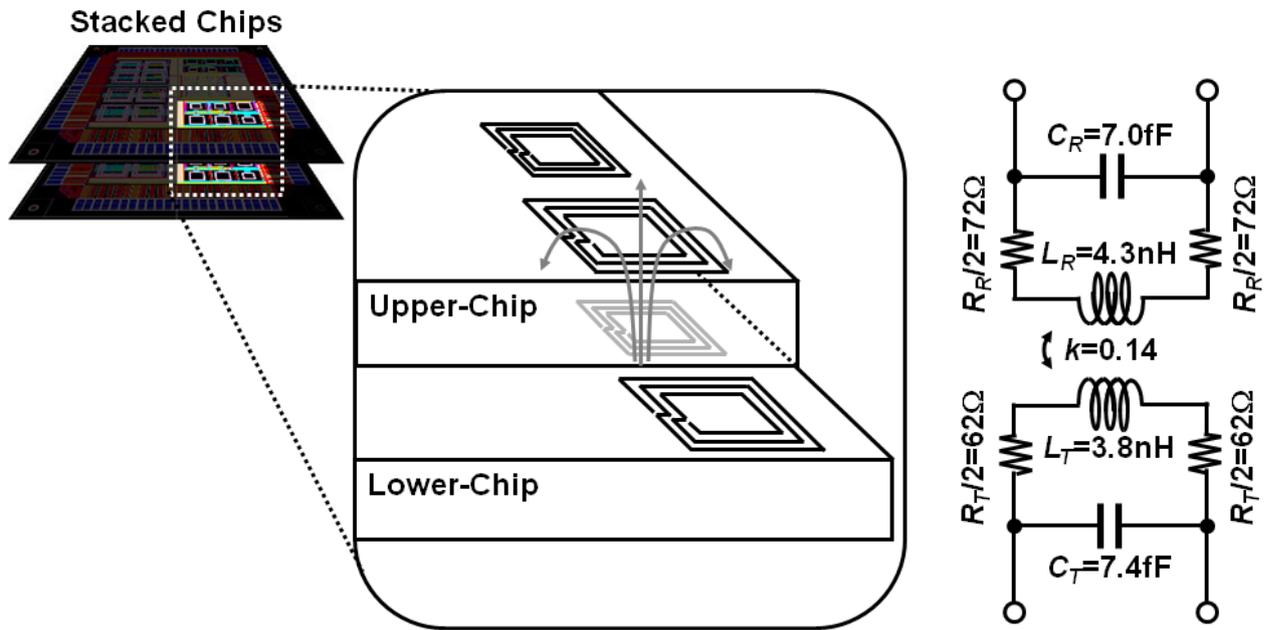


図 2.11 誘導結合インタフェースの等価モデル

等価回路に基づいて、誘導結合インタフェースのトランスインピーダンスは下記の(2.1)式で与えられる。

$$\frac{V_R}{I_T} = \frac{1}{(1-\omega^2 L_R C_R) + j\omega R_R C_R} \cdot j\omega k \sqrt{L_R C_R} \cdot \frac{1}{(1-\omega^2 L_T C_T) + j\omega R_T C_T} \quad (2.1)$$

送信コイルと受信コイルは自己共振周波数でピークを持つ、2次のローパスフィルタとしてモデル化される。符号間干渉を防ぐために、誘導結合インタフェースの共振周波数  $f_r$  は、信号帯域周波数の2倍以上となるように設計する。信号帯域周波数が共振周波数に近づくと、リングングが生じ、結果として符号間干渉による通信エラーが誘発される。本試作チップの誘導結合インタフェースは自己共振周波数が 26 GHz であり、信号帯域の2倍である 16 GHz よりも高い。

---

### 2.4.2.3 チャンネル干渉

符号間干渉は、共振周波数付近のリングングだけではなく、チャンネル間の信号干渉によっても生じる。最も簡易にチャンネル間干渉を防ぐ方法は、互いの電磁界影響がない間隔でインダクタを配置することである。本試作チップでは、インダクタ間隔は  $50\ \mu\text{m}$  で設計された。この間隔は  $30\ \mu\text{m}$  まで削減することが可能である。 $30\ \mu\text{m}$  間隔のインダクタ間の結合係数は  $0.01$  以下である。この結合係数においては、隣接するインダクタ間の電磁界結合は非常に弱く、典型的な誘導結合チャンネルの結合係数に比べ  $1/10$  以下である。従って、本試作チップにおいても  $30\ \mu\text{m}$  間隔でインダクタを配置することが可能である。実際に、 $1024$  チャンネルを  $30\ \mu\text{m}$  のインダクタ間隔で配置して、実チップでの通信評価をした報告がある[11]。

しかし一方で、積層時の製造ミスマッチによって、インダクタ間には配置誤差が発生する可能性があることを考慮して、間隔を設計しなければならない。配置誤差が生じた場合、形成されるべき誘導結合チャンネルの結合係数は弱く、隣接するチャンネルとの結合係数は強くなる。結果として、信号対ノイズ比 (SNR) が劣化する。図 2.12 は、横軸にミスアライメント距離、縦軸に結合係数の変化を取ったグラフである。ミスアライメントが増加することで線形的に結合係数が低下している。誘導結合インタフェースのゲインは(2.1)式から、結合係数の関数となっている。典型的に、通信のための十分なゲインを得るために結合係数は  $0.1$  以上の値を取る必要があり、ミスアライメントと干渉に注意しながら間隔を決定する。誘導結合インタフェースのミスアライメント耐性については[16]でも詳しく論じている。

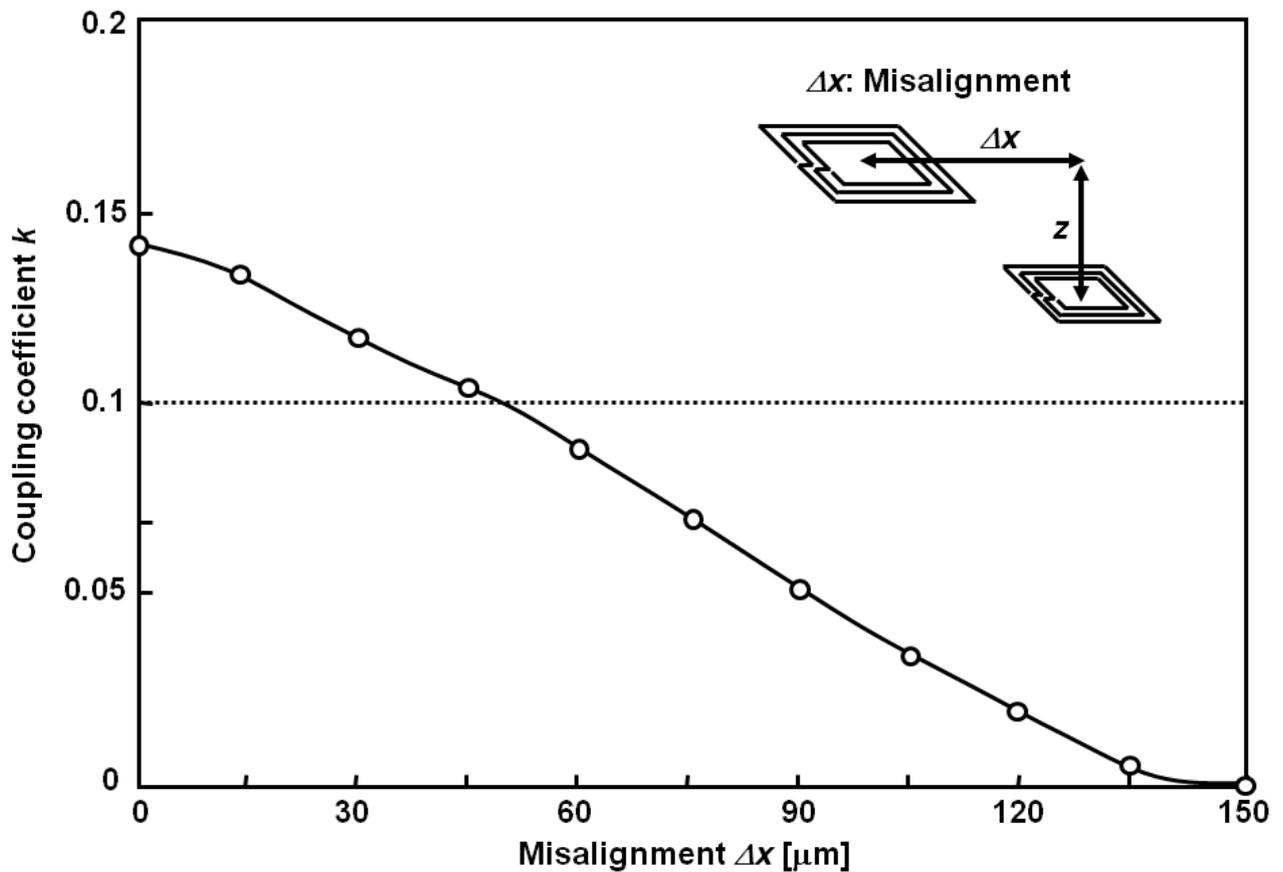


図 2.12 積層位置誤差と結合係数

#### 2.4.2.4 バースト転送

図 2.13 に、本試作チップで用いた誘導結合インタフェースの回路ブロック図を示す。パラレルデータを束ねてシリアルデータとして転送するバースト転送方式[17]を用いている。テール電流源がバイアス電圧  $V_T$  によって、制御されているリング発振器によって生成された転送用高速クロックを転送タイミング信号として用いる。リング発振器の自己共振周波数は意図した設計値から誤差を発生する。一定の周波数誤差は、 $V_T$  によって調整することが可能である。本クロック周波数は送信データの多重化と受信データの復元のタイミングを取るために用いられているため、異なるチャンネル間で厳密なクロック同期が取ることが要求されない。定められた周波数範囲内でさえあれば、転送に支障をきたすことはない。チャンネル間やチップ全体でタイミングを共有し、回路ブロック間の協調動作までを保

---

証する手法については第 4 章で詳述する。200 MHz 35 bit のパラレルデータ *Mtxdata* は 8 Gbps のシリアルデータ *Txdata* に多重化され、誘導結合を用いて受信機に送信される。クロックカウンタは 200 MHz のシステムクロックの立上りエッジに同期して、転送データビットと同数のクロック波形 *Txclk* を生成する。*Txclk* は MUX のタイミングと、受信側の DEMUX におけるデータ復元に用いられる。*Txclk* も誘導結合インタフェースを用いて独立したチャンネルで転送される。受信側では、ヒステリシスコンパレータを持つ受信機によって、受信クロック *Rxclk* と受信データ *Rxdata* が得られる。最後に *Rxdata* は *Rxclk* によって 200 MHz のパラレルデータに復元される。

誘導結合インタフェースの総転送帯域が向上することで、転送可能なビット数が増加する。この先の急速な電子デバイスの発展と共に、チップ間の通信帯域要求も増大することは明白である。誘導結合インタフェースのさらなる広帯域化については第 3 章で議論を行うとし、ここでは割愛する。

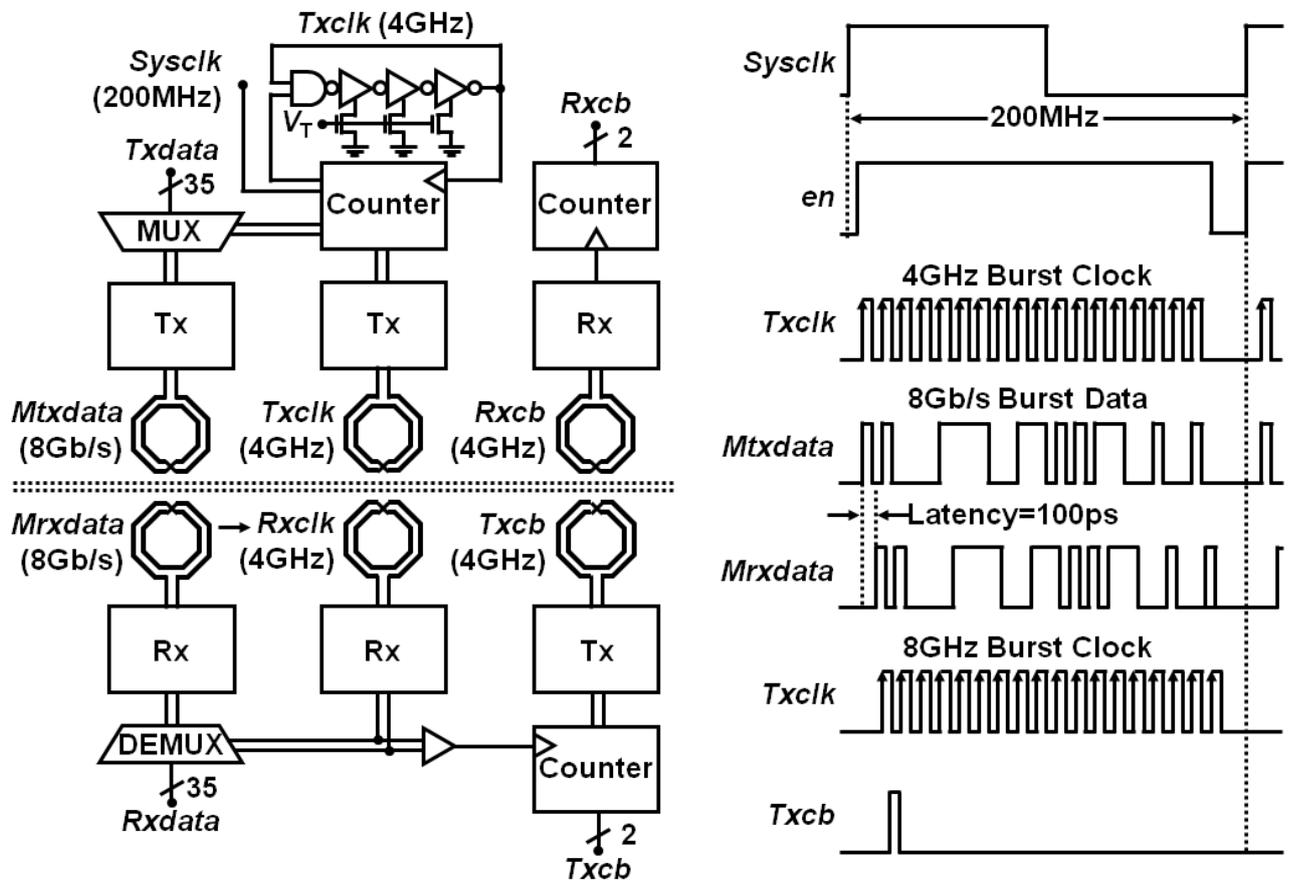


図 2.13 誘導結合インタフェースの回路ブロック図

---

## 2.5 評価結果

本節では、チップ試作とシミュレーションで得られた片方向と双方向垂直バブルフロー制御を用いた誘導結合インタフェースの性能評価を共有バス方式との比較を通じて行う。評価項目は、通信レイテンシ、スループット、アプリケーション性能、ハードウェア量である。

### 2.5.1 ゼロロードレイテンシ

リングネットワークのゼロロードレイテンシ  $T_{0,ring}$  は、下記の(2.2)式で算出される。

$$T_{0,ring} = (H + 1)T_{router} + HT_{link} + L/BW \quad (2.2)$$

$H$ は平均ホップ数、 $L$ はパケット長を示している。 $T_{router}$ と $T_{link}$ は、ルータとリンク上のヘッダフリット転送のレイテンシである。

一方で、共有バスのゼロロードレイテンシ  $T_{0,bus}$  は下記の(2.3)式で算出される。

$$T_{0,bus} = T_{link} + L/BW + T_{slot}/N \sum_{i=0}^{N-1} i \quad (2.3)$$

$N$ は積層されたチップ数、 $T_{slot}$ は各タイムスロットの長さである。一番右の項はタイムスロットの平均割当待機時間を示している。

評価のために、下記の3つのトラフィックパターンを想定する。

#### 1) Uniform トラフィック

送信元ノードがランダムに選別した宛先にパケットを転送する。各チップに2つのノードがあることを想定すると、双方向リングネットワーク方式の平均ホップ数  $H$ は  $H=N/2$  で与えられ、片方向方式では  $H=N$  で与えられる。

## 2) Neighbor トラフィック

送信元ノードは、最も近接した宛先にパケットを転送する。双方向リングネットワーク方式、片方向方式、共に平均ホップ数  $H$  は  $H=1$  である。

## 3) Adversary トラフィック

送信元ノードは、最も遠方の宛先にパケットを転送する。双方向リングネットワークの平均ホップ数  $H$  は  $H=N$  で与えられ、片方向方式では  $H=2N-1$  である。

表 2.2 は、 $L=5$ ,  $T_{\text{router}}=2$ ,  $T_{\text{link}}=1$ ,  $T_{\text{slot}}=8$  の場合における、3つのトラフィックパターン毎のゼロロードレイテンシを示している。共有バス方式のゼロロードレイテンシは、トラフィックパターンに依存なく、一定である。Uniform トラフィックの場合においては、共有バス方式、リング方式共に同等である。本結果から、双方向リングネットワーク方式は、片方向方式に比べ、通信レイテンシ削減に大きく寄与することがわかる。本結果は、2.5.3 節にて、レイテンシに影響を受けやすい CMPs 上で確認する。

表 2.2 ゼロロードレイテンシの比較

ネットワーク構造	トラフィック	$N = 4$	$N = 6$	$N = 8$
片方向リング	Uniform	19	25	31
	Neighbor	10	10	10
	Adversary	28	40	52
双方向リング	Uniform	13	16	19
	Neighbor	10	10	10
	Adversary	19	25	31
共有バス	Any	18	26	34

---

## 2.5.2 ネットワークスループット

片方向と双方向リングネットワーク上の Uniform トラフィック、Neighbor トラフィック、Adversary トラフィックのネットワークスループットを、リング型垂直バブルフローネットワーク方式、従来の仮想チャネル方式、共有バス方式の方式毎に RTL シミュレーションで評価した。

垂直バブルフロー方式においては、各入力ポートに 15 フリット FIFO バッファを組み込んだ。仮想チャネル方式においては、単体のメッセージクラスを想定し、デッドロックを回避するための 2 つの仮想チャネル A と B を設けた。以後、2 つの仮想チャネルと各チャネルに  $(n/2)$  フリット FIFO を持つ場合、2-VC( $n$ -flit)と表記する。ただし、2-VC(15-flit)の場合においては、VCT スイッチングを用いたため、下記の 2 つのフリットの割り当てを想定し、これらの平均スループットを評価した。

- 1) 仮想チャネル A に 5 フリット FIFO バッファ、仮想チャネル B に 10 フリット FIFO バッファ
- 2) 仮想チャネル A に 10 フリット FIFO バッファ、仮想チャネル B に 5 フリット FIFO バッファ

なお、垂直バブルフロー方式に組み込んだ 15 フリット FIFO バッファと、2-VC(15-flit)における FIFO バッファの要求仕様は変わらない。

図 2.14 と図 2.15 は、片方向リングネットワークにおいて、4 枚積層と 8 枚積層を行った際のネットワークスループットの結果を示している。垂直バブルフロー方式は、2-VC(15-flit)よりもスループットに優れ、2-VC(30-flit)と同等の性能である。共有バスのスループットは、トラフィックパターンに関わらず、リングネットワークに比べ非常に低い。

図 2.16 と図 2.17 は、双方向リングネットワークにおいて、4 枚積層と 8 枚積層を行った際のネットワークスループットの結果を示している。双方向リングネットワークは、送信と受信を動的に切り替えることにより、通信の方向を反転することが可能である。そのため、通信レイテンシが低減されることが表 2.2 においても確認できる。しかしながら、図 2.16 と図 2.17 においては、双方向リングネットワークのスループットは片方向リング

ネットワークのスループットに比べ、低下している。これは、動的に切り替える際にスイッチングによるレイテンシが発生しているためである。このように積層枚数が少なく、トラフィックが単純である場合においては、スイッチングレイテンシが顕著にスループットに影響を与える。より複雑なトラフィックが発生する実用的なアプリケーションでは、双方向リングネットワークによるレイテンシ低減効果が大きくなる。これを定量的に評価するために、次節では CMPs 上で比較評価を行う。

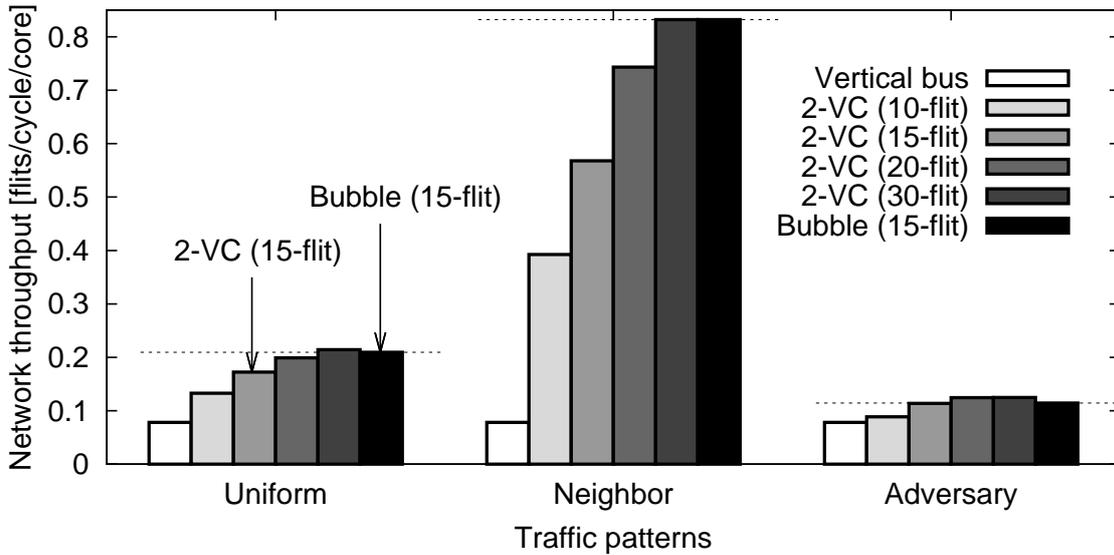


図 2.14 ネットワークスループット(片方向リング/4 枚積層)

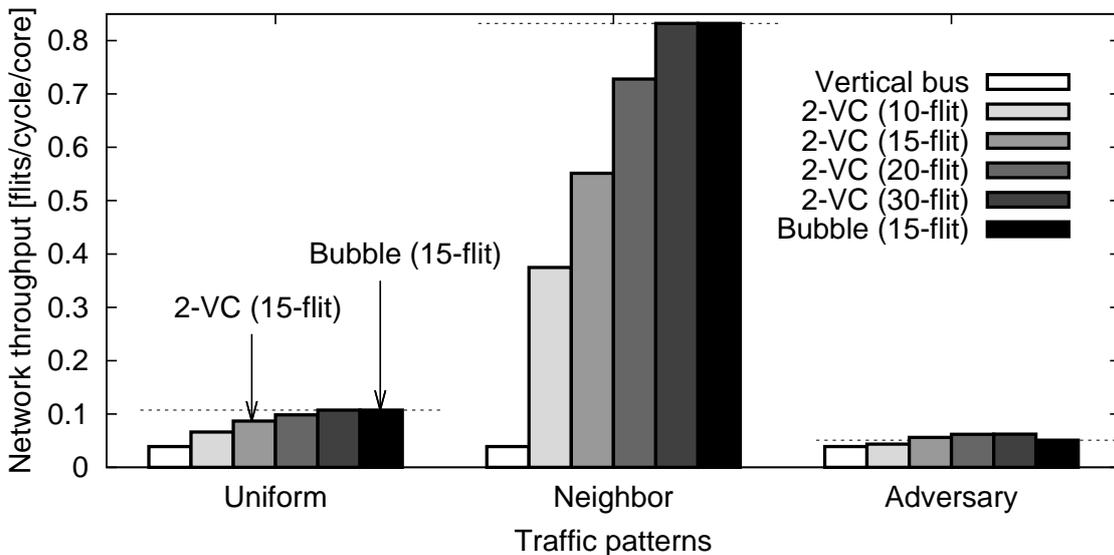


図 2.15 ネットワークスループット(片方向リング/8 枚積層)

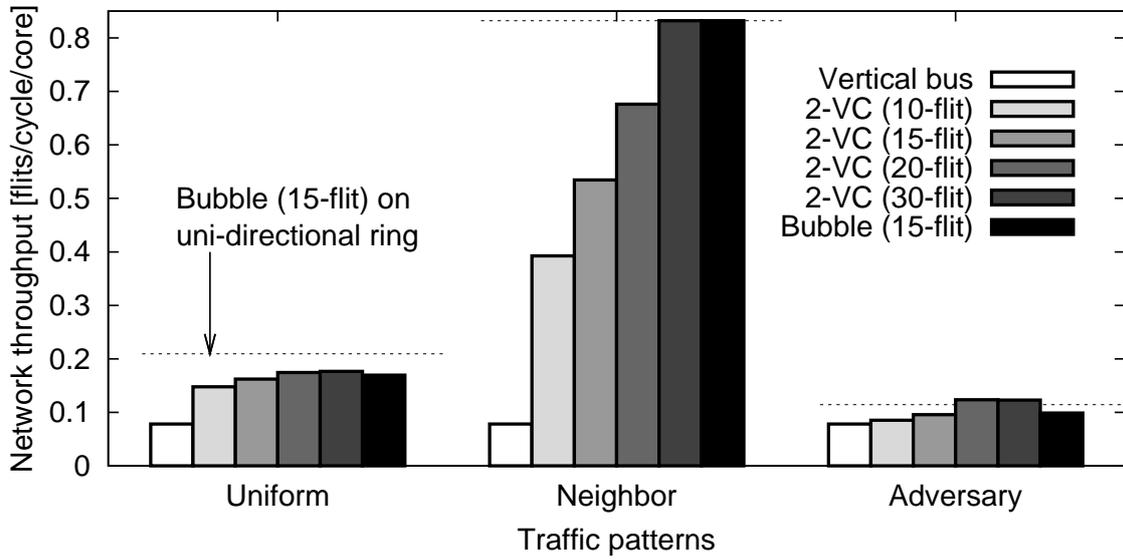


図 2.16 ネットワークスループット(双方向リング/4枚積層)

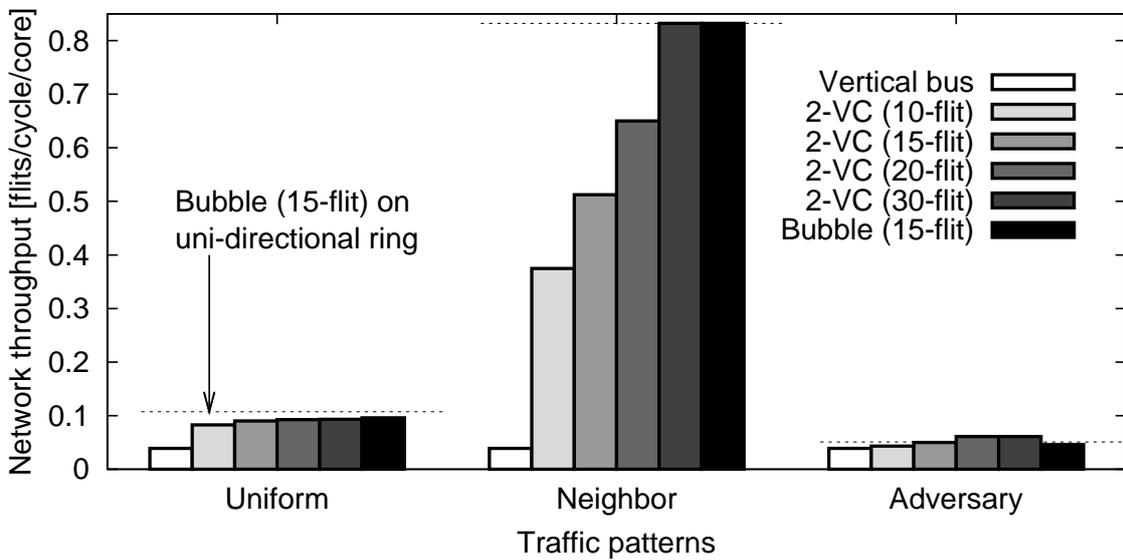


図 2.17 ネットワークスループット(双方向リング/8枚積層)

---

## 2.5.3 アプリケーション性能

### 2.5.3.1 実用的な SiP システム

より実用的な SiP システムを構築するために、レイテンシに影響を受けやすい共有メモリ型 CMPs に本提案手法を適用し、アプリケーション性能評価を行った。共有メモリ型 CMPs には、複数のプロセッサと L2 キャッシュバンクがオンチップルータによって接続されている。これらの L2 キャッシュバンクは、すべてのプロセッサによって共有されている。キャッシュ構造は SNUCA[18]であり、キャッシュコヒーレンスプロトコルが動作している。

図 2.18 は、ターゲットとなる三次元 CMP 構造を示している。8つの Plane を持っており、それぞれにオンチップルータ、プロセッサ、共有キャッシュバンクがある。これらの Plane は誘導結合インタフェースによって垂直方向に接続される。メモリコントローラと外部 I/O ピンは、下層チップに接続されている。各チップ内の構成は 3種類存在し、TypeA(CPU とキャッシュ),B(CPU と CPU),C(キャッシュとキャッシュ)として図 2.18 に示す。ターゲットアプリケーションによって、パッケージ内で組み合わせるチップ枚数やタイプを、チップ製造後に選択可能である。

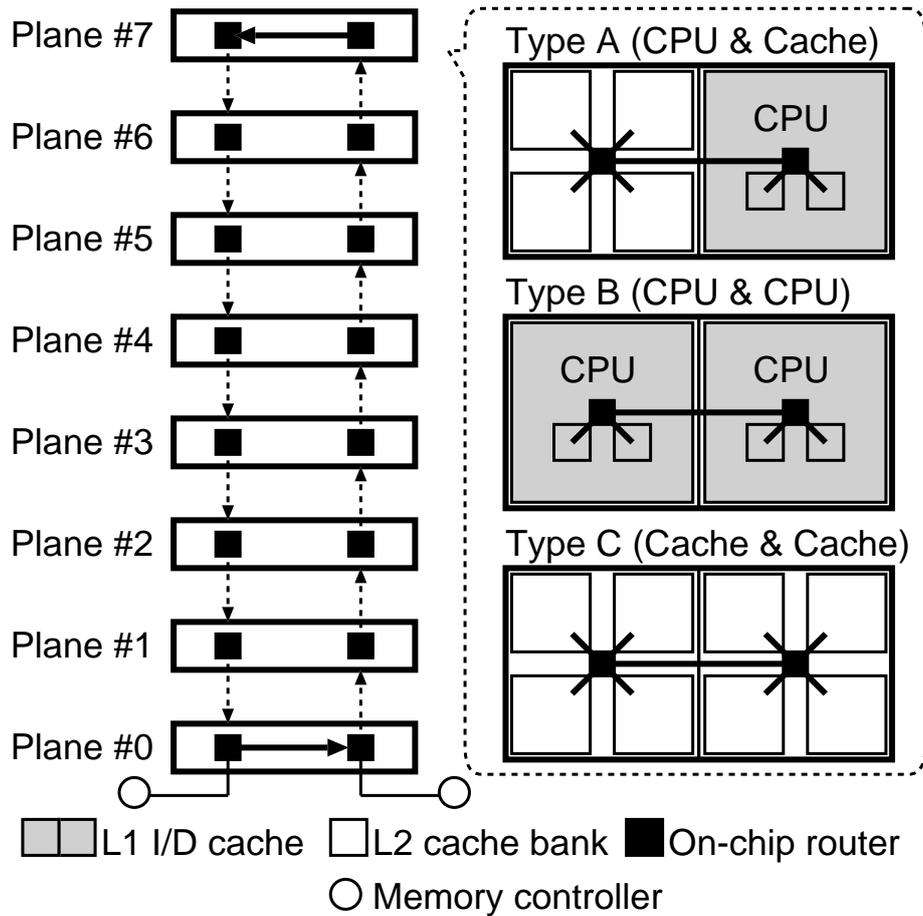


図 2.18 実用的な 3 次元 CMP 構造

### 2.5.3.2 シミュレーション環境

上記の実用的な SiP システムを評価するために、TypeA のチップを 4 枚、8 枚積層した場合におけるアプリケーション性能をシミュレーションした。通信手法による性能の差異を評価するために、リング型垂直バブルフローネットワーク方式、従来の仮想チャネル方式、共有バス方式を組み込んだ。表 2.3 と表 2.4 に、プロセッサ、メモリ、キャッシュのパラメータを列挙した。各 TypeA チップには、1 つのプロセッサと 4 つの共有キャッシュバンク、2 つのオンチップルータが搭載されている。図 2.18 に示されるように、2 つのメモリコントローラは下層チップに接続されている。

三次元 CMP をシミュレーションするために、マルチプロセッサシミュレータ GEMS[19] と wind River Simics[20] を用いた。MOESI プロトコルは、3 つのメッセージクラスを定

義している。従って、仮想チャネル方式には、各入力ポートに 6 つの仮想チャネルを設けた。仮想チャネルの割当には、GEMS の標準方式を利用した。6-VC(18-flit)、6-VC(30-flit) の仮想チャネル方式、15 flit バッファを持つ垂直バブルフロー方式で比較を行った。パケット長が 5 フリットまでであったため、6-VC(30-flit)と垂直バブルフロー方式(15-flit)は、VCT スイッチング方式、6-VC(18-flit)ではワームホール方式を用いた。垂直バブルフロー方式のバッファ容量は、6-VC(18-flit)よりも小さい。

通信方式毎のアプリケーション性能を評価するために、NAS Parallel Benchmarks[21] の OpenMP 組込みから 10 の並列プログラムを用いた。Sun Solaris 9 OS を積層されたチップ上で稼働させた。ベンチマークプログラムは Solaris9 上で実行される Sun Studio12 によってコンパイルされた。

表 2.3 CPU とメモリパラメータ一覧

<b>Processor</b>	<b>UltraSPARC-III</b>
<b>L1 cache size</b>	<b>64 KB</b>
<b># of processors</b>	<b>4 / 8</b>
<b>L1 cache latency</b>	<b>1-cycle</b>
<b>L2 cache bank size</b>	<b>256 KB</b>
<b># of L2 cache banks</b>	<b>16 / 32</b>
<b>L2 cache latency</b>	<b>6 cycle</b>
<b>Memory size</b>	<b>4 GB</b>

表 2.4 ネットワークパラメータ一覧

Topology	Uni- / bi-directional rings
# of routers	8 / 16
Router pipeline	[RC/VSA][ST][LT]
Packet switching	Wormhole / VCT
Flit size	128 bit
# of message classes	3
Control packet size	1 flit
Data packet size	5 flit

### 2.5.3.3 シミュレーション結果

第1に、共有バス方式における性能を基準として、6-VC(18-flit)、6-VC(30-flit)、垂直バブルフロー方式(15-flit)を用いた片方向リングネットワークのアプリケーション性能評価を行った。続いて、双方向リングネットワークでの評価結果を述べる。

図 2.19 は、4 枚積層の片方向リングネットワークにおける、ベンチマークプログラム(BT, CG, DC, EP, FT, IS, LU, MG, SP, UA)の実行時間を示している。図 2.20 には、積層枚数を 8 枚にした場合の結果である。Y 軸のプログラム実行時間は、共有バス方式を用いた場合の実行時間を 100%として正規化して表現している。垂直バブルフロー方式は 6-VC(18-flit)に比べ、実行時間が 7.9%-12.5%削減されている。これは 6-VC(18flit)、6-VC(30-flit)が 3 フリットと 5 フリットの FIFO バッファを用いているのに対し、垂直バブルフロー方式が 15 フリットという大きい FIFO バッファを用いていることに起因する。共有バス方式は、唯一、4 枚積層時の 6-VC(18-flit)より実行時間が短い。しかし、積層枚数が増加し、8 枚積層になると、実行時間は増大し、リングネットワークの方が実行時間は短くなる。

図 2.21 と図 2.22 は同様の条件において、片方向リングネットワークを双方向リングネットワークに変更した場合の結果を示している。片方向リングネットワークと同様に、垂

直バブルフロー方式は 6-VC(18-flit)に比べ、実行時間が 8.6%-11.6%削減されている。双方向リングネットワークは、帯域を 2 倍に拡大する技術ではないが、帯域制約が厳しくない場合は、2.5.1 節で述べたように、通信レイテンシを大きく改善する。特に大きいネットワークサイズにおいては、本結果に示されるように片方向リングネットワークに比べ、アプリケーション性能を改善する有効な手法である。例えば、8 枚積層時の 6-VC(18-flit)と垂直バブルフロー方式においては、それぞれ 20.0%、20.7%の性能改善が得られている。

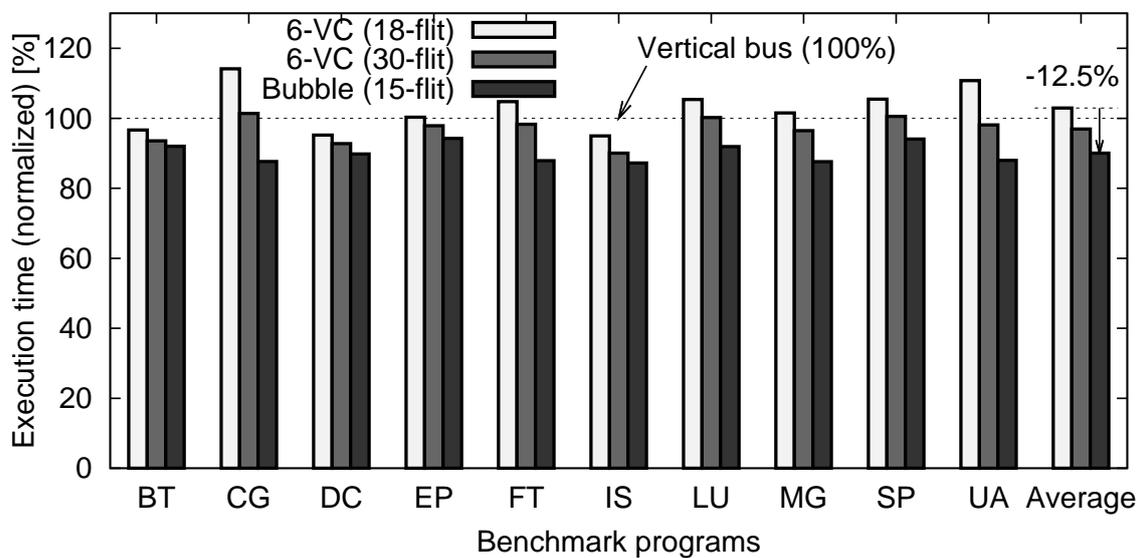


図 2.19 実行時間(片方向リング/4 枚積層)

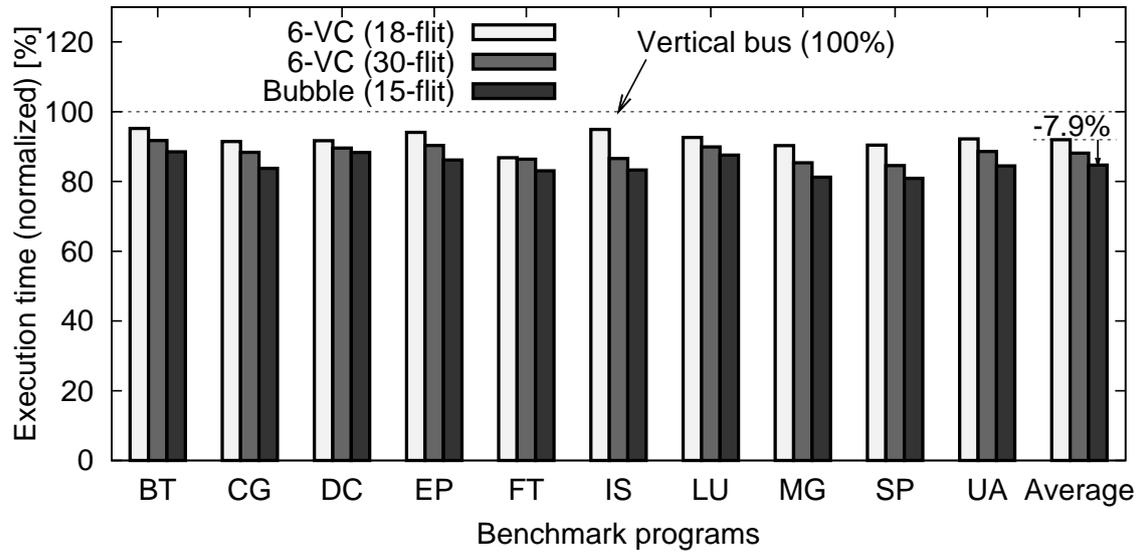


図 2.20 実行時間(片方向リング/8枚積層)

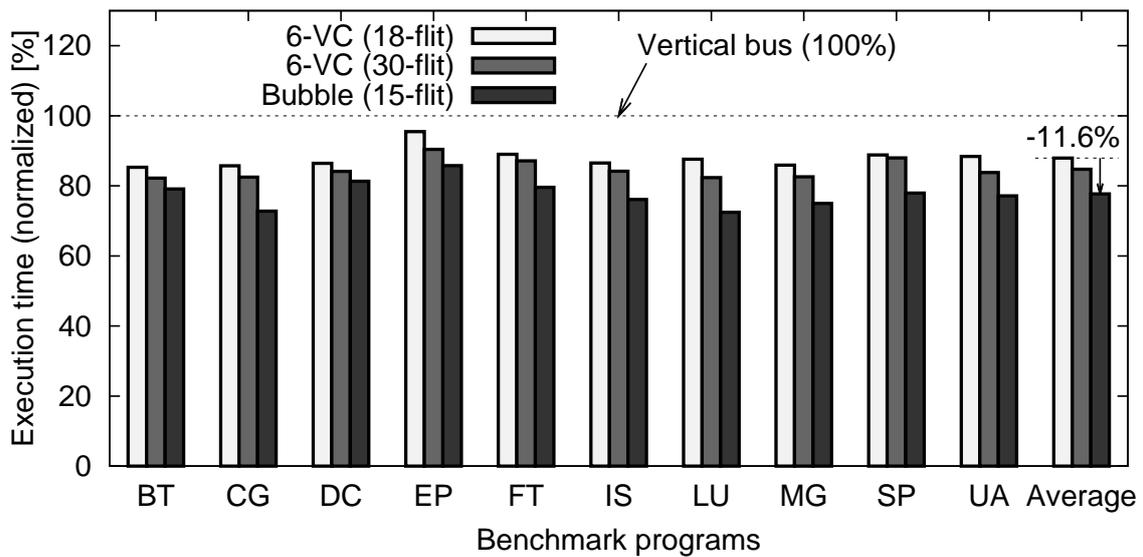


図 2.21 実行時間(双方向リング/4枚積層)

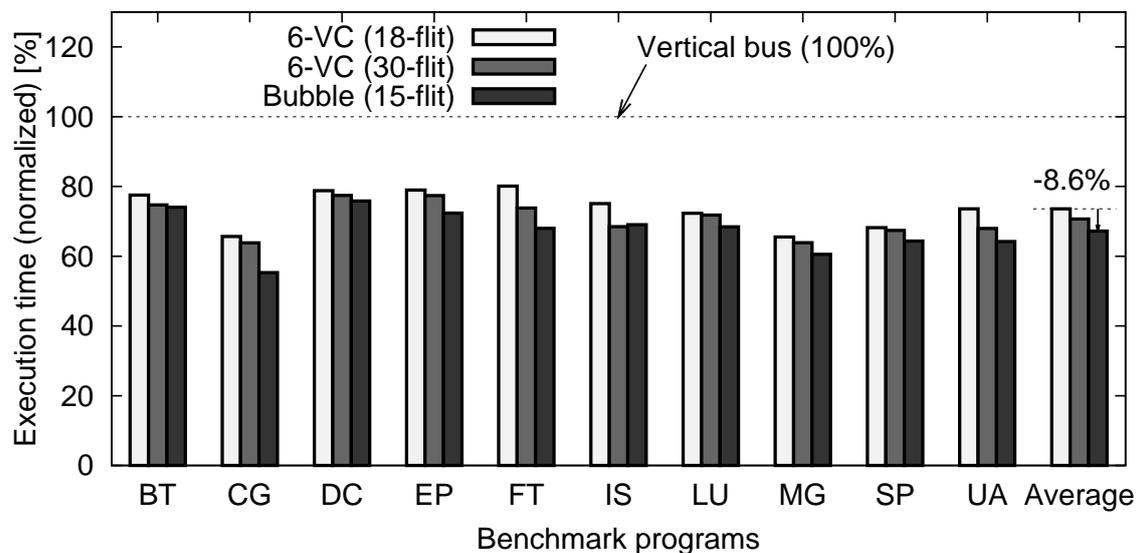


図 2.22 実行時間(双方向リング/8 枚積層)

#### 2.5.4 ルータハードウェア量

試作チップの RTL モデルを用いて、6-VC(18-flit)、6-VC(30-flit)、垂直バブルフロー方式におけるハードウェア量を比較評価する。

片方向リングネットワークの場合、図 2.1 に示されるように、各ルータは、同チップ上のローカルコアと他のルータを接続するための 2 つの双方向ポートと、上下チップのルータに接続するための 2 つの片方向ポートを持っており、合計で 3 つの双方向ポートを持っていることとなる。双方向リングネットワークの場合、ルータはローカルコア、平面リンク、アップリンク、ダウンリンクの合計で 4 つの双方向ポートを持つ。試作チップでは、32 bit データ幅であったフリットサイズを、本検証では 128 bit とした。これらのルータは Synopsys Design Compiler で生成され、Synopsys IC Compiler で自動配置配線された。試作チップと同様に Fujitsu 65 nm CMOS プロセスで設計を行っている。

図 2.23 に 6-VC(18-flit)、6-VC(30-flit)、垂直バブルフロー方式におけるゲート数を示す。ルータ内にクロスポートはわずか 3 ポートしかないため、クロスポートの面積はわずかであり、入力ポートが大半の面積を占めている。入力ポートの面積は FIFO バッファと他の制御回路に分割される。垂直バブルフロー制御と 6-VC(18-flit)は同等のバッファサイズを

持つ。しかし、6-VC(18-flit)は、6つの仮想チャネルを制御するための、VC状態制御回路やVC多重化回路といった追加回路を必要とする。結果として、垂直バブルフロー方式は6-VC(18-flit)に比べて33.5%小さいルータ面積を実現した。

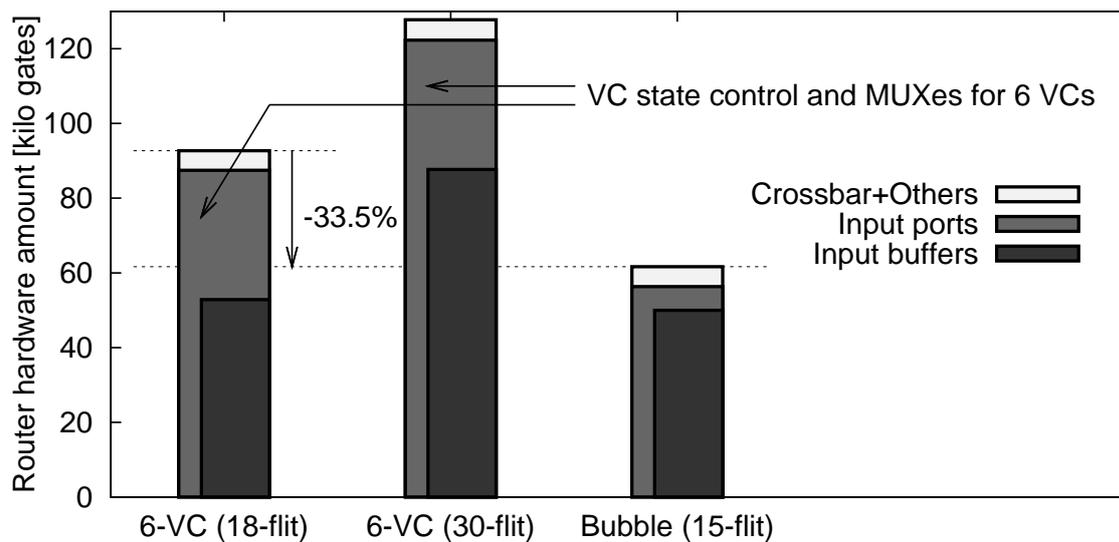


図 2.23 ルータハードウェア量(ゲート数)

---

## 2.6 おわりに

本章では、チップの製造後にパッケージ内で組み合わせるチップ枚数、種類を選択し、システム拡張が可能な SiP を構築するための誘導結合インタフェースのためのパケット通信アーキテクチャについて提案した。ルーティング情報の変更なしに、チップの追加、削除、入替を容易に可能とする片方向リングネットワークを形成する。動的に送受信モードを切り替え可能な誘導結合送受信機を用いることで、双方向リングネットワークに拡張することも可能である。上記の柔軟性を保ちながら、デッドロックを回避するための垂直バブルフローパケット転送方式を利用した誘導結合リング型ネットワークを提案し、従来の仮想チャネルを用いた手法、共有バス方式との性能評価を行った。垂直バブルフロー方式を利用した片方向誘導結合リング型ネットワークは、仮想チャネルを用いたリング型ネットワークと比べ、33.5%の小面積化を図りながら、最大で 12.5%のスループット向上を達成した。片方向を双方向に拡張した双方向誘導結合リング型ネットワークでは、片方向に比べ、20.7%のスループット向上（実行時間比較）を達成した。

---

## 参考文献 (第 2 章)

- [1] K. Kumagai, C. Yang, S. Goto, T. Ikenaga, Y. Mabuchi, and K. Yoshida, “System-in-Silicon Architecture and its application to an H.264/AVC motion estimation for 1080HDTV,” in *Proceedings of the International Solid-State Circuits Conference (ISSCC’06)*, pp. 430–431, Feb. 2006.
- [2] H. Matsutani, M. Koibuchi, Y. Yamada, D. F. Hsu, and H. Amano, “Fat H-Tree: A Cost-Efficient Tree-Based On-Chip Network,” *IEEE Transactions on Parallel and Distributed Systems*, vol. 20, no. 8, pp. 1126–1141, Aug. 2009.
- [3] B. Feero and P. P. Pande, “Networks-on-Chip in a Three-Dimensional Environment: A Performance Evaluation,” *IEEE Transactions on Computers*, vol. 58, no. 1, pp. 32–45, Jan. 2009.
- [4] V. F. Pavlidis and E. G. Friedman, “3-D Topologies for Networks-on-Chip,” *IEEE Transactions on Very Large Scale Integration Systems*, vol. 15, no. 10, pp. 1081–1090, Oct. 2007.
- [5] J. Kim, C. Nicopoulos, D. Park, R. Das, Y. Xie, N. Vijaykrishnan, M. Yousif, and C. Das, “A Novel Dimensionally-Decomposed Router for On-Chip Communication in 3D Architectures,” in *Proceedings of the International Symposium on Computer Architecture (ISCA’07)*, pp. 138–149, 2007.
- [6] F. Li, C. Nicopoulos, T. Richardson, Y. Xie, V. Narayanan, and M. Kandemir, “Design and Management of 3D Chip Multiprocessors Using Network-in-Memory,” in *Proceedings of the International Symposium on Computer Architecture (ISCA’06)*, pp. 130–141, Jun. 2006.
- [7] D. Park, S. Eachempati, R. Das, A. K. Mishra, V. Narayanan, Y. Xie, and C. R. Das, “MIRA: A Multi-layered On-Chip Interconnect Router Architecture,” in *Proceedings of the International Symposium on Computer Architecture (ISCA’08)*, pp. 251–261, 2008.
- [8] R. S. Ramanujam and B. Lin, “Randomized Partially-Minimal Routing on

- 
- Three-Dimensional Mesh Networks,” *IEEE Computer Architecture Letters*, vol. 7, no. 2, pp. 37–40, Jul. 2008.
- [9] P. Abad, V. Puente, P. Prieto, and J. A. Gregorio, “Rotary Router: An Efficient Architecture for CMP Interconnection Networks,” in *Proceedings of the International Symposium on Computer Architecture (ISCA’07)*, pp. 116–125, May 2007.
- [10] V. Puente, R. Beivide, J. A. Gregorio, J. M. Prellezo, J. Duato, and C. Izu, “Adaptive Bubble Router: A Design to Improve Performance in Torus Networks,” in *Proceedings of the International Conference on Parallel Processing (ICPP’99)*, pp. 58–67, Sep. 1999.
- [11] N. Miura, D. Mizoguchi, M. Inoue, K. Niitsu, Y. Nakagawa, M. Tago, M. Fukaiishi, T. Sakurai, and T. Kuroda, “A 1Tb/s 3W Inductive-Coupling Transceiver for Inter-Chip Clock and Data Link,” in *Proceedings of the International Solid-State Circuits Conference (ISSCC’06)*, pp. 424–425, Feb. 2006.
- [12] W. J. Dally and B. Towles, *Principles and Practices of Interconnection Networks*. Morgan Kaufmann, 2004.
- [13] Y. Solihin, *Fundamentals of Parallel Computer Architecture*. Solihin Publishing & Consulting LLC, 2009.
- [14] Y. Yuan, Y. Yoshida, N. Yamagishi, and T. Kuroda, “Chip-to-Chip Power Delivery by Inductive Coupling wiith Ripple Canceling Scheme,” *Proc. Int’l Conf. Solid State Devices and Materials (SSDM ’07)*, pp. 502-503, Sep. 2007.
- [15] Y. Yuan, A. Radecki, N. Miura, I. Aikawa, Y. Take, H. Ishikuro, and T. Kuroda, “Simultaneous 6Gb/s Data and 10mW Power Transmission using Nested Clover Coils for Non-Contact Memory Card,” *IEEE Symposium on VLSI Circuits, Dig. Tech. Papers*, pp. 199-200, June 2010.
- [16] K. Niitsu, Y. Kohama, Y. Sugimori, K. Kasuga, K. Osada, N. Irie, H. Ishikuro, and T. Kuroda, “Modeling and Experimental Verification of Misalignment Tolerance in Inductive-Coupling Inter-Chip Link for Low-Power 3-D System Integration,” *IEEE Transactions on Very Large Scale Integration Systems*, vol. 18, no. 8, pp.

---

1238–1243, Aug. 2010.

- [17] N. Miura, Y. Kohama, Y. Sugimori, H. Ishikuro, T. Sakurai, and T. Kuoda, “A High-Speed Inductive-Coupling Link with Burst Transmission,” *IEEE Journal of Solid-State Circuits*, vol. 44, no. 3, pp. 947–955, Mar. 2009.
- [18] C. Kim, D. Burger, and S. W. Keckler, “An Adaptive, Non-Uniform Cache Structure for Wire-Delay Dominated On-Chip Caches,” in *Proceedings of the International Conference on Architectural Support for Programming Language and Operating Systems (ASPLOS’02)*, pp. 211–222, Oct. 2002.
- [19] M. M. K. Martin, D. J. Sorin, B. M. Beckmann, M. R. Marty, M. Xu, A. R. Alameldeen, K. E. Moore, M. D. Hill, and D. A. Wood, “Multifacet General Execution-driven Multiprocessor Simulator (GEMS) Toolset,” *ACM SIGARCH Computer Architecture News (CAN’05)*, vol. 33, no. 4, pp. 92–99, Nov. 2005.
- [20] P. S. Magnusson et al., “Simics: A Full System Simulation Platform,” *IEEE Computer*, vol. 35, no. 2, pp. 50–58, Feb. 2002.
- [21] H. Jin, M. Frumkin, and J. Yan, “The OpenMP Implementation of NAS Parallel Benchmarks and Its Performane,” in *NAS Technical Report NAS-99-011*, Oct. 1999.

---

第 3 章  
誘導結合型注入同期 CDR と  
1 コイルリポート伝送

---

### 3.1 はじめに

本章では、第2章で示したパケット転送をより広帯域にする誘導結合インタフェースの回路技術について提案する。

第2章におけるチップの実装方式でも用いられたように、ワイヤ接続を行う開口 PAD 領域のためのオフセットを設けた階段状積層は、使用しないチャンネルが発生し、面積効率を著しく低下させる。チップ実装技術の進展によって、チップを垂直実装することが可能である。一方で、垂直実装することによりチップ間の誘導結合通信インタフェースのコイルが同心上に配置されることとなり、通信干渉の問題が起こる。磁界はコイルの上下に等しく放射されるため、送信したデータが送信先でリピート転送される際に、データは送信元にも戻り、次に送信されるデータと衝突する。これを避けるためには、データとクロックの転送に合計6つのコイルが必要であり、単位面積あたりの帯域を制約していた。

そこで本章では、データからクロックを再生する誘導結合型注入同期クロック再生回路を提案する。クロック転送用のコイルを不要として、単位面積あたりの帯域を向上する。さらに、リピート転送時にデータが衝突しないように、次のデータの送信タイミングを調整する回路を提案する。その結果、1つのコイルでリピート転送できるようになった。0.18  $\mu\text{m}$  CMOS プロセスで試作したチップを評価して、単位面積あたりの通信帯域を従来に比べて6倍広い 730 Gb/s/mm<sup>2</sup> にできることを実証する。



---

る。インダクタンスピーキング技術を用いることで、帯域幅を改善することが可能である。しかし、追加のコイルを必要とし、目的である小面積化による帯域向上に適した選択ではない。

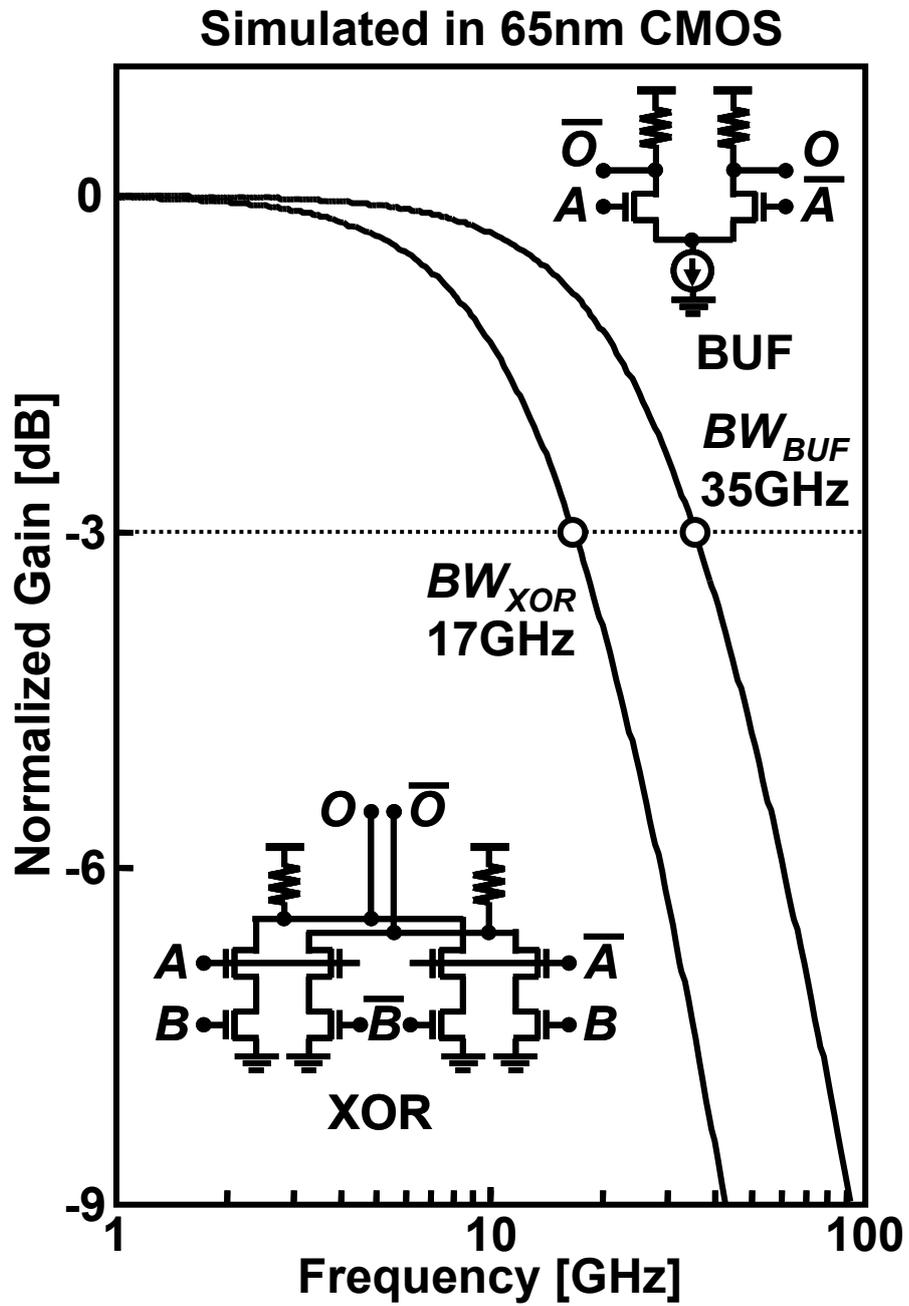


図 3.2 XOR の周波数特性

---

### 3.1.2 誘導結合型注入同期CDR

本節では、3.1.1 節の XOR 型注入同期 CDR に比べ、より広帯域化を実現可能な誘導結合型注入同期 CDR について提案を行う。

図 3.3 に示される、誘導結合型注入同期 CDR は、XOR の代わりに誘導結合チャンネルによってエッジ信号を抽出する。送信器は送信データ  $Txdata$  と全く同一の波形である送信電流  $I_T$  を生成する。誘導結合チャンネルは、 $I_T$  のエッジ信号を生成する微分器として動作する。受信コイルに誘起される  $V_R$  パルス信号から、パルス受信器はデジタルデータ  $Rxdata$  を復元し、注入同期 VCO は受信データに同期した受信クロックを復元する。注入デバイス  $M_{INJ}$  は 2 つの VCO 出力に接続されている並列 NMOS で構成される。差動  $V_{INJ}$  信号によって駆動され、NMOS トランジスタの一方がオンし、VCO の出力を短絡して注入同期を実現する。実際の回路では、パルス受信器にクロックがフィードスルーすることを避けるために、バッファ BUF を受信コイルと VCO の間に挿入し、アイソレーションをとる。バッファ帯域幅はインダクタンスピーキングが無い場合でも、65 nm CMOS において 35 GHz である。従って、最高帯域幅は 35 GHz となり、XOR 型注入同期に比べておよそ 2 倍の帯域拡大を実現する。

本提案回路においては、注入デバイス  $M_{INJ}$  のバイアス条件は注意して設計しなければならない。2 つの並列接続 NMOS トランジスタは  $V_R$  パルスを注入エッジ信号に変換する変換器として機能する。NMOS デバイスは、閾値付近でバイアスされない限り、トランスコンダクタンス  $g_m$  が低下する。 $g_m$  の低減は注入強度を弱め、結果としてロックレンジを狭めてしまう。一方で、閾値はプロセス、電圧、温度の条件によってばらつきを持つパラメータである。ばらつきに影響を受けにくいバイアス回路が必要となる。本バイアス回路については、次節で詳述する。

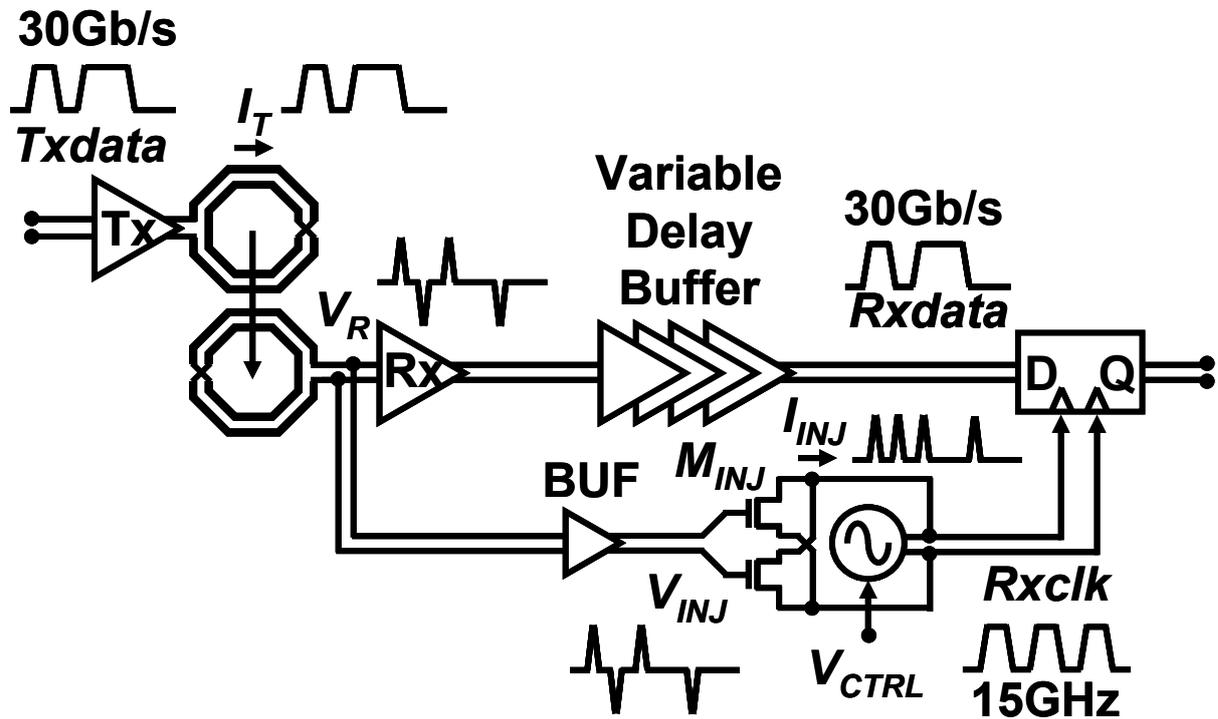


図 3.3 誘導結合型注入同期 CDR

### 3.1.3 レプリカバイアス回路

図 3.4 は、提案するレプリカバイアス回路を伴う誘導結合型注入同期 CDR の詳細回路である。注入デバイス  $M_{INJ}$  を閾値電圧  $V_{TH}$  付近にバイアスすることで、CDR 回路の感度を高めることができ、広いロックレンジを実現する。

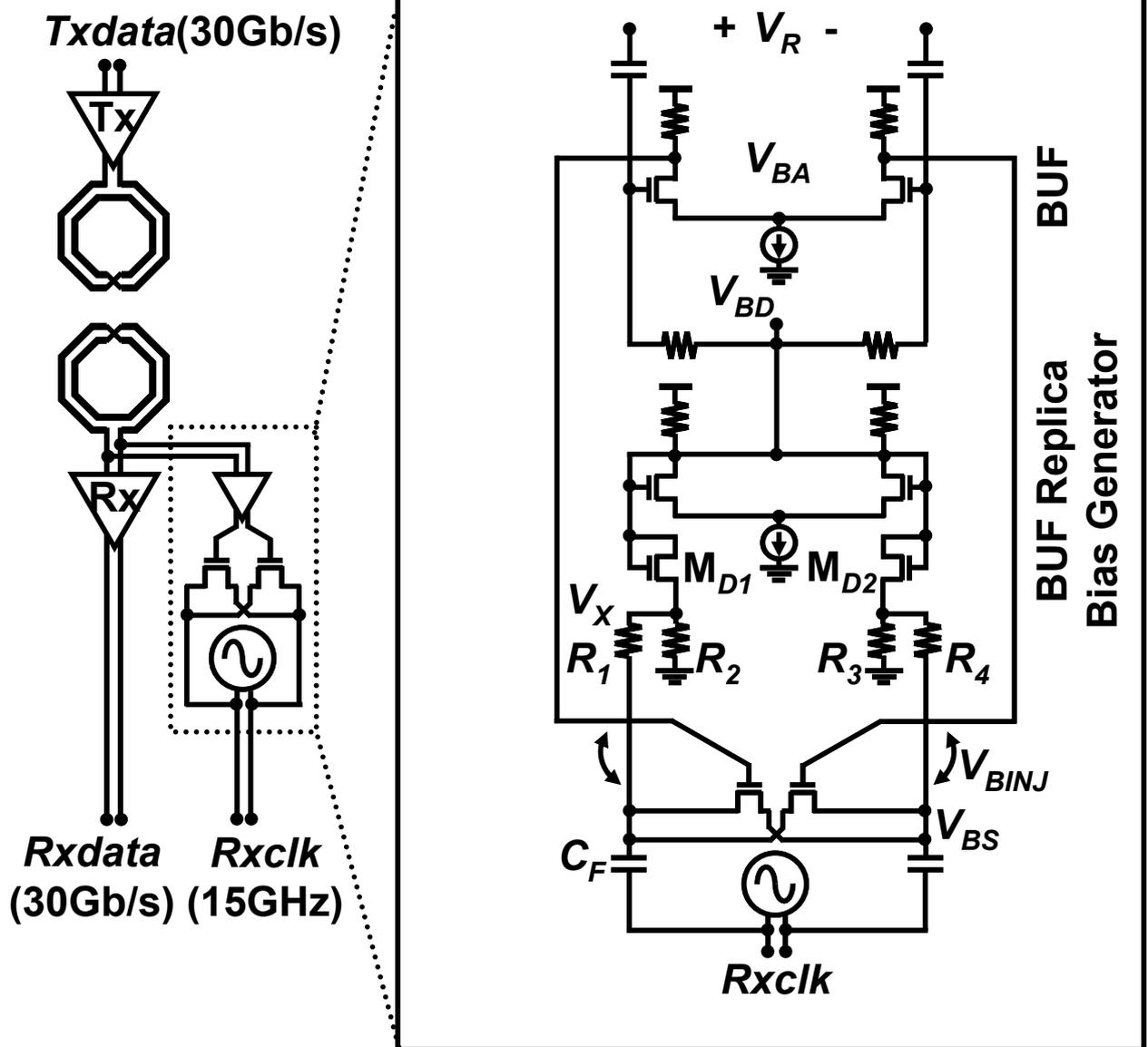


図 3.4 レプリカバイアス回路

レプリカバイアス回路には、アイソレーションバッファと同じ設計値と電流源を持つレプリカバッファが備わる。入出力が短絡されたレプリカバッファの出力電圧  $V_{BD}$  は、アイソレーションバッファの出力電圧  $V_{BA}$  と等しく、 $V_{BD}=V_{BA}$  となる。ダイオード接続された NMOS トランジスタ  $M_{D1}$  と  $M_{D2}$  のゲートソース間電圧  $V_{GS}$  は下記の(3.1)式で与えられる。

$$V_{GS} = V_{BA} - V_X \quad (3.1)$$

$V_X$ は  $M_{D1}$  と  $M_{D2}$  に接続された抵抗にかかる電圧である。 $M_{D1}$  と  $M_{D2}$  を流れる電流値  $I_D$  は下記の(3.2)式で与えられる。

$$I_D = \frac{1}{2} \mu C_{OX} (V_{BA} - V_X - V_{TH})^2 \quad (3.2)$$

$M_{D1}$  と  $M_{D2}$  がオフするように、 $R_2$  と  $R_3$  の抵抗値は十分大きく ( $\sim 10 \text{ k}\Omega$ ) 設計される。これにより、 $V_{BA} - V_X = V_{TH}$  を得る。 $R_1$  と  $R_4$  の電圧降下は生じない。従って、並列接続された NMOS トランジスタである  $M_{INJ}$  のソース電位は下記の(3.3)式で与えられる。

$$V_{BS} = V_X = V_{BA} - V_{TH} \quad (3.3)$$

注入電流が効率よく  $C_F$  を介して VCO に流れるように、 $R_1$  と  $R_4$  も十分大きく ( $\sim 10 \text{ k}\Omega$ ) 設計される。本研究の試作チップでは、レイアウト面積の制約から  $C_F$  は  $100 \text{ fF}$  となった。 $15 \text{ GHz}$  における  $C_F$  のインピーダンスは  $106 \Omega$  である。この場合、 $R_1$  と  $R_4$  は  $2 \text{ k}\Omega$  に設計される ( $< 1/X$  of  $1/\omega C_F$ )。

図 3.5 は、トランスコンダクタンス  $g_m$  のシミュレーション結果である。X 軸は 2 つの並列接続された NMOS トランジスタのゲートソース間電位  $V_{BINJ}$  であり、Y 軸は  $g_m$  のトランスコンダクタンスを示している。閾値付近で  $g_m$  が最大となっている。 $V_{BINJ}$  は下記の(3.4)式で与えられる。

$$V_{BINJ} = V_{BA} - V_{BS} \quad (3.4)$$

(3.3)式と(3.4)式から(3.4)式は下記の(3.5)式に置換え可能である。

$$\begin{aligned} V_{BINJ} &= V_{BD} - V_{BD} + V_{TH} \\ V_{BINJ} &= V_{TH} \end{aligned} \quad (3.5)$$

従って、レプリカバイアス回路は  $V_{\text{BINJ}}$  を正確に閾値  $V_{\text{TH}}$  付近でバイアス可能である。 $M_{\text{INJ}}$  と 2 つの並列 NMOS トランジスタ  $M_{\text{D1}}$  と  $M_{\text{D2}}$  の理想的な設計値は、 $V_{\text{TH}}$  のミスマッチを最小にするために同じにされるべきである。結果として、 $M_{\text{INJ}}$  はトランスコンダクタンス  $g_m$  を維持し、PVT ばらつきに適応して  $V_{\text{BINJ}}$  を制御する。

提案回路のシミュレーションでは、ロックレンジは 1.2 GHz となった。提案回路によって、注入信号に対しての感度を高め、結果として注入されるパルス信号幅のばらつきに対しても広い設計マーヅンを与えることが可能である。

図 3.6 は、送信データ、受信信号、 $M_{\text{INJ}}$  を構成する 2 つの並列接続された NMOS のゲートソース間電位、復元された  $Rxclk$  のシミュレーション波形である。 $V_{\text{BINJ}}$  が閾値  $V_{\text{TH}}$  付近でバイアスされていることが確認できる。

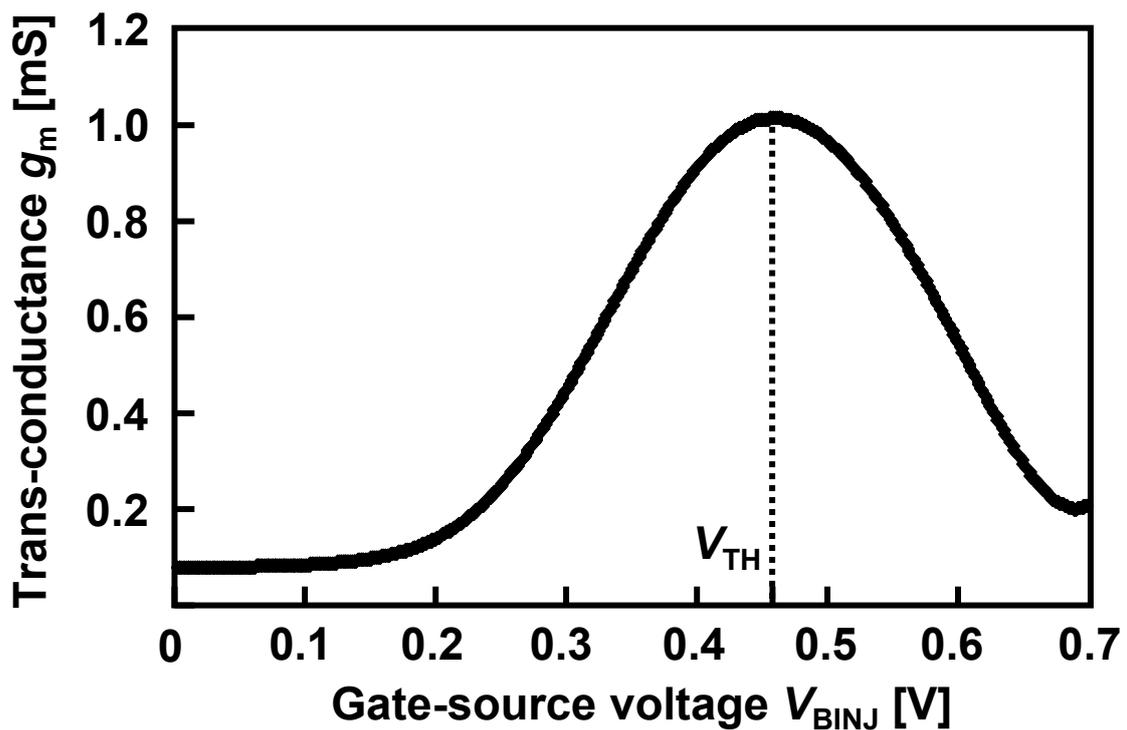


図 3.5 ゲートソース電位と  $g_m$

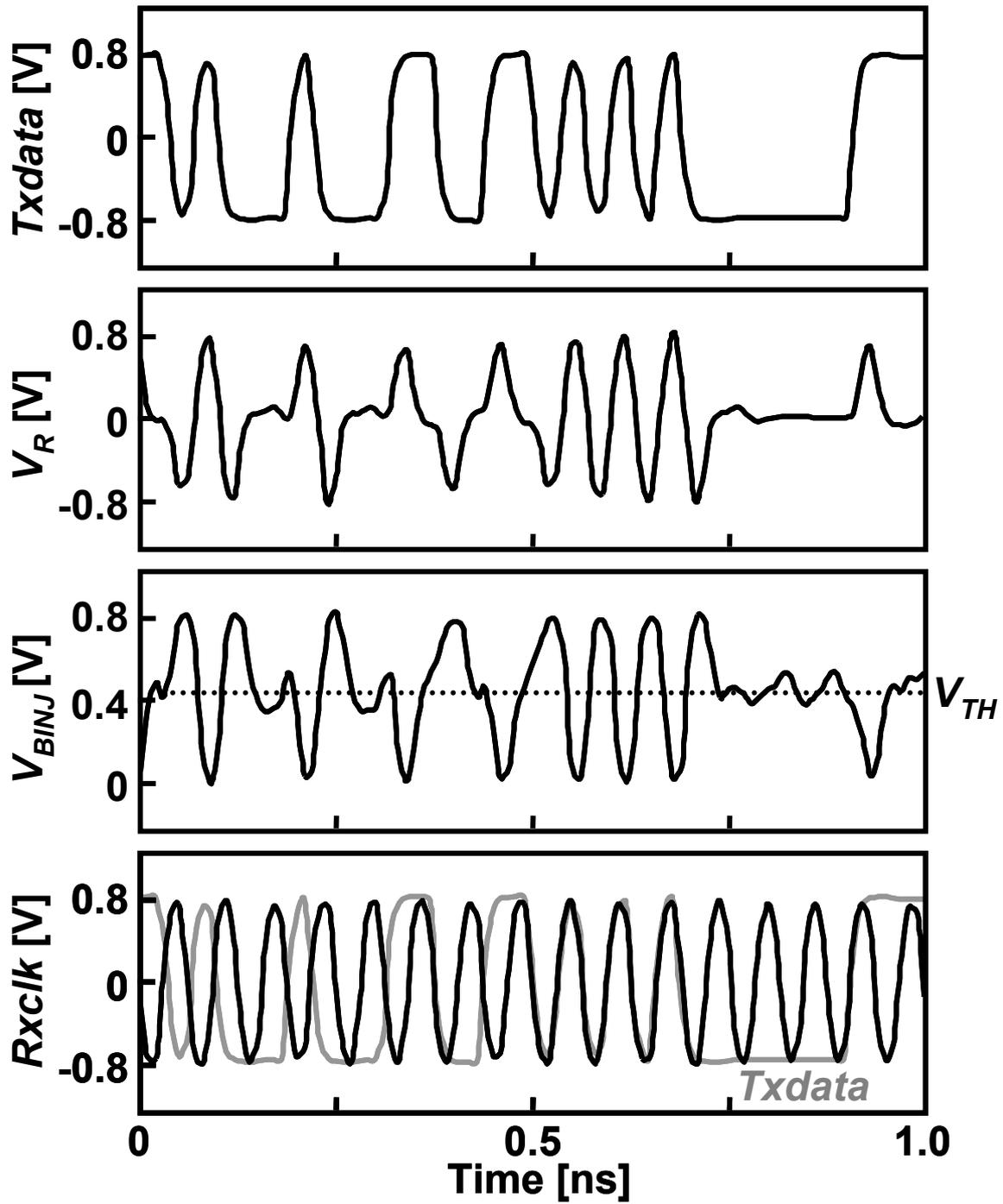


図 3.6 提案注入同期回路によるクロック再生シミュレーション

---

### 3.1.4 並列チャンネルインタフェース

3.1.2 で述べた誘導結合型注入同期 CDR 回路を有した誘導結合リンクを複数配列することによって総帯域を向上できる。本節では、並列化による広帯域インタフェースについて詳述する。

図 3.7 は、 $N$ チャンネル構成の並列インタフェースのブロック図である。並列インタフェースは各データチャンネルを並列に配置しただけでは、並列インタフェースとして機能しない。各チャンネル間で送信タイミングを同期する必要がある。

送信チップと受信チップには、それぞれ注入同期 VCO のレプリカをもつリファレンス PLL が搭載されている。PLL が発生する発振周波数制御電圧  $V_{CTRL}$  を各チャンネルの注入同期 VCO に分配することで、各注入同期 VCO の自走発振周波数を 15 GHz の周辺に調整する。10 pF のバイパスキャパシタ  $C_B$  は  $V_{CTRL}$  のノイズを低減する。ユニティゲインアンプは PLL のループフィルタから  $C_B$  を分離する。PLL のリファレンス周波数は 1.875 GHz のシステムクロック *SystemClk* である。*SystemClk* を各送信器 VCO に注入し、チャンネル間同期をとる。*SystemClk* は誘導結合インタフェースによって、受信機側にも共有されている。受信機側でも送信機側と同様に、各 VCO の制御電圧  $V_{CTRL}$  を生成し、各 VCO に分配している。

各送信器 VCO が生成した 15 GHz の送信クロックにより 1.875 Gb/s 16 bit の並列送信データ *Mtxdata* を 30 Gb/s のバーストデータ *Txdata* に多重化し、受信器に送信する。注入同期 CDR によりチャンネル間遅延と送信器 VCO と受信器 VCO 間の周波数ミスマッチをキャンセルし、30 Gb/s の受信バーストデータ *Rxdata* に同期した受信クロック *Rxclk* を復元する。最終的に *Rxdata* を *Rxclk* によって 1.875 Gb/s 16 bit の *Mrxdata* に復元する。

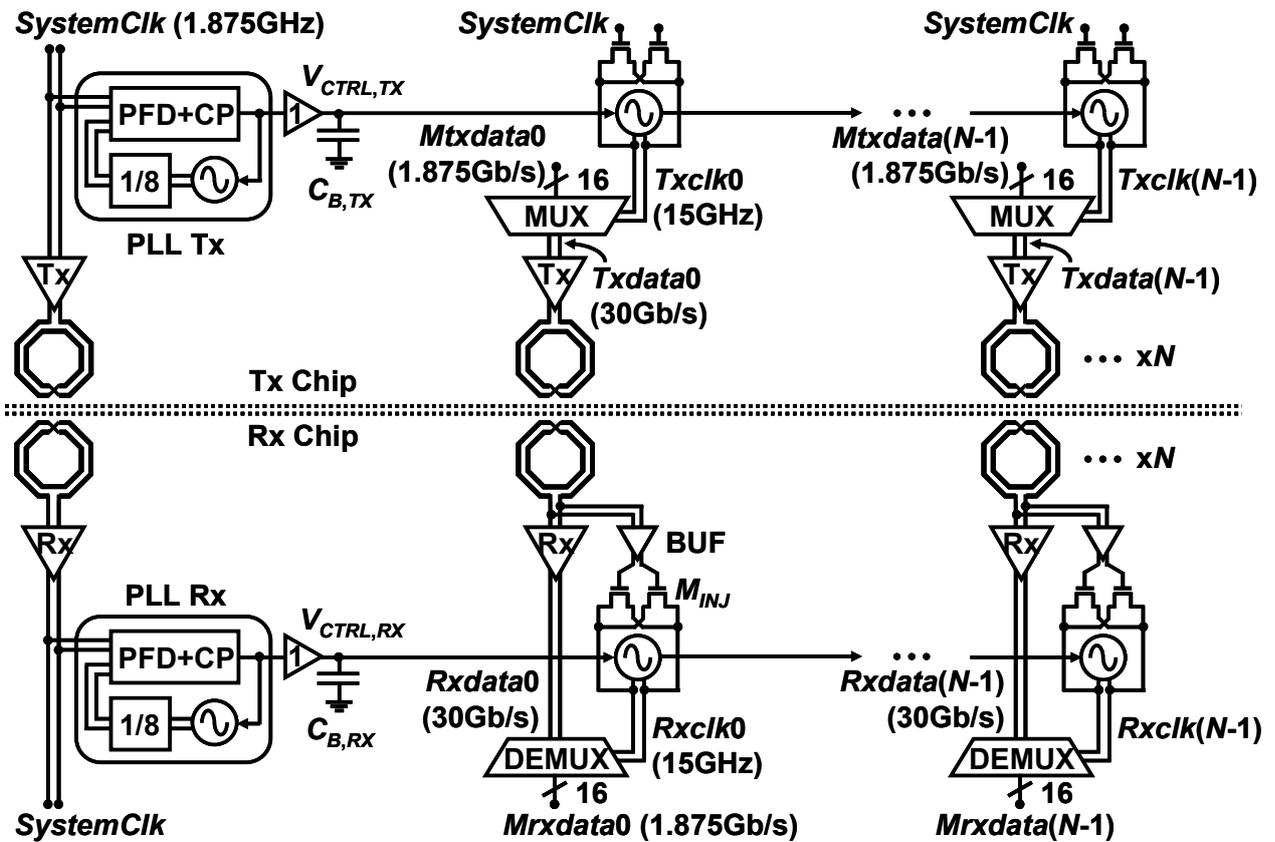


図 3.7  $N$ 並列チャネルインタフェース

### 3.1.5 ミスアライメント耐性

誘導結合型注入同期 CDR のロックレンジは、コイル間の結合強度によって変化する。本節では、本提案手法の積層時のミスアライメントに対する耐性について詳述する。図 3.8 は、コイルのミスアライメント距離と結合係数  $k$  の関係を示している。 $z$  は送信コイルと受信コイルの距離を表している。ミスアライメント量に対して結合係数  $k$  は線形変化をする。図 3.9 は、結合係数  $k$  とロックレンジの関係を示している。結合係数が大きくなるにつれて、ロックレンジは拡大される。VCO の制御に PLL を用いた場合、VCO の発振周波数ミスマッチは 1.2 GHz 以内に十分に抑制可能である。図 3.9 においては、結合係数  $k$  が 0.1 以上であれば 1.2 GHz のロックレンジが確保できることを示している。図 3.8 において、結合係数  $k$  が 0.1 以上となるのは、積層ミスマッチが  $50 \mu\text{m}$  以内 ( $z=30 \mu\text{m}$ ) のときである。量産時に発生する積層ミスマッチ量は  $20 \mu\text{m}$  以下であり、提案の誘導結合型注入

同期 CDR は量産で発生する積層ミスマッチに対して耐性を持っていると結論づけられる。一方で、並列インタフェースの場合は、ミスアライメントが発生した際に、隣接コイルとの結合強度が増すため、干渉による影響を考慮しなければならない点は注意が必要である。

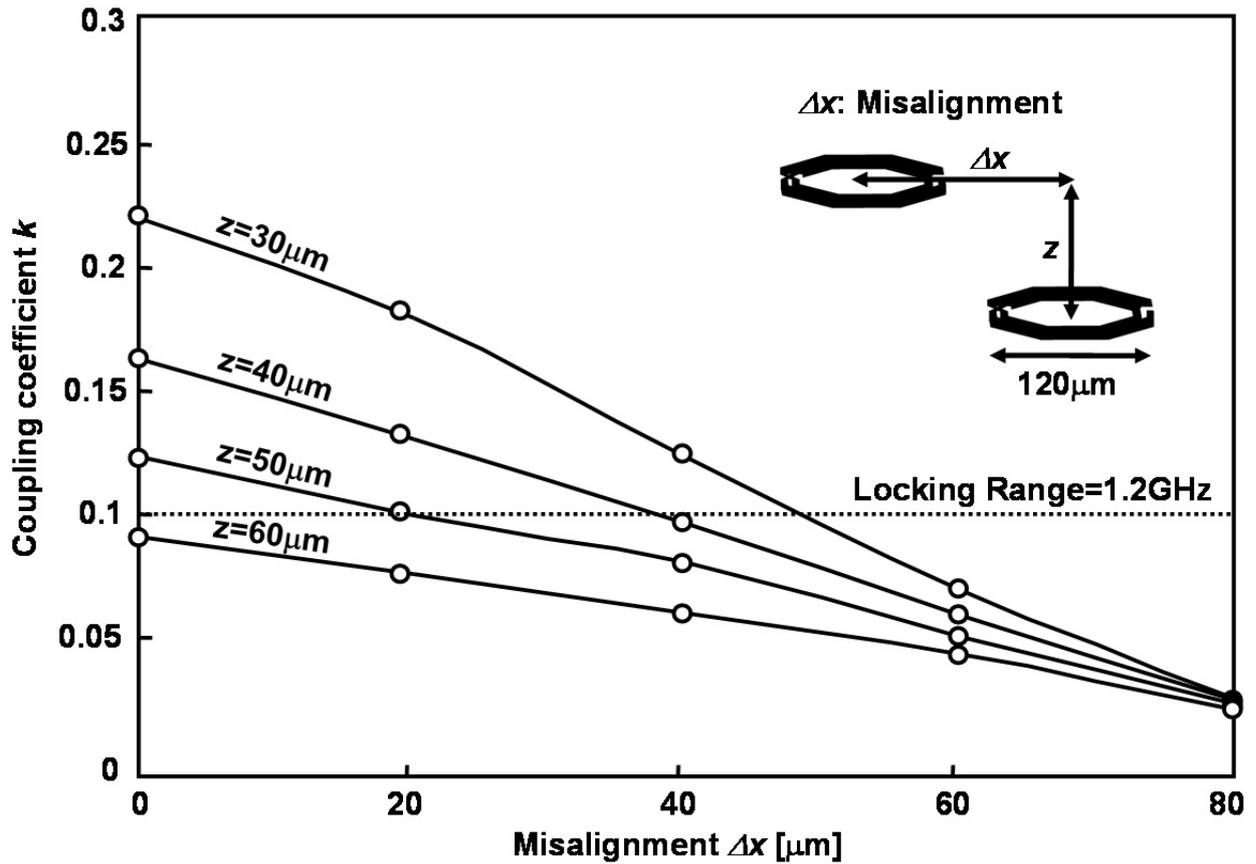


図 3.8 ミスアライメント量と結合係数  $k$

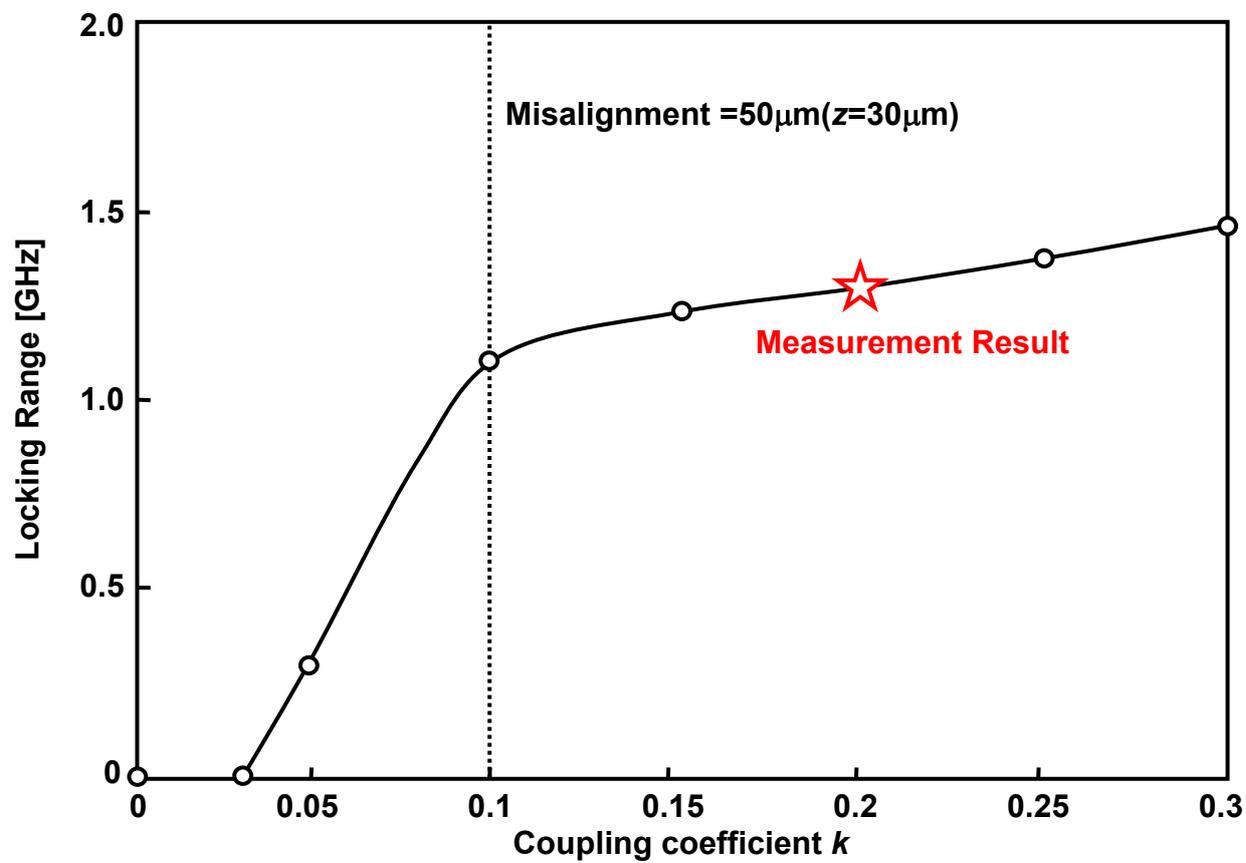


図 3.9 結合係数  $k$  とロックレンジ

---

### 3.1.6 試作チップ

本提案手法を実チップで評価するために、評価チップを製造した。本節では、試作チップの詳細について述べる。

送信チップと受信チップは共に 65 nm CMOS プロセスで製造された。図 3.10 は試作チップの顕微鏡写真である。受信チップは市場で一般的に利用可能な研削技術によって、20  $\mu\text{m}$  厚まで裏面研磨し 10  $\mu\text{m}$  厚の接着剤で送信チップ上に積層された。従って、チップ間の通信距離は 30  $\mu\text{m}$  である。本インタフェースをチップ上に 10 個の並列チャンネルを配置した。PLL の面積は 0.01  $\text{mm}^2$  と非常に小さいので、10 個の並列チャンネルで共有した場合の面積オーバーヘッドはわずか 8%のみである。この面積オーバーヘッドは、並列チャンネル数を増やすことでさらに低減できる。

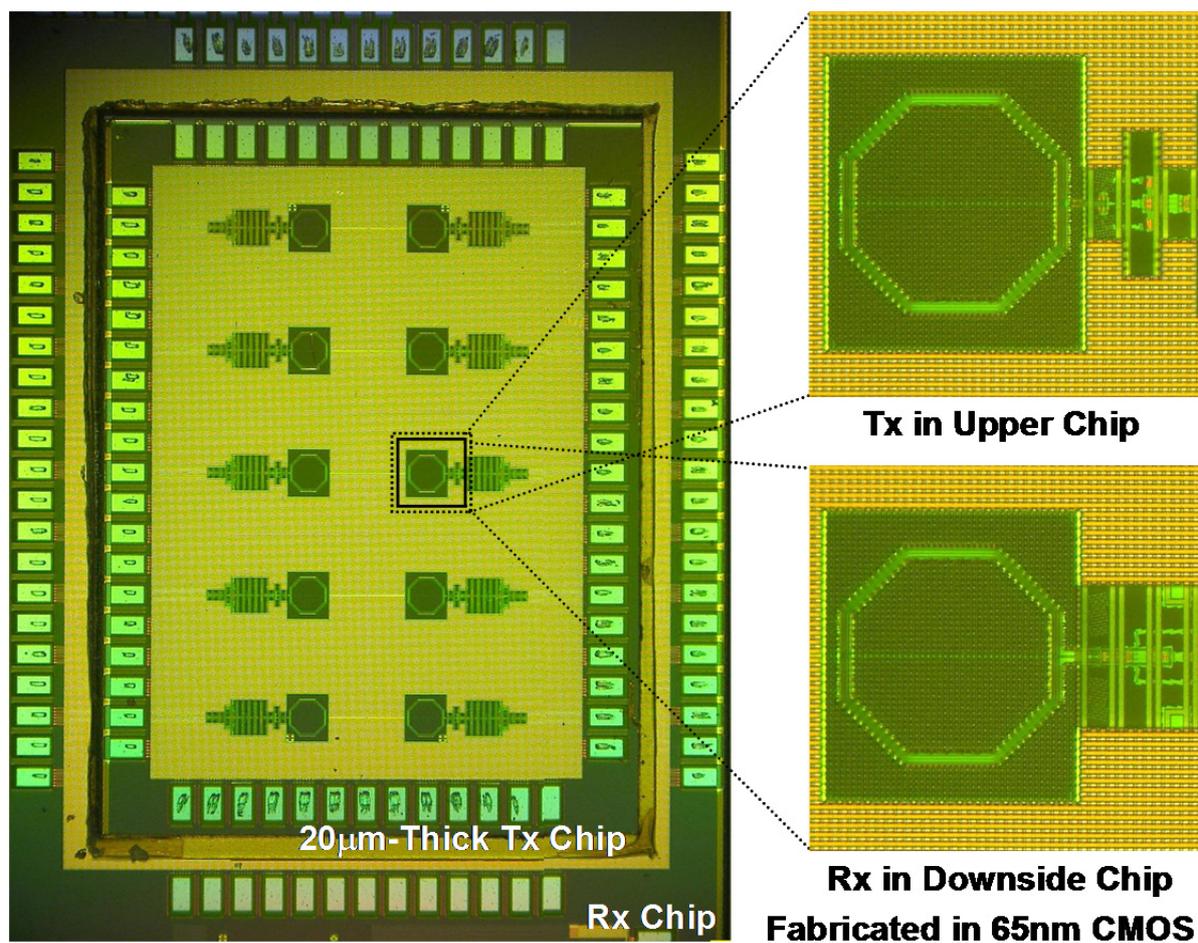


図 3.10 試作チップの顕微鏡写真

---

### 3.1.7 評価結果

本節では、試作チップの評価結果について詳述する。

図 3.11 は、*Rxdata* から復元された *Rxclk* の波形スナップショットである。誘導結合型注入同期 CDR により正確に *Txclk* に同期した *Rxclk* が復元できていることが確認できる。測定されたタイミングジッタは 4 ps であった。これは 6%U.I.以下である。受信データのアイパターンを図 3.12 に示す。*Rxclk* のジッタに対しても、十分に広い開口を得ており、タイミングマージンが十分であることが確認できる。

図 3.13 は、DEMUX 後の *Rxdata* の波形スナップショットである。30 Gb/s 2<sup>7</sup>-1 の PRBS データが正しく送受信されていることを確認した。

提案注入同期 CDR のロックレンジも測定された。受信チップ上にある PLL の参照クロック  $f_{\text{ref,RX}}$  を送信チップ上の参照クロックから意図的にシフトすることで、送受信 VCO 間での周波数ミスマッチを作り出し、周波数誤差と *Rxclk* 内の RMS ジッタの関係を実測した。図 3.14 は、測定されたロックレンジを示している。注入同期 CDR により送受信 VCO 間の周波数ミスマッチをキャンセルし、1.2 GHz の周波数ミスマッチ範囲で 4 ps 以内の RMS ジッタを確認した。図 3.8 より、通信距離 30  $\mu\text{m}$  における結合係数は  $k=0.22$  である。図 3.9 において、ロックレンジが 1.2 GHz である結合係数は  $k=0.21$  であり、おおよそシミュレーション結果に近い実測結果が得られている。

さらに、インタフェースの電源電圧変動に対する耐性を測定した。図 3.15 はその測定結果である。提案のレプリカバイアス制御回路により、0.6 V の電源電圧変動に対して 4 ps 以内の RMS ジッタを維持している。表 3.1 に提案回路の性能をまとめ、これまでに報告されている誘導結合インタフェースと有線インタフェース[3][4]と性能を比較した。

Operating Frequency,  $f_c$ : 15GHz (30Gb/s)

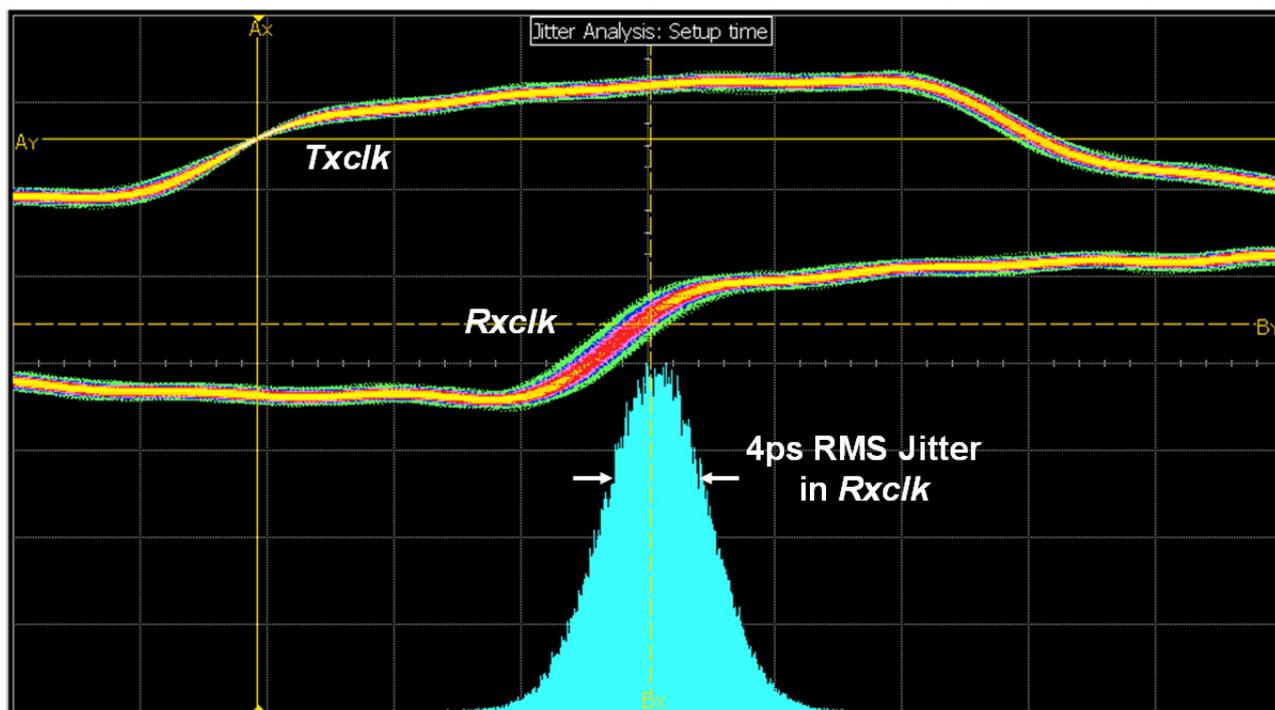


図 3.11 再生クロック  $Rxclk$  の波形スナップショット

Operating Frequency,  $f_c$ : 15GHz (30Gb/s)

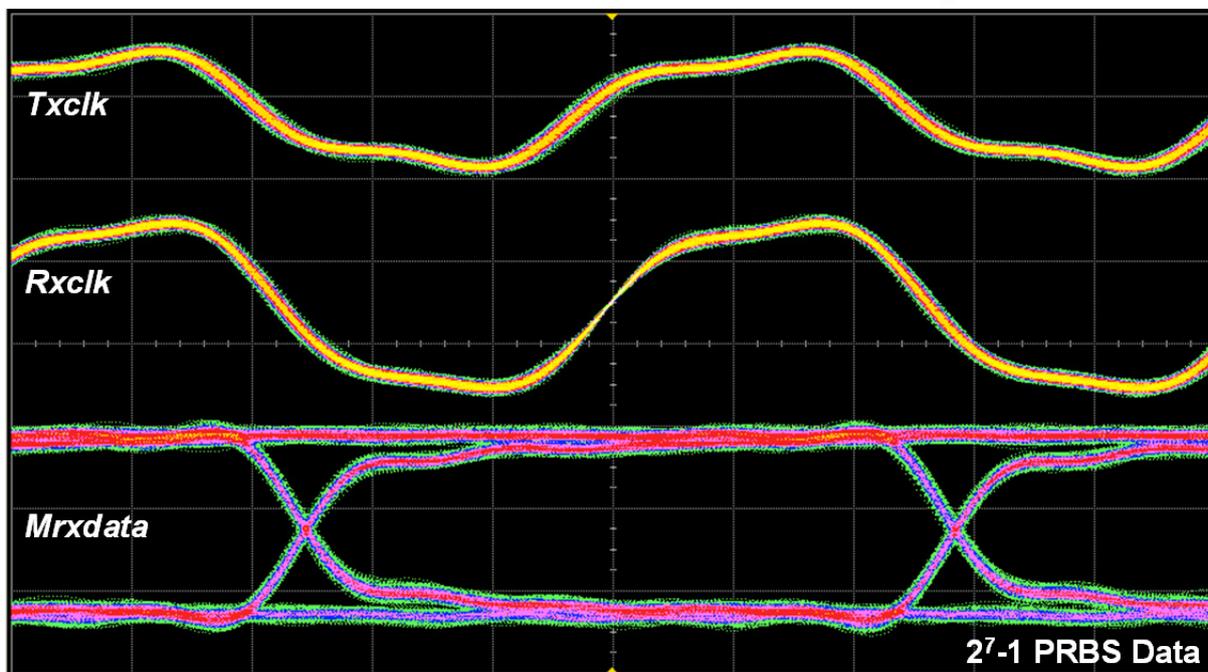


図 3.12 受信データ  $Rxdata$  の Eye パターン



図 3.13 受信データ *Rxdata* の波形スナップショット

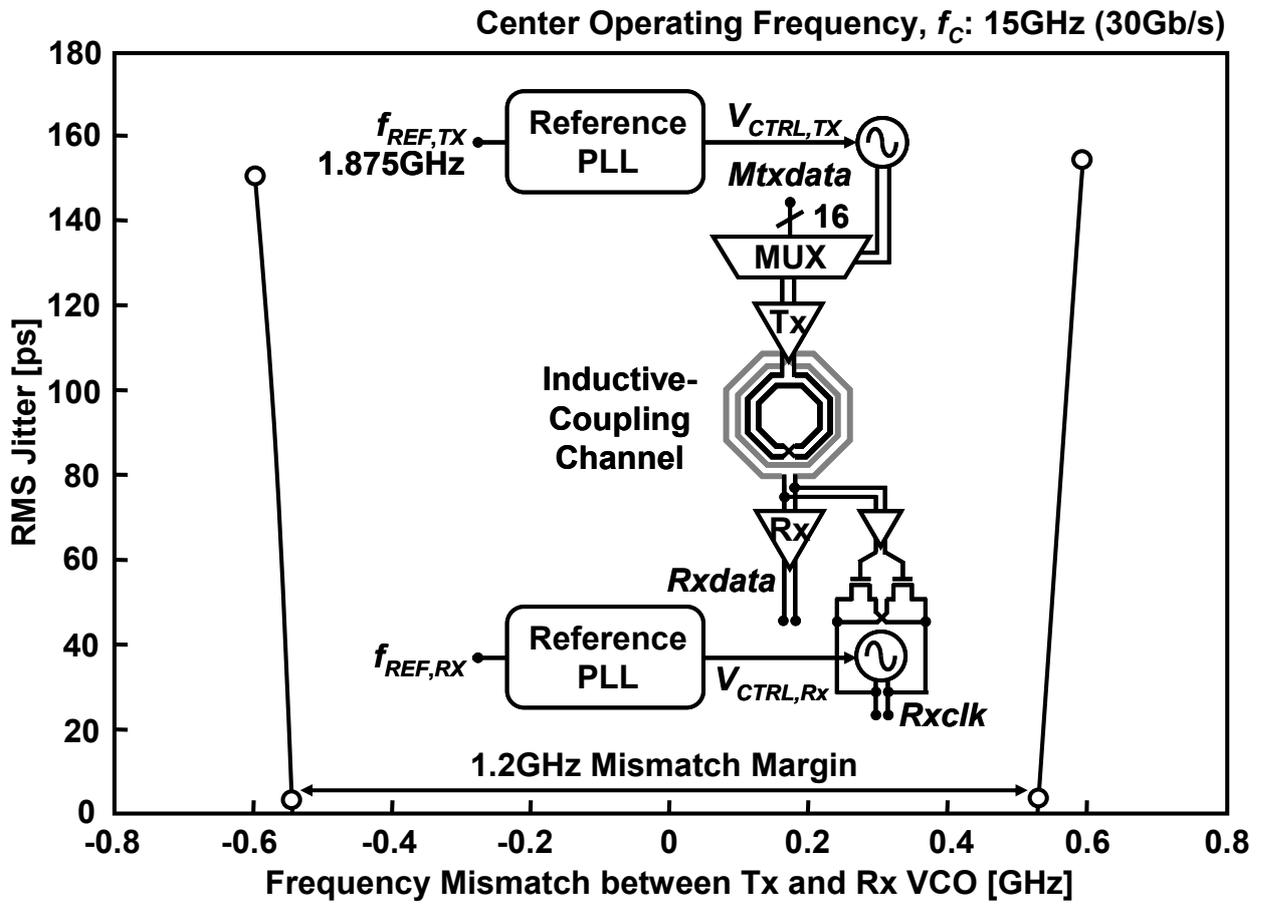


図 3.14 周波数誤差に対するロックレンジ

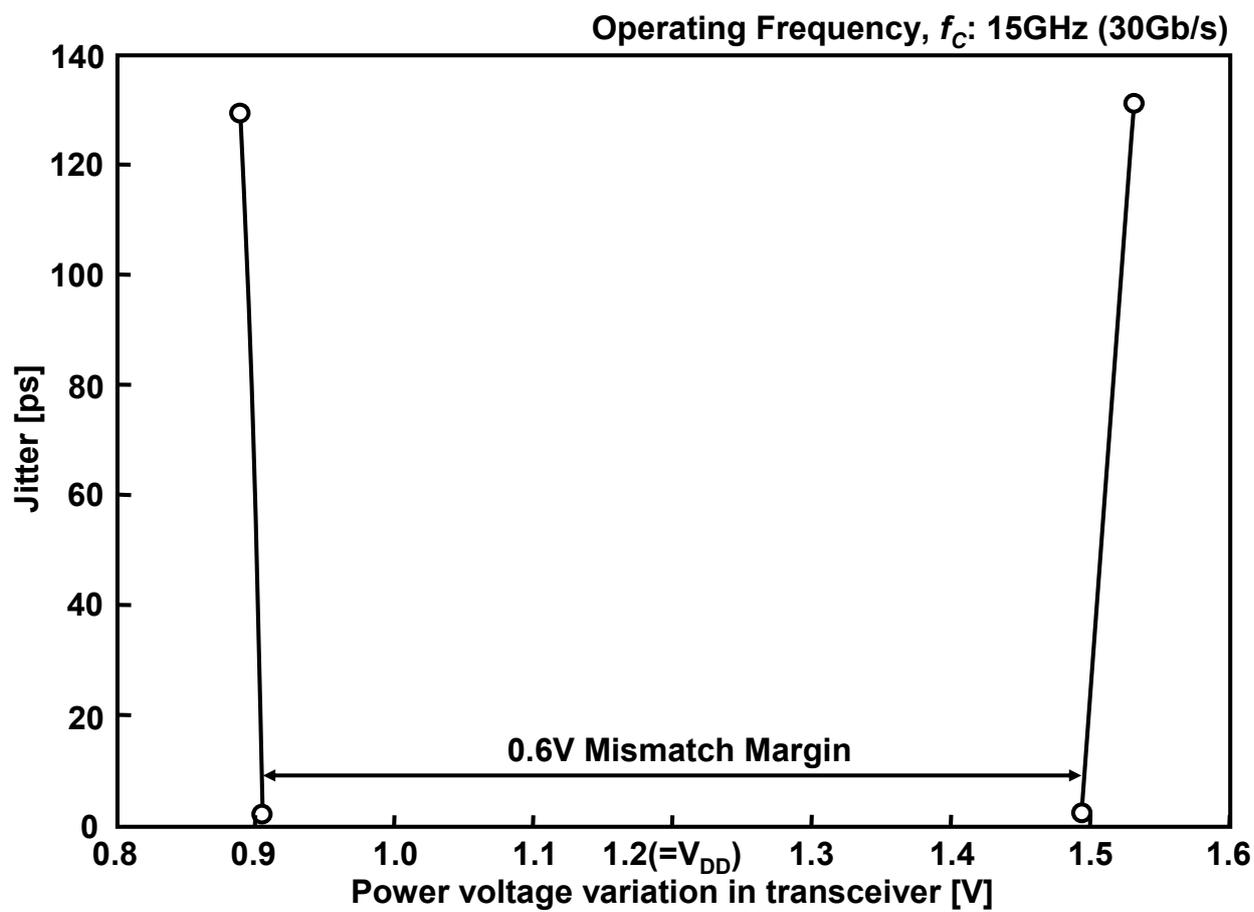


図 3.15 電源電圧とロックレンジ(RMS ジッタ量測定)

表 3.1 提案回路の性能比較表

	<b>This Work</b>	<sup>[3]</sup> ISSCC'10	<sup>[4]</sup> VLSI'08
<b>Interconnection</b>	<b>Inductive</b>	<b>Inductive</b>	<b>Wired</b>
<b>Data Rate</b>	<b>30Gb/s/link</b>	<b>8Gb/s/link</b>	<b>16Gb/s/link</b>
<b>Number of Data Links</b>	<b>10 Links</b>	<b>1024 Links</b>	<b>32 Links</b>
<b>Aggregated Data Rate</b>	<b>300Gb/s</b>	<b>8Tb/s</b>	<b>512Gb/s</b>
<b>IO Layout Area</b>	<b>0.14mm<sup>2</sup></b>	<b>6.5mm<sup>2</sup></b>	<b>5.4mm<sup>2</sup></b>
<b>Data Rate / Area</b>	<b>2.2Tb/s/mm<sup>2</sup></b>	<b>1.3Tb/s/mm<sup>2</sup></b>	<b>0.095Tb/s/mm<sup>2</sup></b>
<b>Power Dissipation</b>	<b>2.1W</b>	<b>8.0W</b>	<b>6.6W</b>
<b>Energy / bit</b>	<b>7pJ/b</b>	<b>1pJ/b</b>	<b>13pJ/b</b>
<b>Process</b>	<b>65nm CMOS (Equivalent to 40nm DRAM)</b>		

<sup>[3]</sup>N. Miura (ISSCC'10), <sup>[4]</sup>K. Chang (VLSI'08)

## 3.2 1 コイルリポート伝送技術

### 3.2.1 従来のリポート伝送技術

第2章で用いた誘導結合インタフェースや、3.1で述べた誘導結合型注入同期CDRの試作チップにおいては、3枚以上のチップが積層される場合、データ送信時に磁界が送信機から上下対称に発生する。このため各チャンネルは、信号の干渉を防ぐために、3つのコイル対で1つのチャンネルを形成する必要がある[1]。図3.16で示されるように、1チャンネルを形成するために6コイル対(データ用3コイルとCDRのためのリファレンスクロック分配用3コイル)が必要であった。そこで本研究では、1コイル対で信号をリレー伝送する1コイルリポート伝送技術を提案する。この技術により、データチャンネルとクロックチャンネルで必要なコイル対が1対ずつとなり、同面積において6倍の帯域向上(面積効率6倍)を実現する。

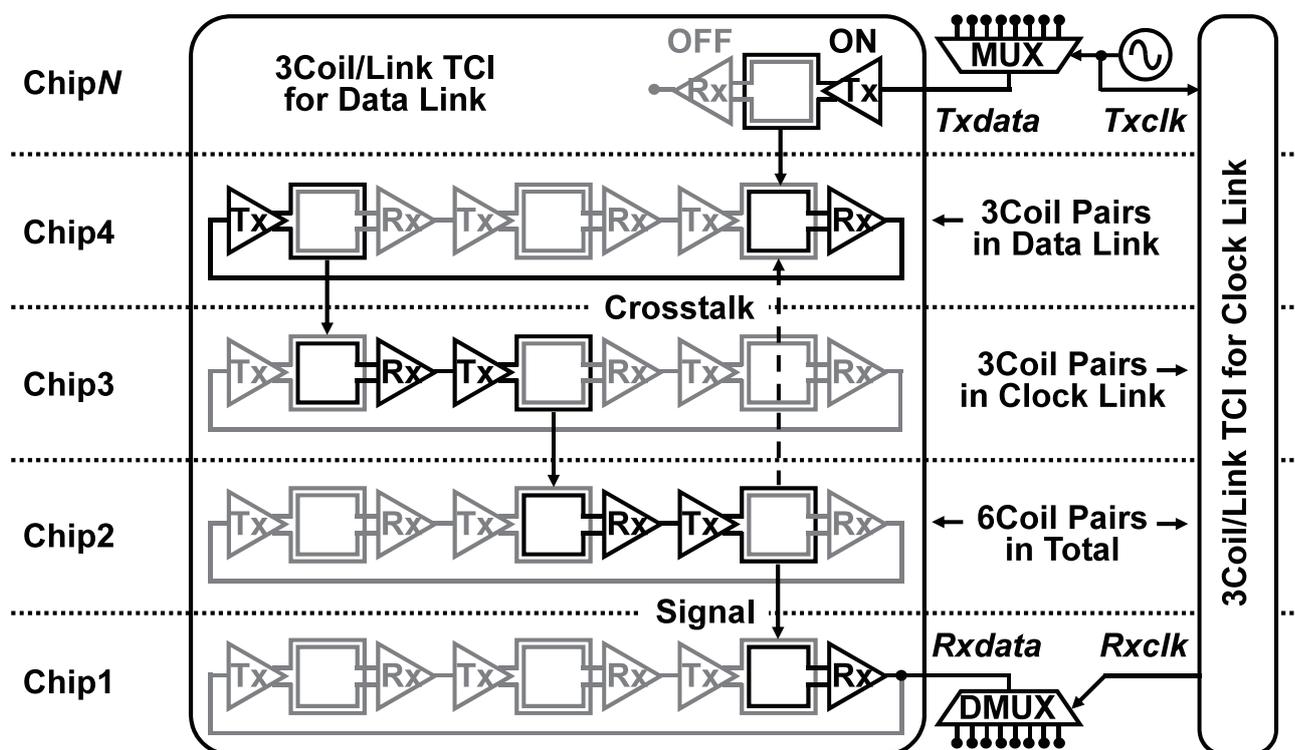


図 3.16 従来の誘導結合を用いたリレー伝送構造

---

### 3.2.2 提案回路アーキテクチャ

本節では、1 コイルリピート伝送を実現する回路アーキテクチャについて詳述する。

図 3.17 は他のチップがリピータとして伝送を中継しながら、Chip $N$ が Chip1 からデータを読み込む際の動作を表している。灰色で示された回路ブロックはプログラムによってスタンバイ状態となっている。Chip1 が信号  $S_{12}$  を送信するとき、Chip2 の Rx2 によって小振幅受信パルス  $V_{R2}$  が検出される。検出信号は CML バッファによって増幅され、Chip3 に  $S_{23}$  として Tx2 から送信される。 $S_{23}$  は、 $V_{R2}$  に意図しない干渉パルス信号を印可する。これは自己干渉によって印可され、Tx2 と Rx2 が近接していることから、1 次の受信信号よりも大振幅である。しかし、Rx は既に入力閾値が受信信号とは反対の極性に変化しているヒステリシスコンパレータによって構成されるため、この干渉信号によって誤動作は誘発されない。Rx2 もまた、Chip3 が Chip4 にデータの中継する際に 3 次の干渉信号を受信する。この干渉信号が受信された後に、Rx2 は次の信号を受信可能な状態となる。これを繰り返すことにより、任意の枚数に 1 コイルで信号をリレー伝送することが可能である。

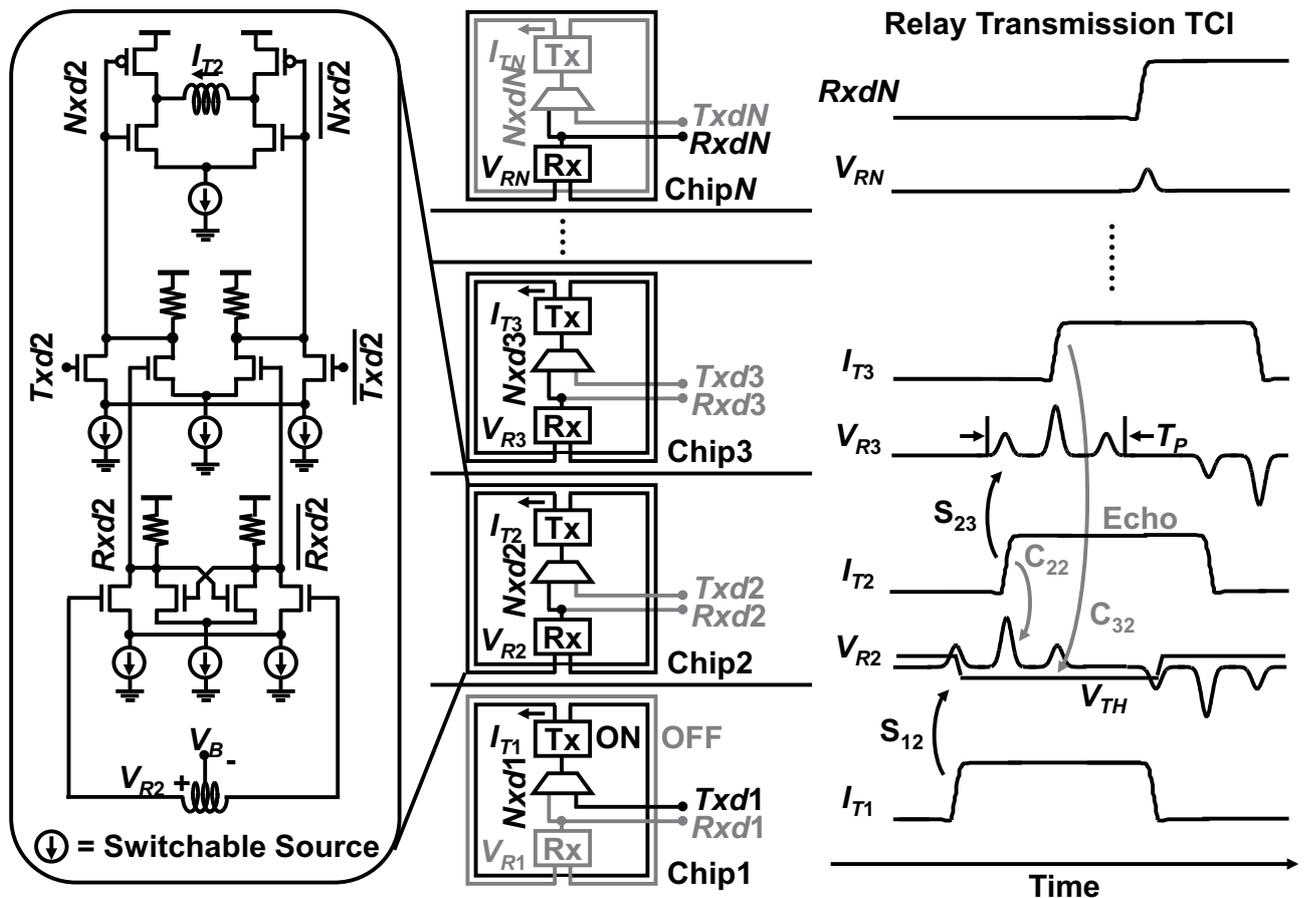


図 3.17 1 コイルリピート伝送構造

### 3.2.3 タイミング設計

信号を正確に伝送するために、信号の間隔はクロストークも含めた周期時間( $T_P$ )より大きくしなければならない。 $T_P$ は、データレートを決定する重要なパラメータである。図 3.18 に示されるように、 $T_P$ は、リピート回路の遅延時間  $T_{\text{DELAY}}$  と受信パルス幅  $\tau$  の和によって (3.6)式で与えられる。

$$T_P = 2T_{\text{DELAY}} + \tau \quad (3.6)$$

TCI の受信パルス幅  $\tau$  は、送信電流  $I_T$  を微分した  $dI_T/dt$  によって決定される。送信側を高速にスイッチングすることで  $\tau$  は短くなる。しかし、受信機のタイミングマージンやチャ

ネルゲインによるリングングを考慮しなければ、正確な受信ができなくなる可能性がある。受信パルスの周波数スペクトラムはガウスアン分布となり、以下の(3.7)式で与えられる。

$$|V_R(\omega)| = \frac{\sqrt{\pi}\tau V_p}{2} \exp\left(-\frac{\omega^2\tau^2}{16}\right) \quad (3.7)$$

$V_p$  は受信パルスの振幅である。

$\tau$ が短くなると。周波数スペクトラムは拡大する。信号をひずみなく伝送するためには、チャンネルの周波数帯域を拡大する必要がある。ひずみは通信エラーだけでなく、 $T_p$ の増加によるデータレートの低下を引き起こす。チャンネルの周波数帯域は、以下の(3.8)式で表される、コイルの自己共振周波数  $f_{SR}$  によって与えられる。

$$f_{SR} = \frac{1}{2\pi\sqrt{LC}} \quad (3.8)$$

伝送したい帯域が決定されると、それを超える  $f_{SR}$  の値が要求され、結果としてコイルの  $L$  値の上限が決定する。以下の(3.9)式のように、結合係数  $k$  と送受信コイルの各インダクタンス  $L_{TX}$  と  $L_{RX}$  によって与えられる相互インダクタンス  $M$  も上限が決まる。

$$M = k\sqrt{L_{TX}L_{RX}} \quad (3.9)$$

結合係数  $k$  は、コイルの直径と通信距離によって、一意的に決定される値である。

受信機が信号を正確に受信できる  $V_p$  には、下限値がある。これは受信機の感度だけではなく、ノイズによるエラーも考慮して決定される。 $V_p$  はパルス幅  $\tau$  を用いて、以下の(3.10)式で表される。

$$V_p = \frac{4}{\sqrt{\pi}} M \frac{I_p}{\tau} \quad (3.10)$$

$M$  と  $\tau$  の間にはトレードオフがあるため、信号帯域が決定すると、 $\tau$  も決定される。(3.6)式と(3.10)式より、(3.11)式を得る。

$$T_p = 2TDELAY + \frac{4}{\sqrt{\pi}} M \frac{I_p}{V_p} \quad (3.11)$$

$T_p$  の逆数である(3.12)式によって、1 コイルで通信できる最大の帯域が決定される。

$$f_{max} = \frac{1}{2TDELAY + \frac{4}{\sqrt{\pi}} M \frac{I_p}{V_p}} \quad (3.12)$$

この帯域を実現するために、受信回路の感度変化にも注意する必要がある。同極性かつ大振幅な干渉信号は、コンパレータの動作電位をシフトし、感度の低下を引き起こす。

図 3.18 は、結合係数  $k$  と閾値が定常時に復帰するまでの時間  $T_R$  の関係を示している。次に受信する信号を確実に受信するために、最大の帯域は下記の(3.13)式を満たさなければならない。

$$f_{max} = \frac{1}{T_{DELAY} + T_R} \quad (3.13)$$

3.2.4 で述べる、本提案手法の評価チップでは、小振幅な信号で動作するように設計を行い、2.4 Gb/s を実現する 0.4 ns の  $T_P$  を実現した。この技術により、データチャンネルとクロックチャンネルで必要なコイル対が 1 対ずつとなり、同面積において 6 倍の帯域向上(面積効率 6 倍)を実現した。

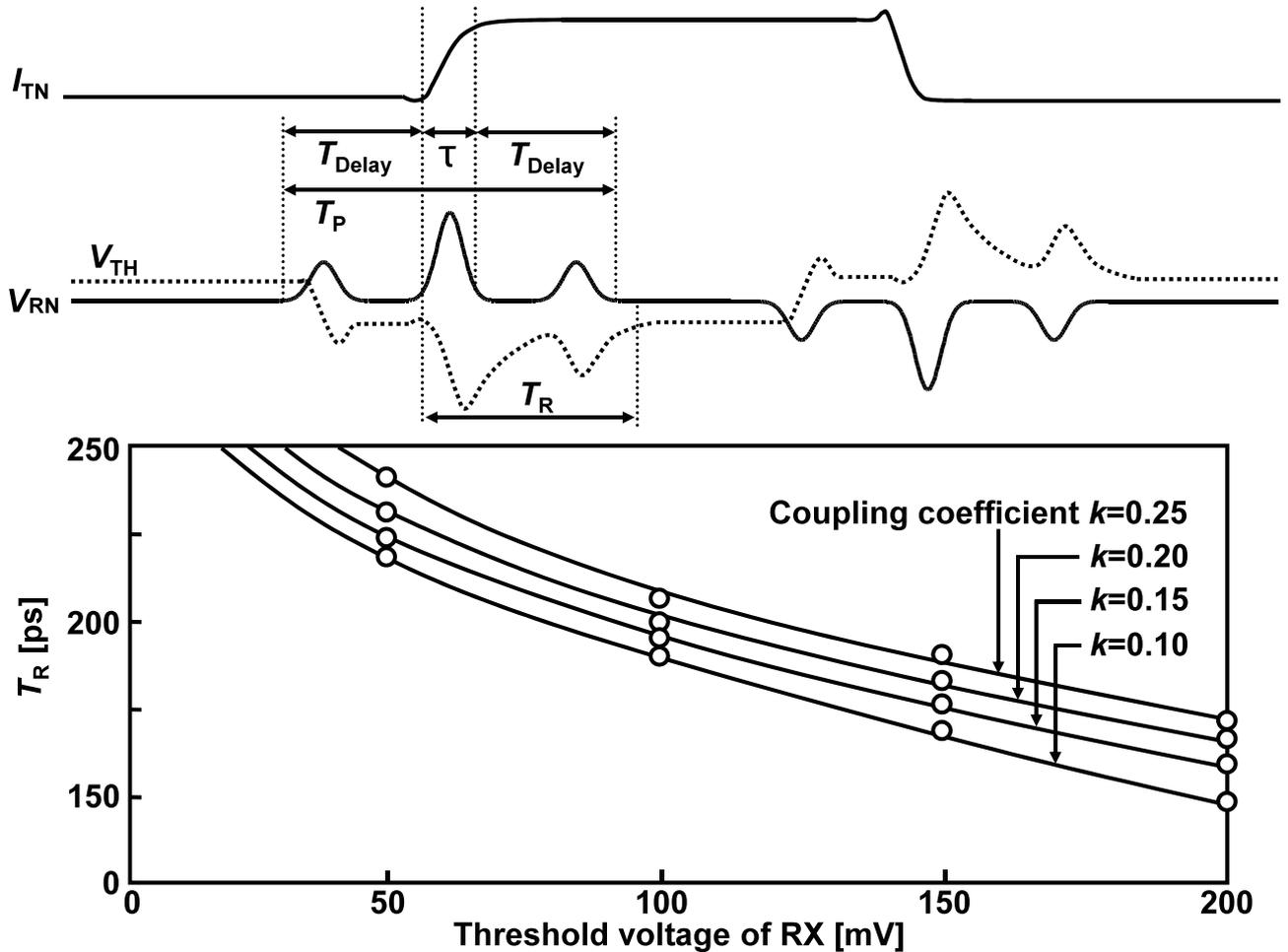


図 3.18 誘導結合を用いたリレー伝送のタイミング解析

### 3.2.4 試作チップ

本節では、本提案手法を実チップで評価するための試作チップについて詳述する。1 コイルリピート伝送を評価するために、試作チップを設計、製造した。試作チップは  $0.18\ \mu\text{m}$  CMOS テクノロジで製造された。図 3.19 に試作チップの顕微鏡写真を示す。8 個の並列データチャンネル、第 4 章で述べるクロック分配用の共振結合器、レプリカ PLL が組み込まれている。試作チップにおいては、垂直積層実装ではなく、評価向けの実装容易性の観点から Ag ペーストによる電源供給を行い、階段状積層で実装を行った。16 チップを  $80\ \mu\text{m}$  のオフセットを設けて階段状に積層した。

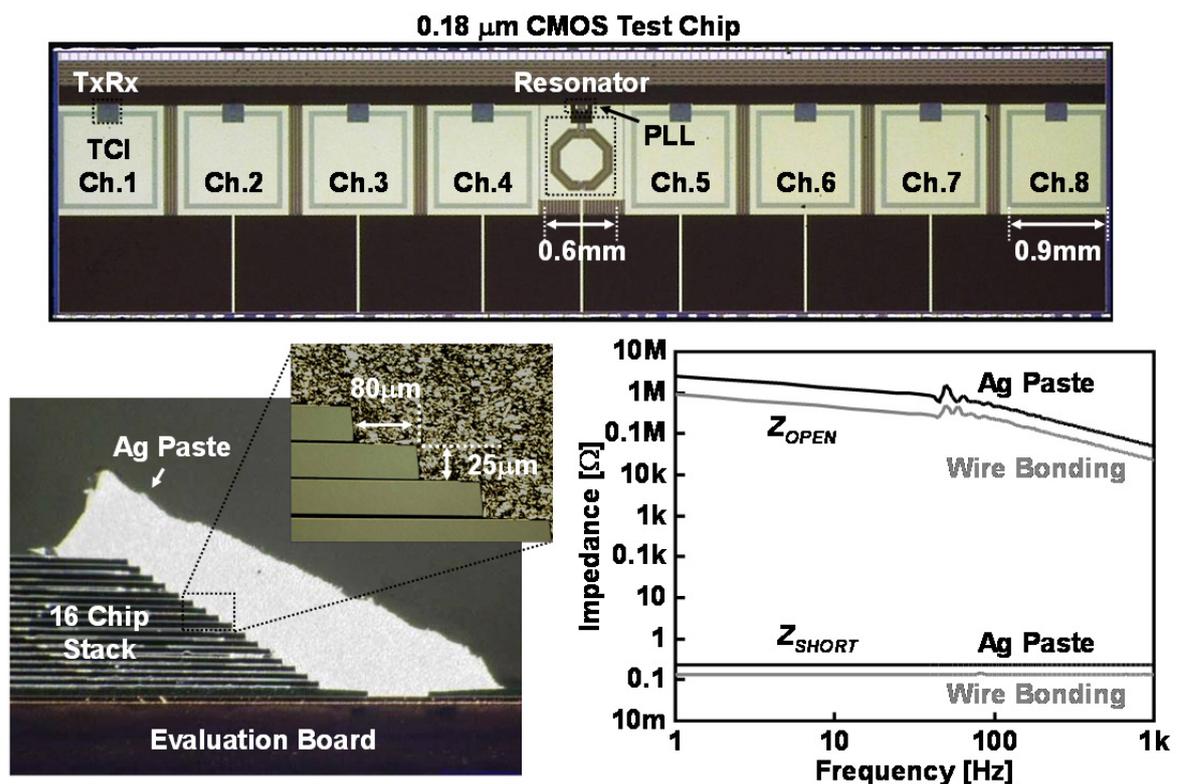


図 3.19 試作チップの顕微鏡写真

---

#### 3.2.4.1 1 コイルリピート伝送

図 3.20 は帯域幅を横軸として測定されたリレー伝送技術を用いたデータチャネルの BER である。8 個の並列チャネル全てに 2<sup>7</sup>-1 の疑似ランダムビットシーケンス(PRBS)信号を入力し、2.4 Gb/s 通信において BER<10<sup>-12</sup>であることを確認した。試作チップの性能を従来報告されている[1]と比較を行い、表 3.2 に示した。

#### 3.2.4.2 誘導結合型注入同期 CDR との組合せ

誘導結合型注入同期 CDR の試作チップでは 2 枚積層であり、3 枚以上のチップで生じる上下チップ間の干渉がないため、帯域は 2.2 Tb/s/mm<sup>2</sup>まで拡大された。誘導結合型注入同期 CDR と 1 コイルリピート伝送を組合せ、3 枚以上のチップに適用する場合は、送受信タイミングの調整が必要となる。3.1.6 で述べた誘導結合型注入同期 CDR の試作チップで用いたプロセス、通信コイル径、積層の条件を用いて 1 コイルリピート伝送を行った場合、1 チャネルあたりの帯域は 103 Gb/s となり、単位面積あたりの帯域は 730 Gb/s/mm<sup>2</sup>となる。この総帯域は通信距離に依存して決定されるコイル径によって大きく変動する。このため、この総帯域の絶対値が重要ではなく、誘導結合型注入同期 CDR と 1 コイルリピート伝送の組合せにより、従来のチャネル形成に必要であった 6 対のコイルを 6 分の 1 に削減し、単位面積あたりの帯域を 6 倍に向上できる点が重要である。誘導結合型注入同期 CDR を用いて、クロック用コイルを削減することでコイル数を 2 分の 1 とし、コイルリピート伝送によってデータ用コイルを 3 分の 1 とし、合計でコイル数を 6 分の 1 に低減した。

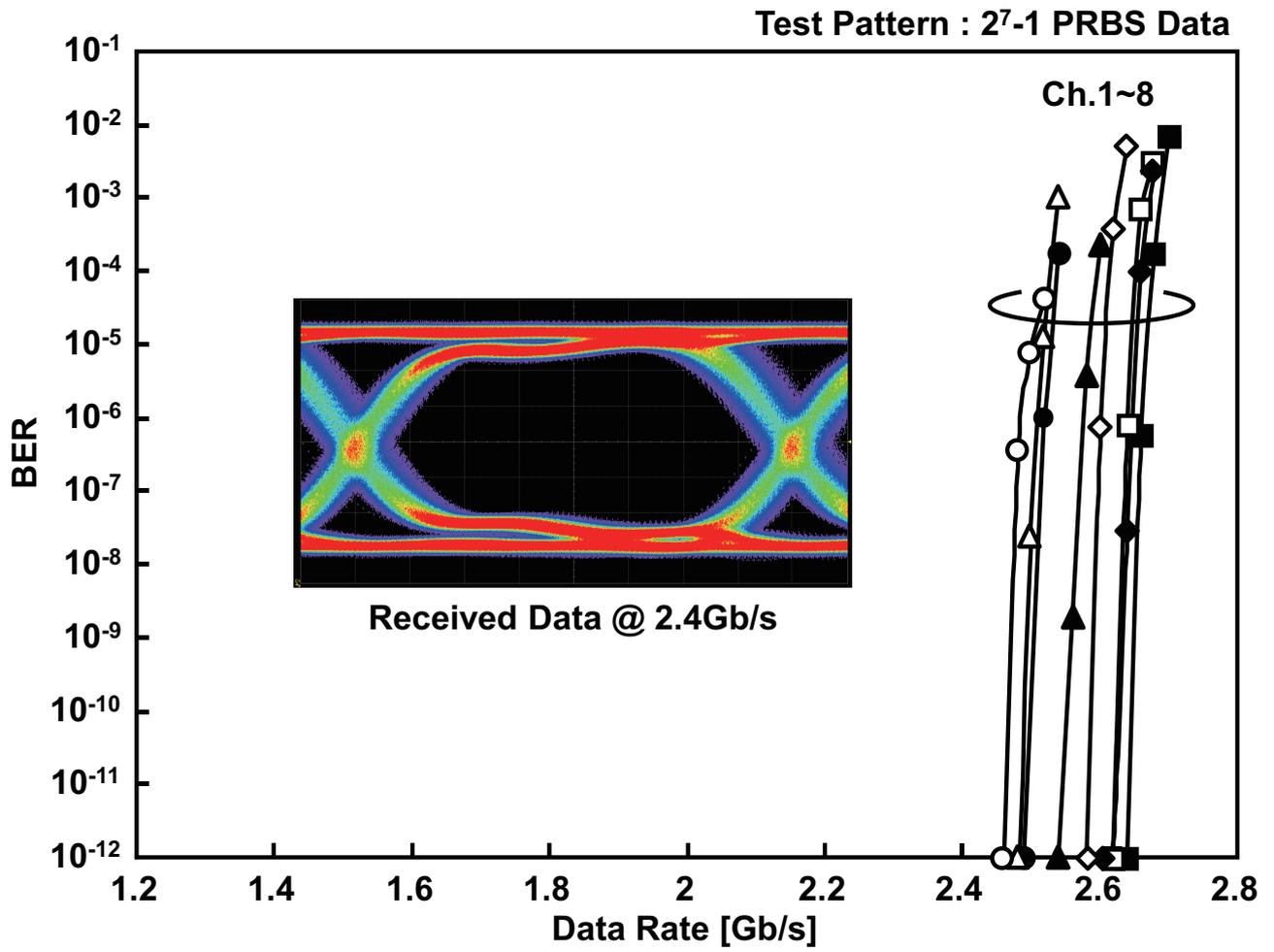


図 3.20 1 コイルリピート伝送チャネルの BER

表 3.2 1 コイルリピータ送信技術の試作チップ性能諸元

		This Work	[1]ISSCC 2010
Aggregated Bandwidth		19.2Gb/s (9.6)	2.0Gb/s (1)
Data Rate		2.4Gb/s/channel	2.0Gb/s/channel
Number of Data Coils		1Coil/channel	3Coils/channel
Number of Clock Coils		1Coil/chip	3Coils/channel
Coil Diameter		0.9mm (Data) 0.6mm (Clk)	1.1mm (Data, Clk)
Total Layout Area		7.0mm <sup>2</sup>	7.3mm <sup>2</sup>
Bandwidth / Area		2.7Gb/s/mm <sup>2</sup> (10)	0.27Gb/s/mm <sup>2</sup> (1)
Energy Dissipation / Chip	Data	0.8pJ/b	0.9pJ/b
	Clock	0.1pJ/b	0.9pJ/b
	Total	0.9pJ/b (1/2)	1.8pJ/b (1)
Clock Recovery		CDR w/ Coupled Resonator	Source Synchronous

[1]M. Saito (ISSCC'10)

---

### 3.3 おわりに

本章では、第2章で示したパケット転送をより広帯域にする誘導結合インタフェースの回路技術について提案した。磁界はコイルの上下に等しく放射されるため、送信したデータが送信先でリピート転送される際に、データは送信元にも戻り、次に送信されるデータと衝突する。これを避けるためには、データとクロックの転送に合計6つのコイルが必要であった。そこで、データからクロックを再生する誘導結合型注入同期クロック再生回路を提案し、クロック用のコイルを不要にした。さらに、リピート転送時にデータが衝突しないように、次のデータの送信タイミングを調整する1コイルリピート伝送技術を提案した。その結果、1つのコイルでリピート転送できるようになった。0.18  $\mu\text{m}$  CMOS プロセスで試作したチップを評価して、単位面積あたりの通信帯域を従来に比べて6倍広い730 Gb/s/mm<sup>2</sup>にできることを実証した。

---

## 参考文献 (第 3 章)

- [1] M. Saito, Noriyuki Miura, Tadahiro Kuroda, "A 2Gb/s 1.8pJ/b/chip Inductive-Coupling Through Chip Bus for 128-Die NAND-Flash Memory Stacking," *ISSCC Dig. Tech. Papers*, pp. 440-441, Feb. 2010.
- [2] R. Adler, "A study of locking phenomena in oscillators," *Proc. IEEE*, vol. 60, pp. 1380-1385, Oct. 1973.
- [3] N. Miura, K. Kasuga, M. Saito, and T. Kuroda, "An 8 Tb/s 1 pJ/b 0.8mm /Tb/s QDR inductive-coupling interface between 65 nm CMOS and 0.1 m DRAM," in *IEEE ISSCC Dig. Tech. Papers*, pp. 436-437, Feb. 2010.
- [4] K. Chang, H. Lee, J. Chun, T. Wu, T. Chin, K. Kaviani, J. Shen, X. Shi, W. Beyene, Y. Frans, B. Leibowitz, N. Nguyen, F. Quan, J. Zerbe, R. Perego, and F. Assaderaghi, "A 16 Gb/s/link, 64 GB/s bidirectional asymmetric memory interface cell," in *Symp. VLSI Circuits Dig. Tech. Papers*, pp. 126-127, Jun. 2008.

---

## 第 4 章 共振結合を用いたクロック分配

---

## 4.1 はじめに

本章では、この先の積層された三次元集積システム全体の協調動作に必要な高精度クロック分配技術について提案する。3章で述べた三次元集積システムの広帯域化に伴って、回路ブロック間のばらつきは顕著な問題となる。動作クロックが GHz を超える高性能 LSI では、わずか数十 ps のタイミングマージンの制約を満たす低クロックスキューのクロック分配は重要な課題である。柔軟に追加、削除、入替を行い、組み合わせられたチップ全体が高速に協調して動作するためには、三次元に周波数と位相が揃ったクロックを分配することが求められる。3章で提案された CDR 技術は、各チャンネル内のデータに正確に同期したクロックを再生可能である一方で、チャンネル間、チップ間のシステム全体のタイミングを同期する技術ではない。

そこで本章では、三次元積層されたチップ全体に任意の周波数と位相の揃った高精度なクロックを分配する技術を提案する。三次元積層されたチップを垂直方向と水平方向に分けて説明を進める。4.2 で積層されたチップ間に垂直に高精度なクロックを分配する技術について述べ、4.3 で平面方向に分配する技術について述べる。4.4 で三次元積層されたチップ全体での分配技術と周波数と位相の調律について述べる。4.5 で評価のために試作されたチップについて述べ、4.6 に測定結果を詳述する。最後に 4.7 に本章のまとめを述べる。

## 4.2 垂直方向のクロック分配

積層されたチップ間で同じクロックの周波数と位相を共有するためには、チップ間の垂直方向に周波数と位相が揃ったクロックを分配する必要がある。3.1 では、図 4.1 に示されるように、CDR のためのリファレンスクロックを誘導結合インタフェースで伝送していた。しかし、3 枚以上の多段積層を前提とする場合に、リファレンスクロックの分配に誘導結合インタフェースを用いると、転送レイテンシによって各段のクロックにスキューが発生してしまう。加えて、ランダムアクセスのために、チャンネルに占めるクロック分配のための消費電力が大きくなる。積層された全てのチップに低電力に同期されたクロックを分配することが求められる。そこで本節では、共振結合[1]を用いたリファレンスクロック分配技術を提案する。

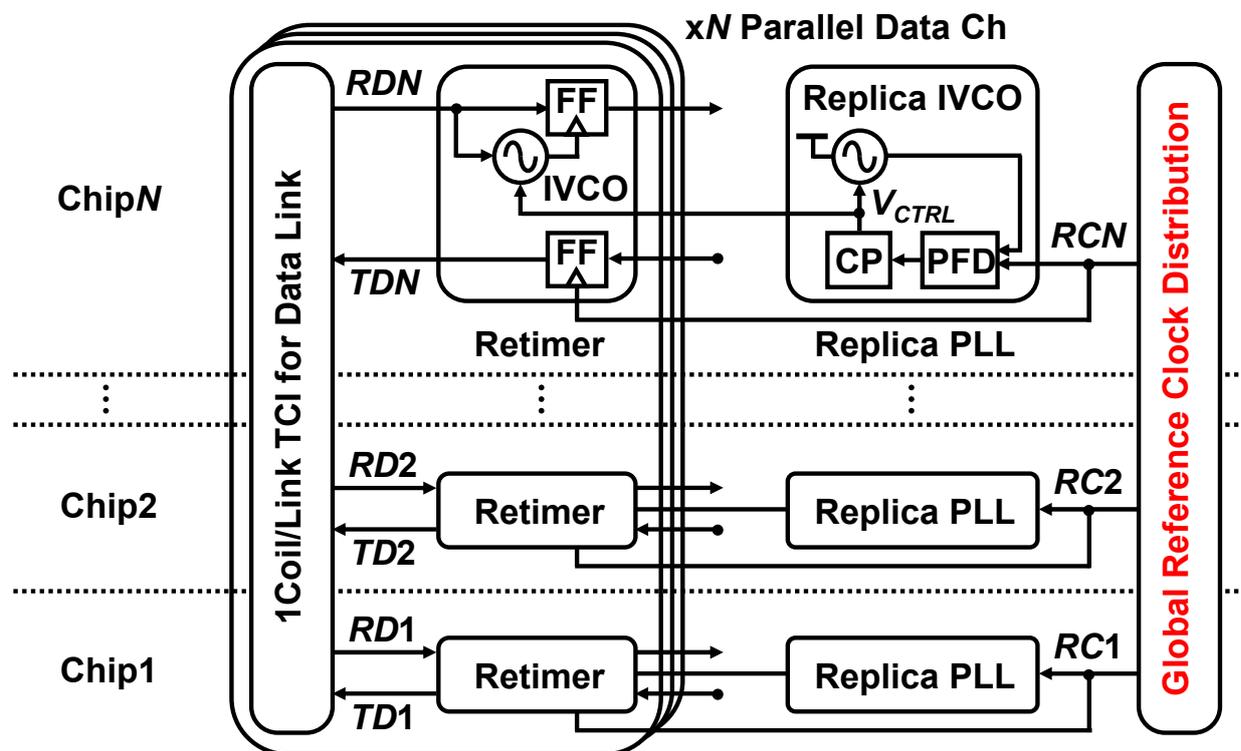


図 4.1 レプリカ PLL を用いた自己発振周波数制御

### 4.2.1 1段共振結合器

図 4.2 に、共振結合器を用いたクロック分配の回路ブロック構成を示す。LC 発振器は各チップ内で同期クロックを生成する。LC 発振器の全てのコイルは垂直方向に重なっている。各共振器のクロック出力は、送信タイミング  $T_{XC}$  として用いられ、受信機のレプリカ PLL の参照周波数としても用いられている。参照周波数は PLL によって、VCO にコピーされる。VCO の発振位相は、受信データのエッジ信号が注入され、受信データに同期する。コイルが結合することにより、コイル間のトランスインピーダンスが変化する。2 つのコイルが結合したとき、図 4.2 に示されるように、トランスインピーダンス特性に 2 つのピーク値が現れる。結合することにより、コイルの自己共振点が In-Phase モードと Out-Phase モードに対応する 2 つの共振点に分離する。2 つの LC 発振器を形成する容量値とインダクタンス値が同値の場合、2 つの共振周波数  $\omega_A$  と  $\omega_B$  は下記の(4.1)式で与えられる。

$$\omega_A = \frac{\omega_0}{\sqrt{1+k}}, \quad \omega_B = \frac{\omega_0}{\sqrt{1-k}} \quad (4.1)$$

すべての共振器は並列に接続され、 $Q$  値は下記の(4.2)式で与えられる。

$$Q_A = \sqrt{1+k}Q_0, \quad Q_B = \sqrt{1-k}Q_0 \quad (4.2)$$

共振器が結合したときの  $Q$  値は、単体の共振器に比べて  $\sqrt{1+k}$  倍となる。従って、高い  $Q$  値によって 2 つの発振するコイル間は磁界結合によって位相と周波数が揃う。 $Q$  値が高いため、結合効率が高く、各共振器の消費電力を低減することが可能である。図 4.3 は、各共振器のテール電流源と共振器間の結合係数による結合状態を示している。

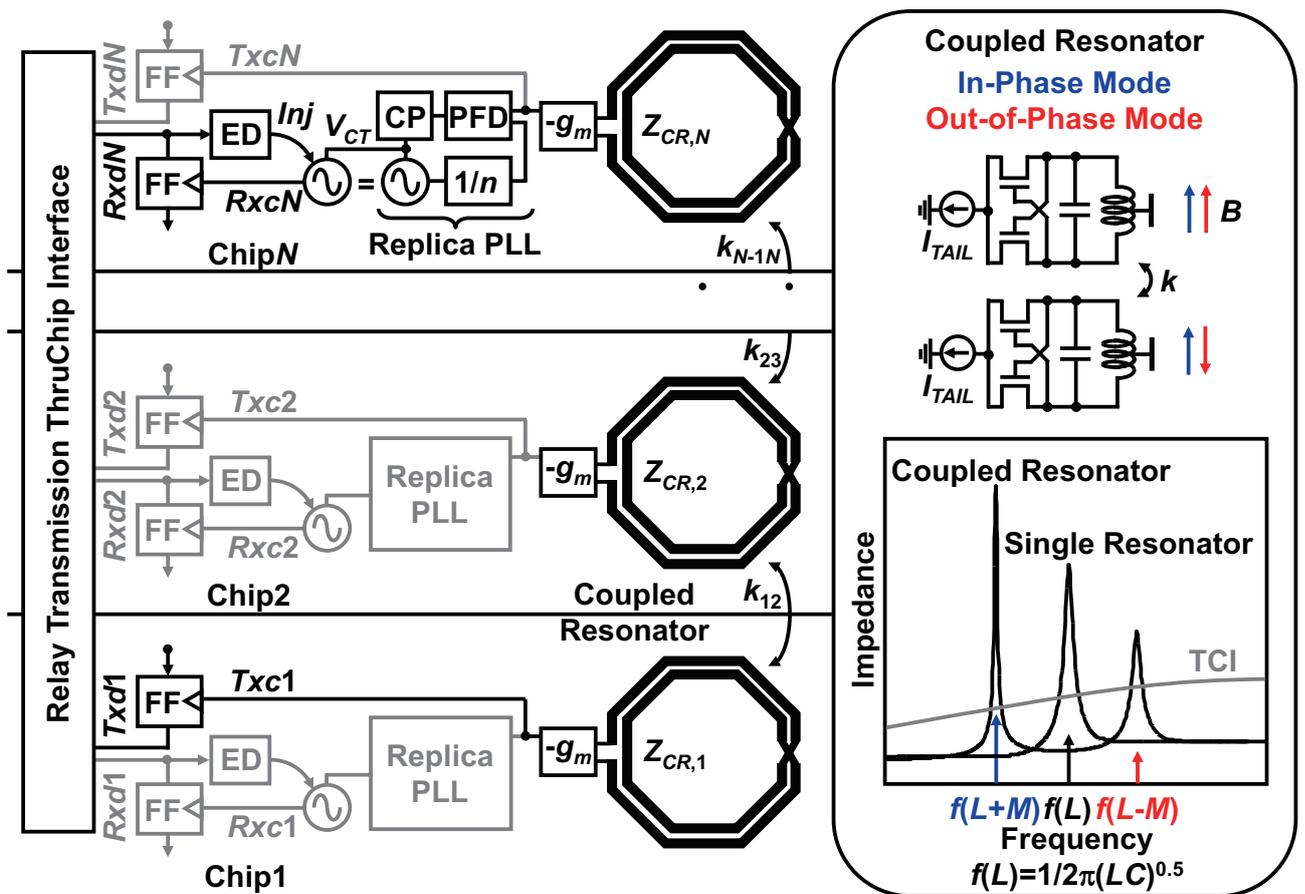


図 4.2 共振結合器を用いたグローバルクロック分配

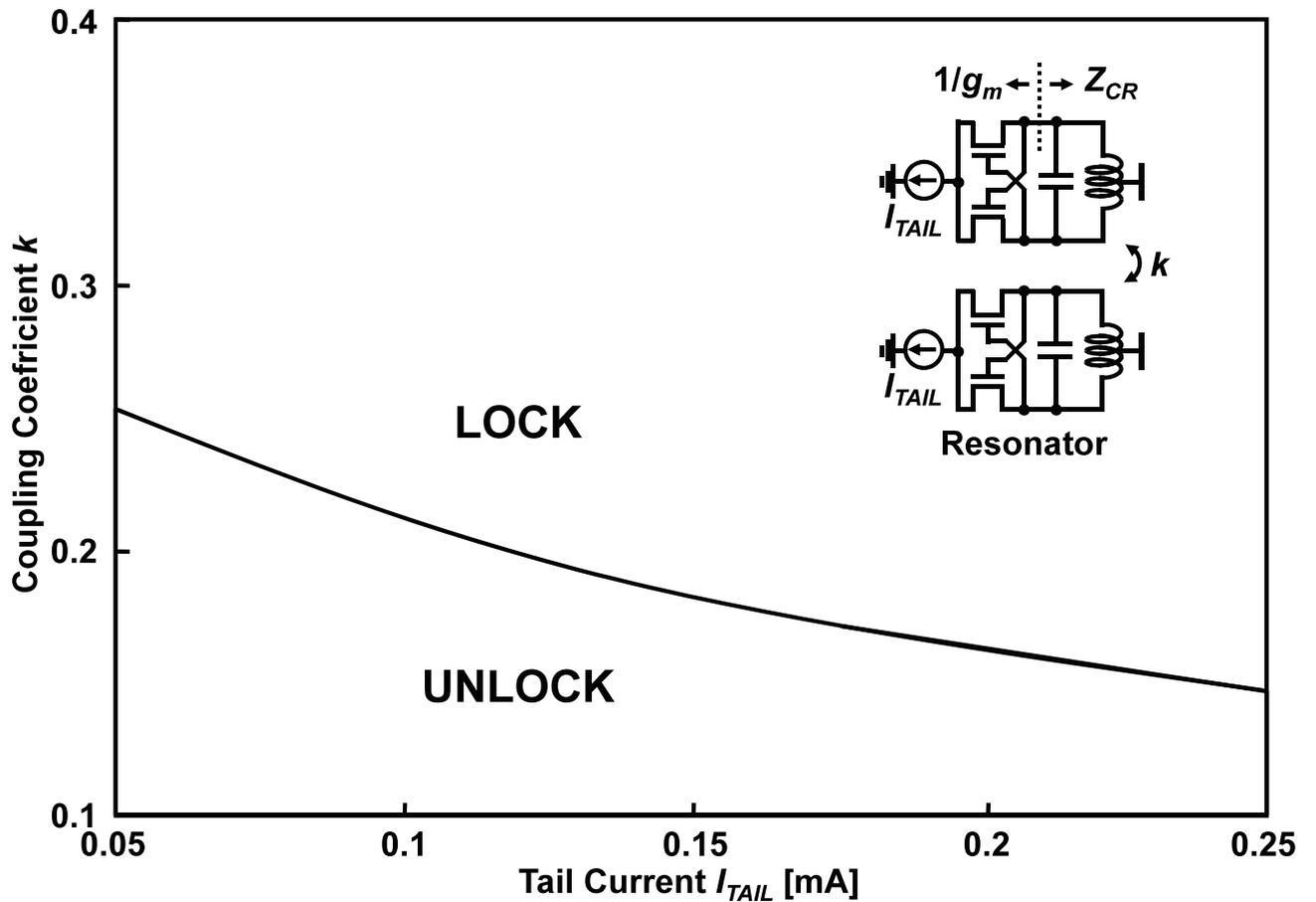


図 4.3 共振器のテール電流値と結合係数による結合状態

#### 4.2.2 多段共振結合器

本節では、3枚以上のチップを積層し、3段以上の共振器が多段結合した場合について詳述する。図 4.4 は、多段結合した共振器の等価モデルを表している。積層枚数が増加すると、直列共振回路が並列接続される。共振状態においては、リアクタンスの和が 0 と等しく、下記の(4.3)式を得る。

$$\begin{aligned}
 & \frac{1}{\omega(L_0 - M) - \frac{1}{\omega C_0}} + \frac{1}{\omega M} + \frac{1}{\omega(L_1 - 2M) - \frac{1}{\omega C_1}} + \frac{1}{\omega M} + \frac{1}{\omega(L_2 - 2M) - \frac{1}{\omega C_2}} + \frac{1}{\omega M} + \\
 & \dots + \frac{1}{\omega M} + \frac{1}{\omega(L_N - M) - \frac{1}{\omega C_N}} = 0
 \end{aligned}
 \tag{4.3}$$

---

$M$ は相互インダクタンスである。各共振器の容量値、インダクタンス値、結合係数が等しい場合、下記の(4.4)式が与えられる。

$$\frac{N-1}{\omega M} + \frac{2}{\omega(L-M) - \frac{1}{\omega C}} + \frac{N-2}{\omega(L-2M) - \frac{1}{\omega C}} = 0 \quad (4.4)$$

$N$ は結合している共振器の数を表している。図 4.4 は 4 段結合した共振器のインピーダンスと位相特性を示している。4 つのピーク値がインピーダンス特性に現れている。1 次のピークは全ての共振器が同位相で結合している。LC 発振器が発振するためには、 $Z_{CR}$  が  $1/g_m$  を超えなければ発振しない。1 次のピークにおいてのみ発振条件を満たすように、プロセスのばらつきを考慮しながら  $g_m$  を設計する。4 つのピーク値を持つが、実際には 1 次のピークのみでしか発振をしないように設計可能である。

この共振器を用いて、積層されたチップ間の垂直方向に周波数と位相の揃ったクロックを分配することが可能となる。

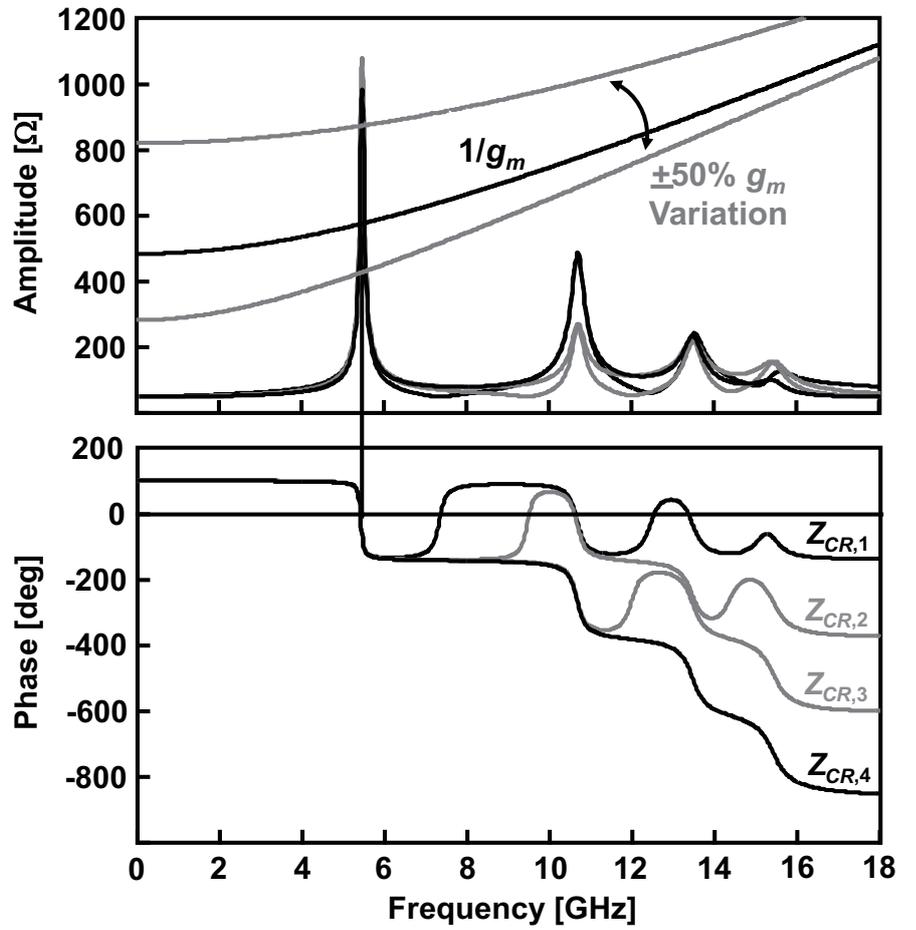
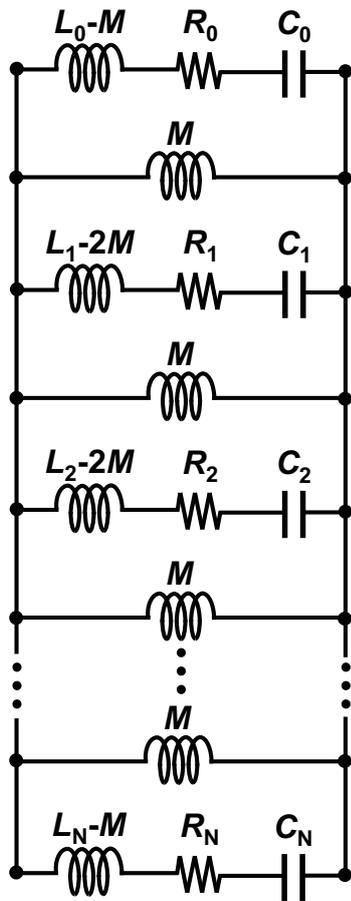


図 4.4 多段共振結合器の等価モデルと周波数特性

### 4.3 平面方向のクロック分配

前節の共振結合によって、垂直方向に周波数と位相の揃ったクロックを分配することが可能である。一方で、チップ内のクロック分配では、従来のHツリー型のクロック分配が広く用いられているが、プロセスの微細化に伴う製造ばらつきの増大によって、スキューのばらつきは増大している[2]。チップ面内のスキューを低減する手法として、前節でも述べた共振結合現象を平面に応用したクロック分配の研究が盛んである。特に、分散したリングオシレータの出力を接続させる結合リングオシレータ[3]は、各発振器にコイルを置くLC共振器[4]に比べて、面積の増加なしにスキューとジッタを低減できる。図4.5に示されるように、発振器を相互に結合させることで、PVTばらつきによる各発振器間の発振周波数と位相のばらつきが平均化される。

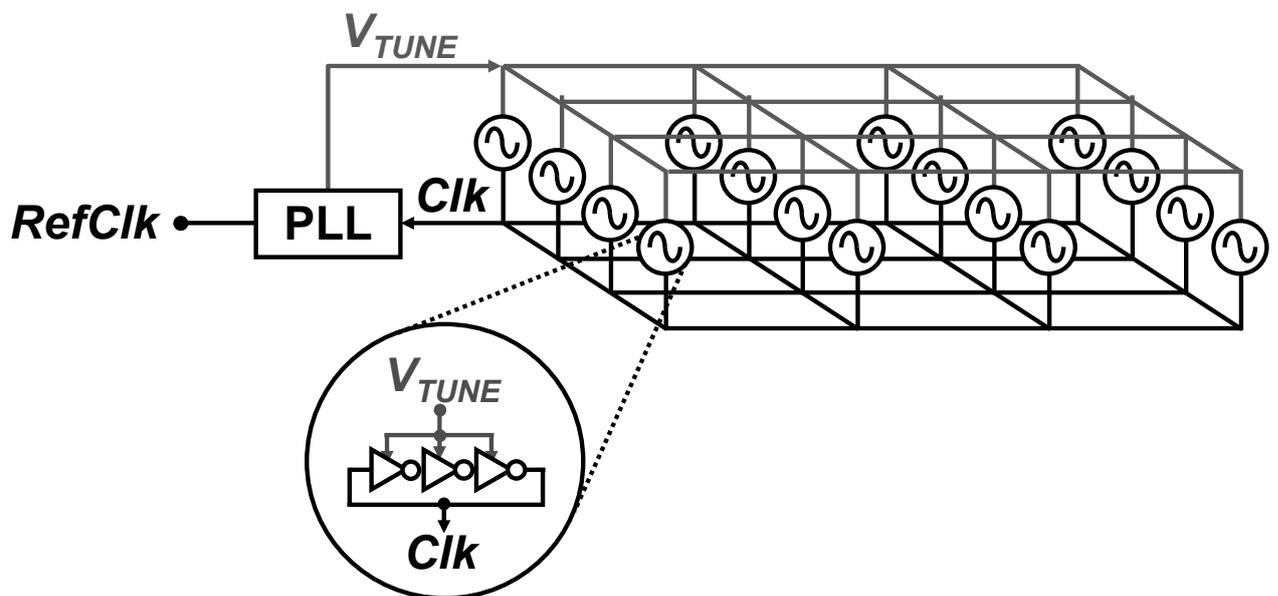


図 4.5 共振結合型リングオシレータ

---

## 4.4 周波数と位相の調律

### 4.4.1 従来手法の課題

発振器を垂直方向と平面方向で共振結合させることで、周波数と位相の揃ったクロックを各チップ上に生成できる。しかし、クロックの周波数は共振結合によってそれぞれの共振周波数からずれているため、所望の周波数に戻す調律が必要になる。しかし、従来の PLL を用いた調律技術の単純な三次元拡張では調律が不可能である。例えば、ワイヤボンディングで、外部参照クロックを各積層チップの PLL に与えると、ワイヤボンディングの配線長差・入力回路から PLL までの回路遅延誤差により各階の参照クロック間にスキューがつく。ISSCC2002 で報告されたマイクロプロセッサ向けクロック分配技術においては、チップ面内で 25 ps 以内のスキューを達成しているが、チップ間では 120 ps のスキューがあると報告されている[5]。外部参照クロックとの同期方式として以下の 3 つが考えられるがいずれも機能しない。

#### 1. バラクタ容量の直接制御

図 4.6(a)に示されるように、LC 発振器のバラクタ容量を PLL で調律する方式である。本方式では、チップ毎に異なる外部参照クロック遅延が各 PLL の参照クロックに入力されるため同期が取れない。図 4.7 は、同設計で製造された 7 枚のチップに対し、ボンディングワイヤとバッファによって PLL の参照クロックを与えた場合における、遅延量の測定結果である。ボンディングワイヤの配線長や接地抵抗、バッファの製造ミスマッチによって、最大 62 ps の遅延誤差が生じている。

#### 2. PLL 制御電圧のワイヤ分配

図 4.6(b)に示されるのは、代表となる PLL を 1 チップに配置し（他のチップ上ではスリープさせる）、バラクタの制御電圧を積層チップ間にワイヤボンディングで分配する方式である。本方式は、ボンディングワイヤにシールドが困難なことに起因して、制御電圧にノイズが印可され、ジッタが大きくなるかロックができない。

### 3. マスターチップの調律

図 4.6(c)に示されるのは、マスターチップ上の LC 発振器のみを PLL で制御する方式である。マスターチップの発振周波数と位相が制御されることで、結合状態であるスレーブチップはマスターチップの周波数と位相に同期可能である。しかし本方式では、調律可能なロックレンジが狭くなる欠点がある。図 4.8 は 4 段共振器において、1 つのバラクタだけを制御した場合と、4 つ全てを制御した場合の制御電圧に対する発振周波数の変化を示している。共振周波数は、各共振器のもつ容量値の和で与えられるため、一箇所の容量値を変更するだけでは、周波数の可変範囲は  $\pm 82$  MHz と狭くなる。さらに、このバラクタを PLL を用いて制御する場合、収束までのリングングによる電圧変動が生じるため、可変範囲は 50 MHz 程度に狭くなる。結果、 $\pm 10\%$  程度の製造ばらつきのある現実的な環境では外部参照クロックとの同期は困難である。

そこで本研究では、LC 共振結合器の周波数可変範囲を広げ、外部参照クロックとのロックレンジを拡大する Frequency-Locking and Phase-Pulling (FL-PP) 調律方式を新たに提案する。

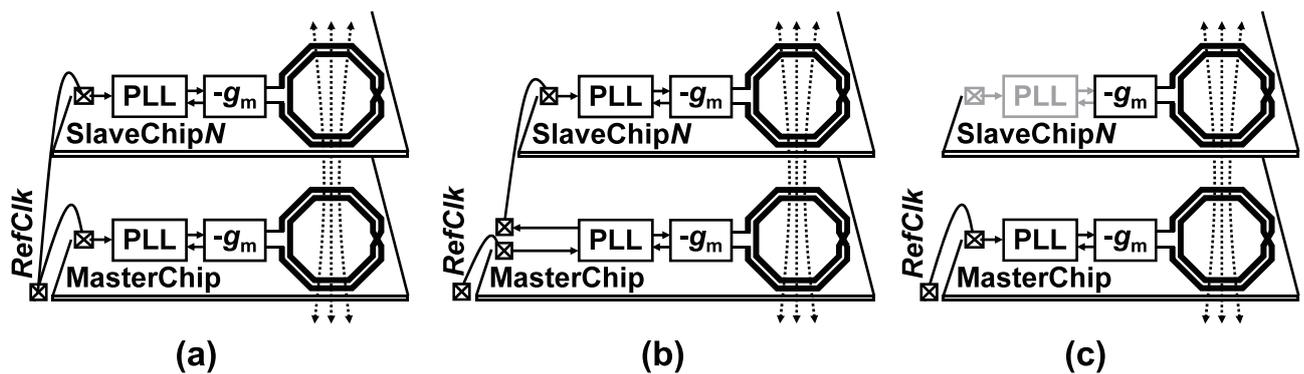


図 4.6 各調律方式

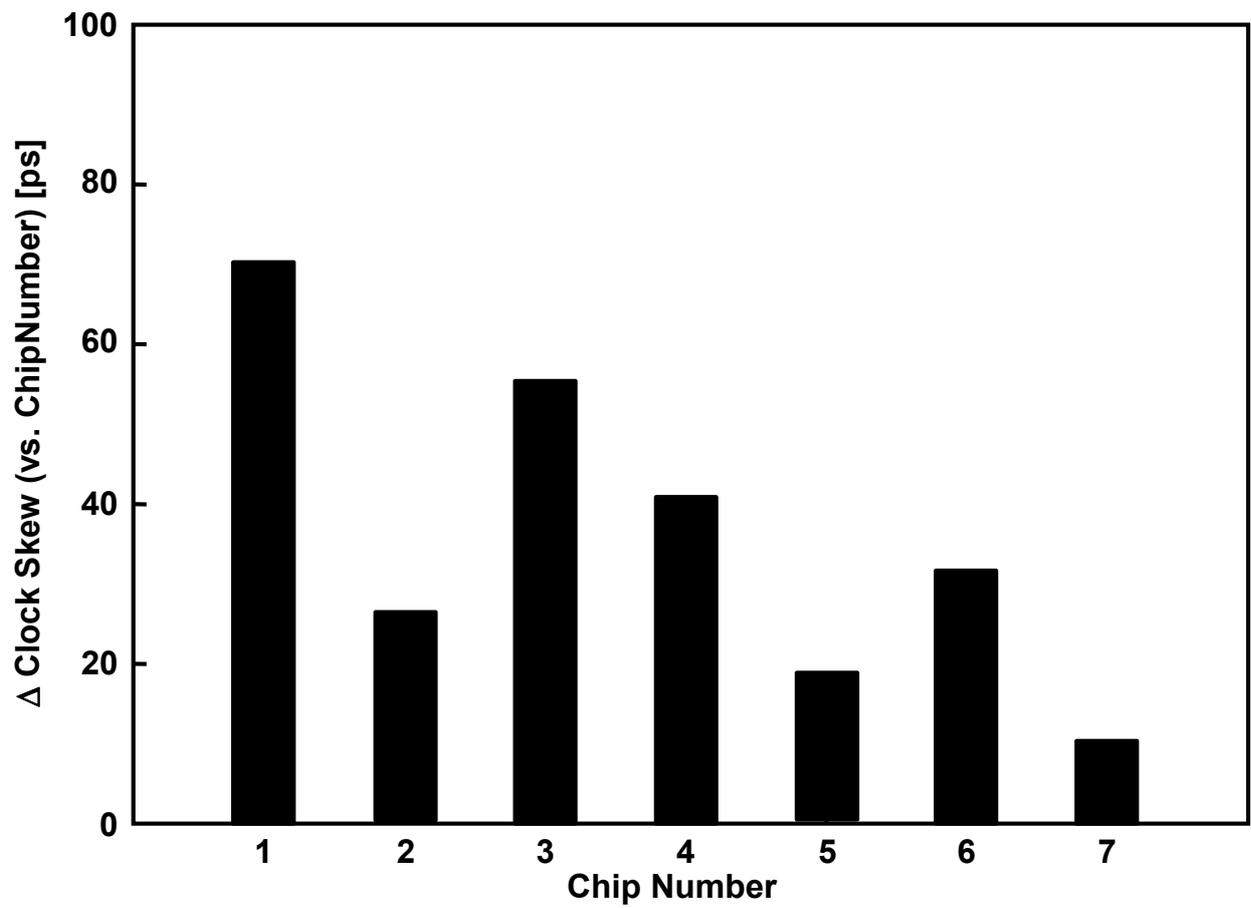


図 4.7 チップ毎に異なる遅延誤差

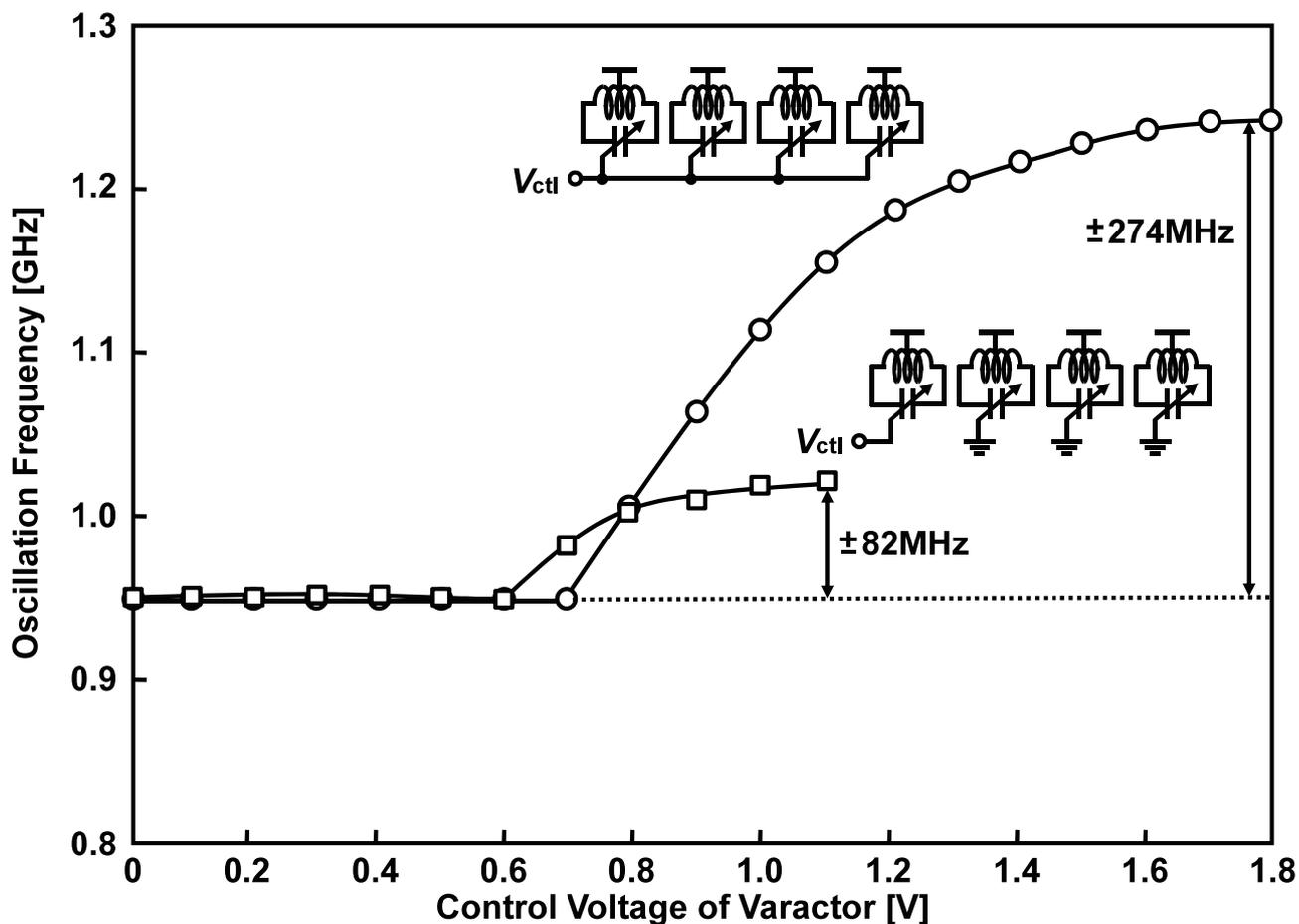


図 4.8 調律されたバラクタ数による周波数調律範囲の変化

#### 4.4.2 FL-PP調律方式

FL-PP 調律方式は、周波数同期回路 (FLL) と位相同期回路 (PLL) を組み合わせて、2 段階でチップ全体のクロックを調律する。図 4.9 に提案する FL-PP の回路ブロック構成を示す。LC 発振器は、各コイル間で磁界結合されている。積層チップ間に分配された外部参照クロック *RefClk* をもとに、Step1 で各階の FLL を用いて垂直方向の LC 共振結合器全体の周波数を *RefClk* 周波数と同調させる。このステップでは、各チップの周波数だけが調律されるため、遅延が発生するワイヤによる参照クロック分配でも問題ない。共振器全ての *C* を変化させるので、周波数可変範囲が広がり、結果的にロックレンジを拡大できる。ただし、Step1 では位相は *RefClk* とは一致しないので、まだ同期は取れていない。

---

Step2 でマスターチップの FLL が PLL に切り替わり、位相が参照周波数に同期する。マスターチップ内 LC 共振器による位相引き込みによって、PLL 制御のかかっていないスレーブチップ内 LC 共振器の位相がシフトする。1 つの PLL で位相を調律するため、予め Step1 で FLL を用いて全段の周波数の調律を行わなければ、ロックレンジが狭くなってしまふ。FLL のループゲインは PLL のループゲインより十分弱くなるように設計し、FLL がスレーブチップ内 LC 共振器の位相調律を阻害しないようにする。

本調律方式により、LC 共振器全体の周波数と位相が *RefClk* と同期して、すべての積層チップに *RefClk* と周波数と位相が同期したクロックを分配できる。このクロックを各階の水平方向結合リングオシレータ用の PLL に入力すれば、三次元積層チップ間の全ノードにクロック分配できる。水平方向結合リングオシレータをグローバルクロックとして利用し、各ノードにローカルクロック分配として従来のクロックゲーティングを備えた H-Tree 等を利用することも可能である。

図 4.10 に、FL-PP 制御の詳細回路構成を示す。チャージポンプと周波数検出器 FD が起動し、Step1 の周波数同調が行われる。参照クロックと内部クロックから、それぞれエッジパルス電流 ( $I_{\text{PREF}}$ 、 $I_{\text{PLC}}$ ) を生成し、エッジの頻度すなわち周波数情報を抽出する。これらのエッジパルス電流を LPF でそれぞれ平均電圧値に変換する。2 つの電位差  $V_{\text{FD}}$  を比較することで周波数誤差を検出する。誤差の極性に応じてチャージポンプで  $V_{\text{VAR}}$  を上下することで周波数を調律する。オフセットコンパレータで  $V_{\text{FD}}$  の絶対値が小さくなったことを検出することで周波数同調の完了を検出し、Step1 の FLL モードから Step2 の PLL モードへ切り替える。

Phase-Pulling (FL-PP) Synchronizer    LC Oscillators    Ring Oscillators

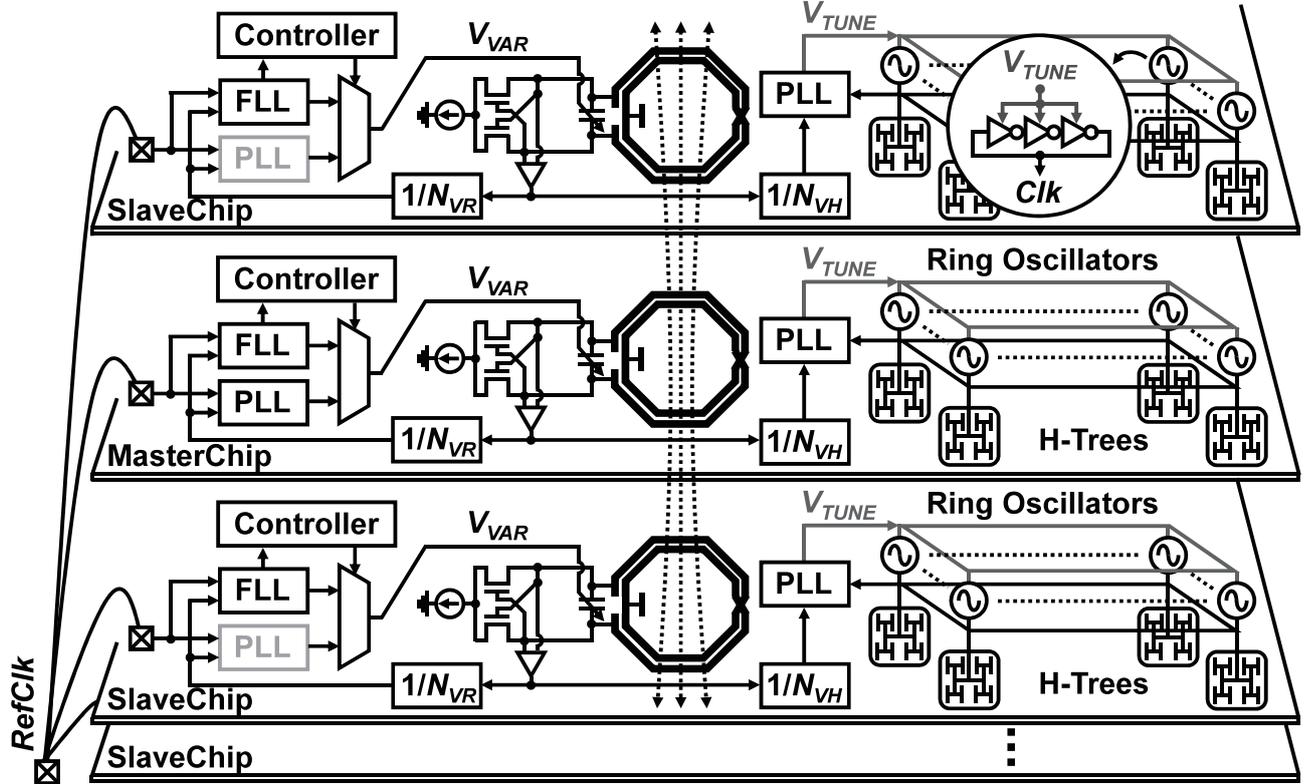


図 4.9 FL-PP 調律方式を用いた三次元クロック分配



と外部参照クロックとの周波数と位相同期が行われる。FL-PP Step2 の PLL による位相引き込み完了を検出すると、Phase1 に移行し、分周開始信号  $SM$  が H レベルになり、マスターチップの分周器が起動して分周クロック  $DclkM$  を発生する。分周器の位相が初期位相に戻る 1 クロック前に、マスターチップから誘導結合インタフェースを介して分周開始信号  $SS$  が上下のスレーブチップに順次転送される。スレーブチップの分周器がマスターチップの分周器と同期して分周クロック  $DclkS$  を発生する。転送にかかるレイテンシが、分周前の高速クロックの 1 クロックサイクル以下である必要があるが、誘導結合インタフェースのレイテンシは  $0.18 \mu\text{m}$  において、 $50 \text{ ps}$  以下[7]と非常に短く、LC 共振結合器の発振サイクル  $250 \text{ ps}$  程度より十分短い。また、誘導結合インタフェースのレイテンシは微細化に伴ってスケールアップするため、さらに高周波のクロック分配にも対応可能となる。

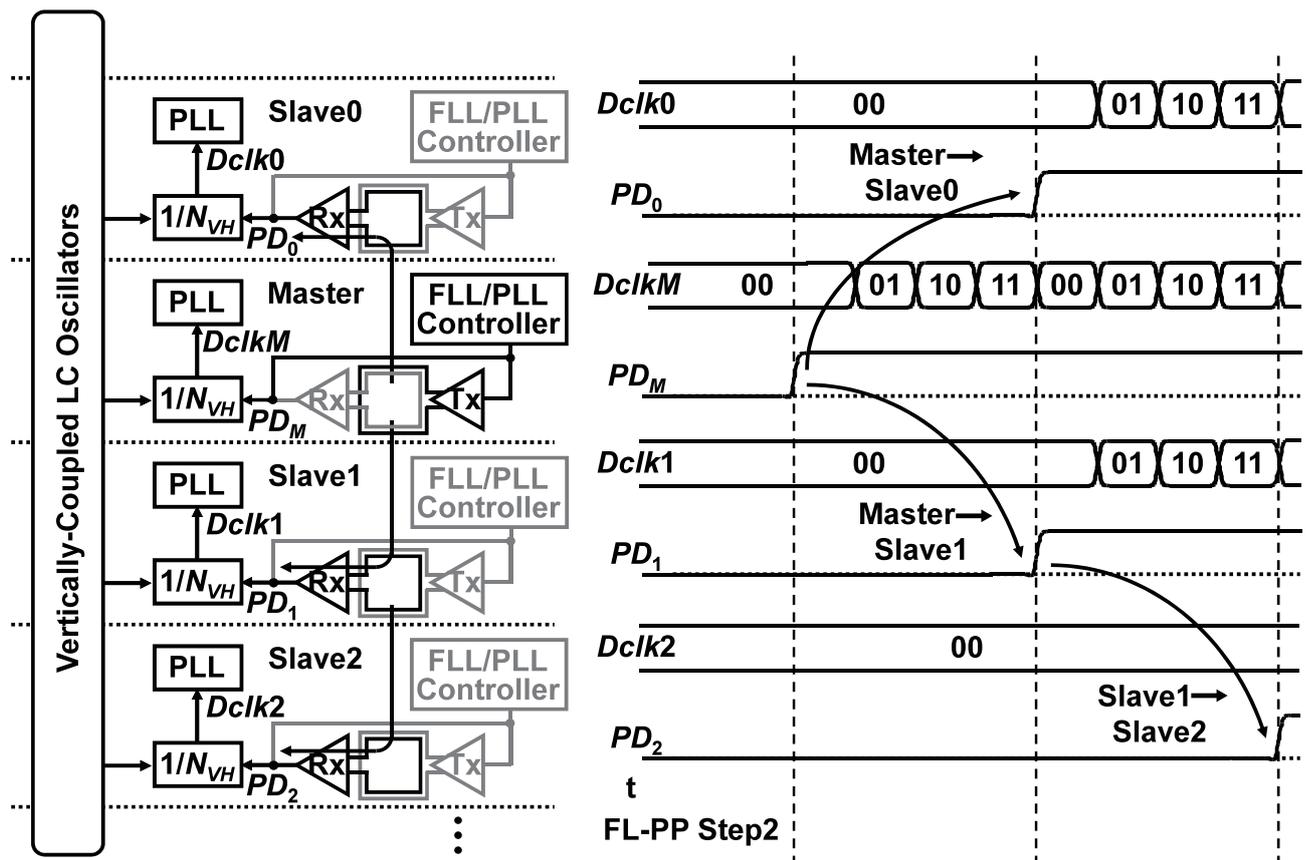


図 4.11 誘導結合クロック分周器

---

## 4.5 試作チップ

本節では、本提案手法を評価するための試作チップについて詳述する。

共振結合のミスマッチに対する特性を評価するために、評価チップを製造した。チップは  $0.18\ \mu\text{m}$  CMOS プロセスで製造された。共振器のコイル直径は  $600\ \mu\text{m}$  である。図 4.12 は試作チップの顕微鏡写真である。基準から 5%刻みで  $\pm 20\%$  までの異なった容量値を持つキャパシタが配置されている。2枚を1セットとして、2セットを X 軸方向にシフトして、積層を行った。 $+10\%$ の容量値を持つ発振器と  $-10\%$ の発振器が重なるように積層することで、 $\pm 10\%$ のミスマッチを持った共振器の検証ができる。

加えて、提案手法の FL-PP の有用性を実証するための試作チップも製造した。マスターチップとスレーブチップの2つの試作チップが  $0.18\ \mu\text{m}$  CMOS プロセスで製造した。図 4.13 は積層された試作チップの顕微鏡写真である。スレーブチップは市場で一般的に利用可能な研削技術を用いて  $40\ \mu\text{m}$  まで裏面研削した。その後、face-up でマスターチップ上に  $10\ \mu\text{m}$  の接着剤を用いて積層された。従って、通信距離は  $50\ \mu\text{m}$  である。垂直方向のクロック分配用に直径  $600\ \mu\text{m}$  のコイルをもった LC 共振器を搭載しており、水平方向のチップ内クロック分配用に  $16 \times 16$  の結合リングオシレータが  $175\ \mu\text{m}$  間隔で配置されている。結合リングオシレータの配置間隔は、配線長から求められる配線抵抗と配線との寄生容量値を用いてシミュレーションを行い、スキューが  $2\ \text{ps}$  以内となる配線間隔を決定した。図 4.14 に配置間隔とスキューのシミュレーション結果を示す。

各リングオシレータ出力の直近には、ピコプローブで波形をモニターできるように、バッファに接続された  $20\ \mu\text{m} \times 20\ \mu\text{m}$  のパッドが配置された。図 4.15 に示すように、結合リングオシレータの出力とパッドの間にはバッファ段が存在する。このバッファは結合していないため、測定値にスキューを発生させる要因となる。プロセスと温度をモンテカルロシミュレーションで条件振りし、このバッファ段が発生し得るスキューが  $8\ \text{ps}$  以内であることを確認した。パッドからは GCB INDUSTRY 社のピコプローブ MODEL35 を用いてスキューをオシロスコープで測定した。表 4.1 に MODEL35 の仕様を示す。本論文の提案手法である FL-PP を用いることで、従来のクロック分配回路に新たに必要となるのは FLL 回路ブロックである。FLL 回路ブロックは、図 4.16 に示すように、 $150\ \mu\text{m} \times 270\ \mu\text{m}$

---

のレイアウト面積であり、約 66%はフィルタリング用のキャパシタである。このキャパシタの直下にはトランジスタを配置することも可能であり、実質のレイアウトのペナルティは  $50\ \mu\text{m} \times 270\ \mu\text{m}$  である。

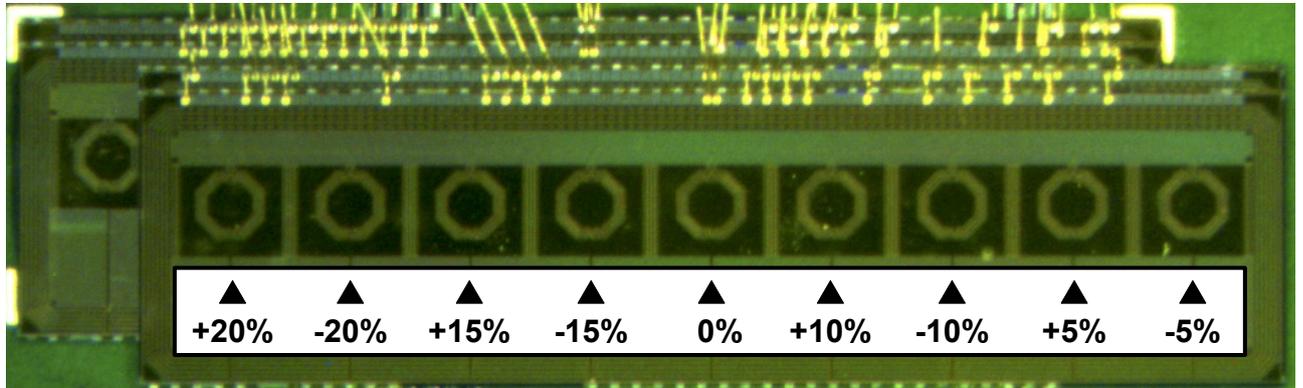


図 4.12 試作チップの顕微鏡写真

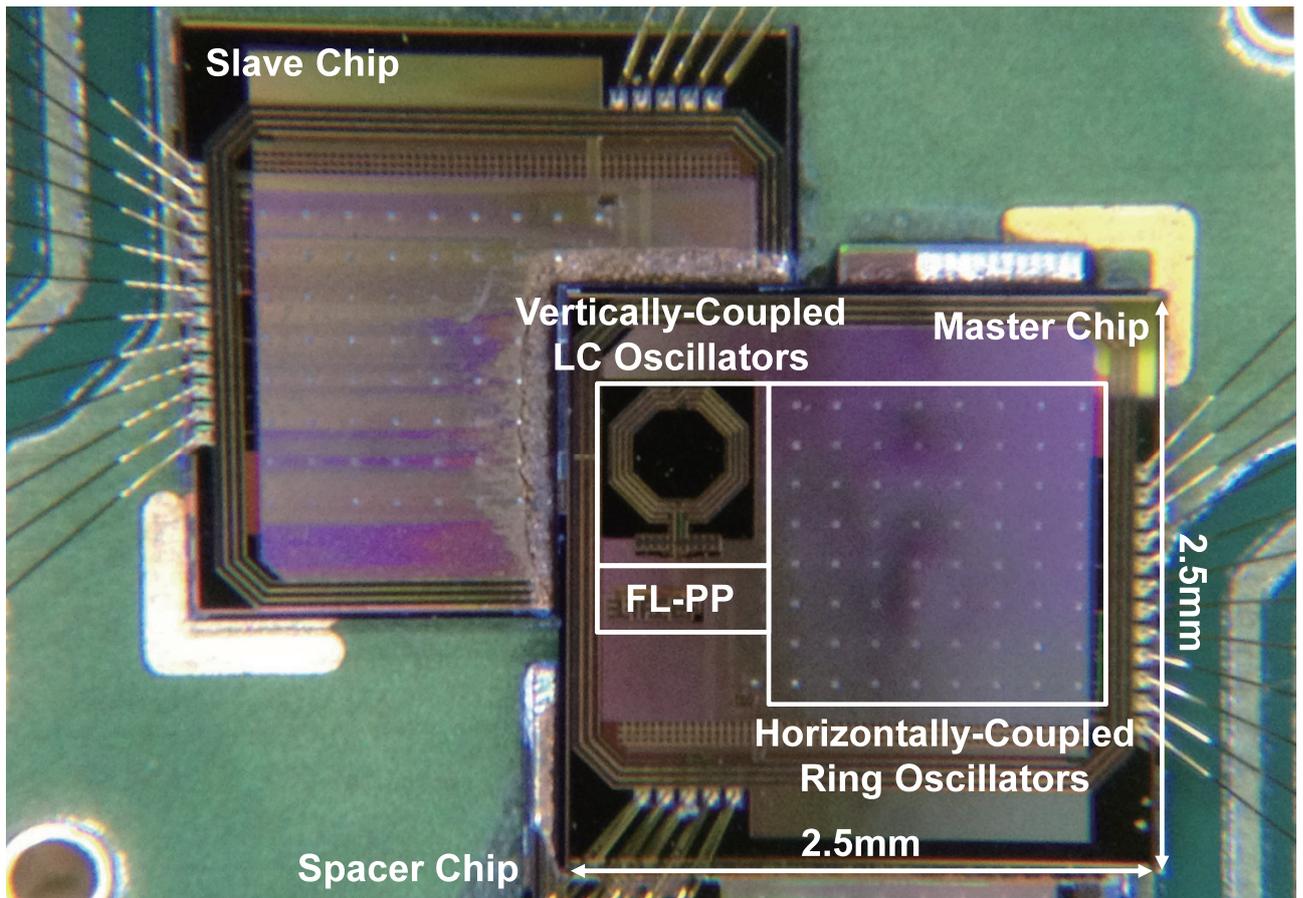


図 4.13 試作チップの顕微鏡写真

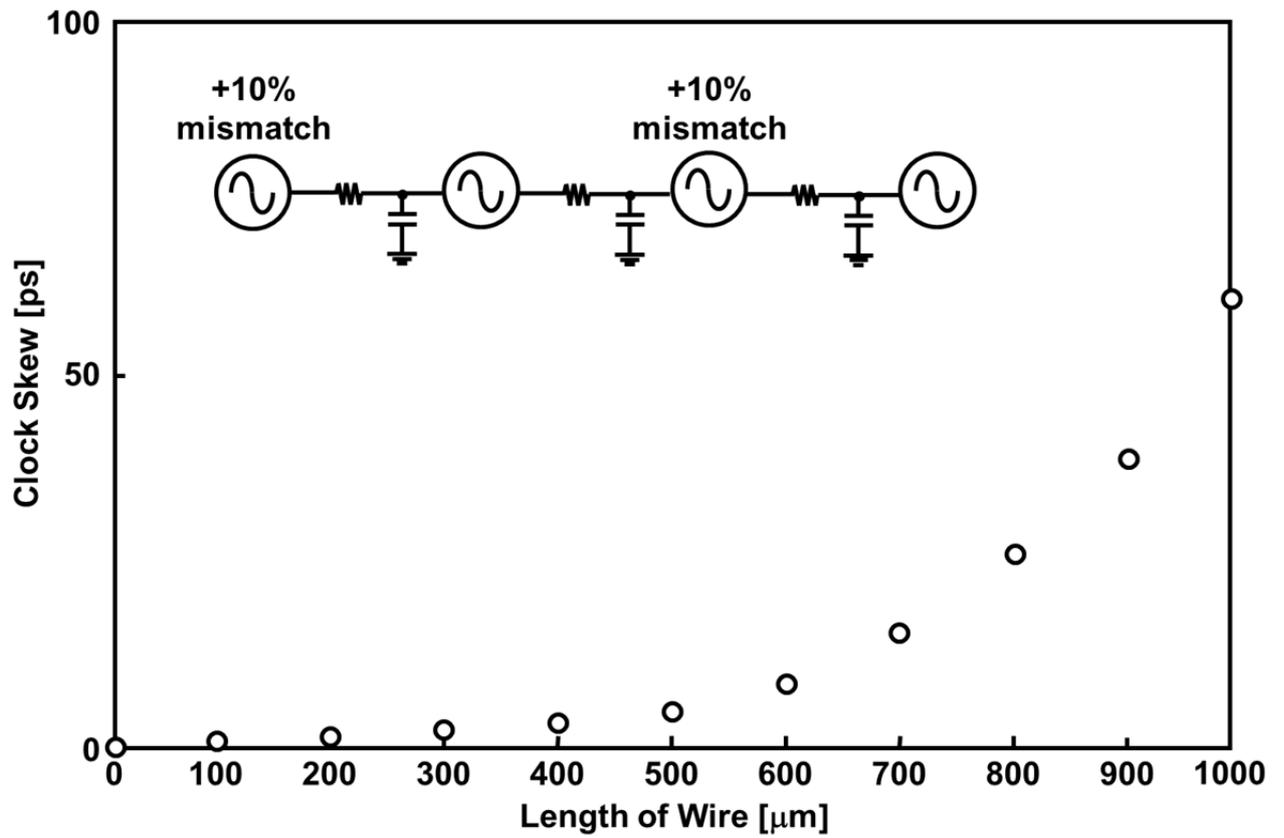


図 4.14 結合リングオシレータの配置間隔とクロックスキュー

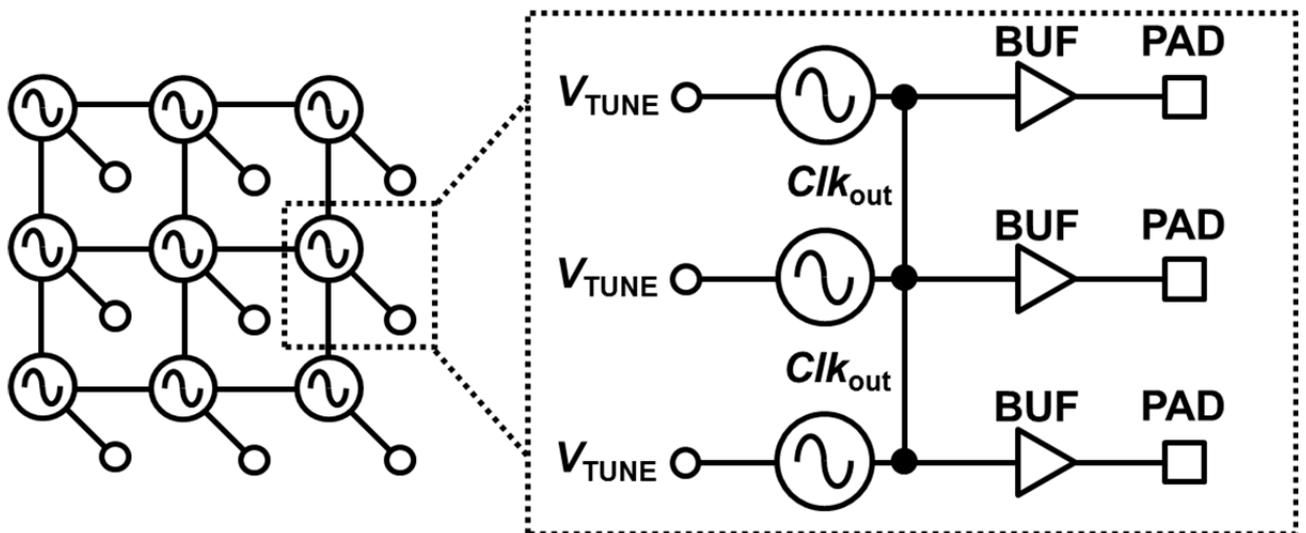


図 4.15 結合リングオシレータからパッドまでの結線図

表 4.1 MODEL35 の仕様

<b>Input Capacitance</b>	<b>0.05 pF</b>
<b>Frequency Response</b>	<b>DC to 26 GHz</b>
<b>Linearity</b>	<b>2.0% (+/- 3.0 V)</b>

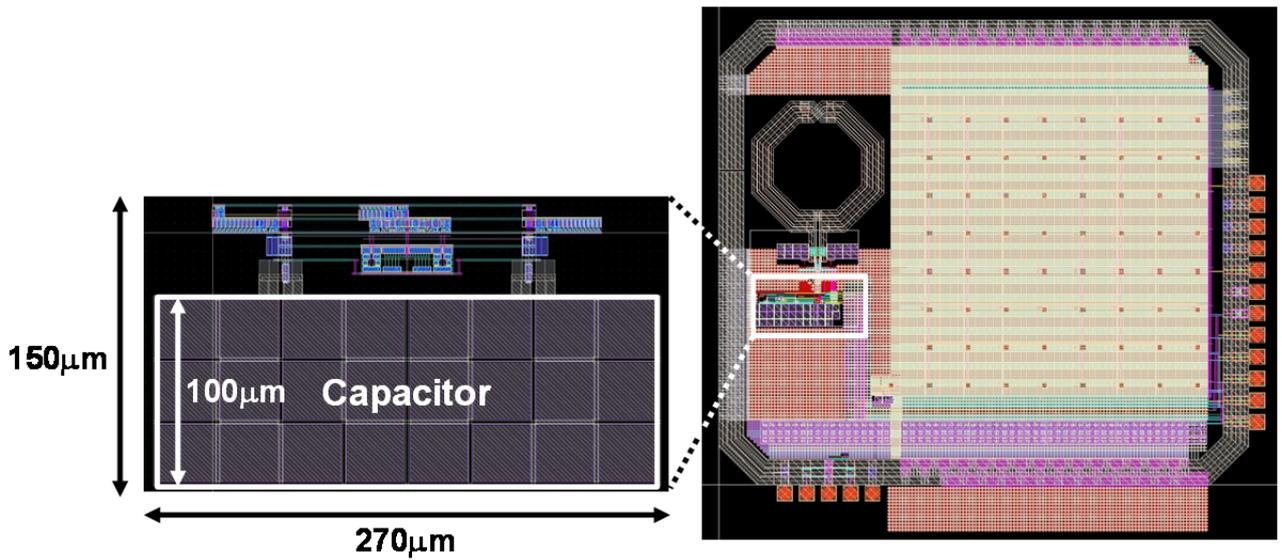


図 4.16 FLL 回路ブロックのレイアウト面積

---

## 4.6 測定結果

### 4.6.1 共振結合器の単体評価

本節では、試作チップの評価結果について詳述する。

図 4.17 は、共振器のテール電流源を流れる電流値と共振器の発振周波数の関係を示している。10%以上の発振周波数のミスマッチを含む4つの共振器がロックしていることが確認できる。 $I_{TAIL}$ が0.21 mAから0.39 mAの範囲において、4つの共振器が結合しており、同じ位相と周波数でロックをしている。このときの位相誤差はわずか0.01%以下である。本測定結果は、±25%の電源電圧変動が生じた場合においても、結合状態が維持できることを示している。測定されたクロック内RMSジッタは2.5 ps以下であり、これは2.4% U.I.以下である。クロック生成と分配のための消費電力は、従来の誘導結合を用いたクロック分配と比較して、1/9以下に削減された。

共振器内のインダクタンス値と容量値にばらつきが発生した際の、発振周波数の変動を測定した。図 4.18 はその測定結果である。容量値に±17.5%のミスマッチを含むLC発振器を結合させた場合においても、結合状態を維持した。チップ内のMetal-Insulator-Metal (MIM)キャパシタに発生しうる±10%の製造ミスマッチに対して、耐性を持っていると評価できる。図 4.18 のグラフが右上がりとなっているのは、試作チップも製造ミスマッチを含んでいるためである。±10%のミスマッチが発生した場合における周波数シフトは0.03%以下である。

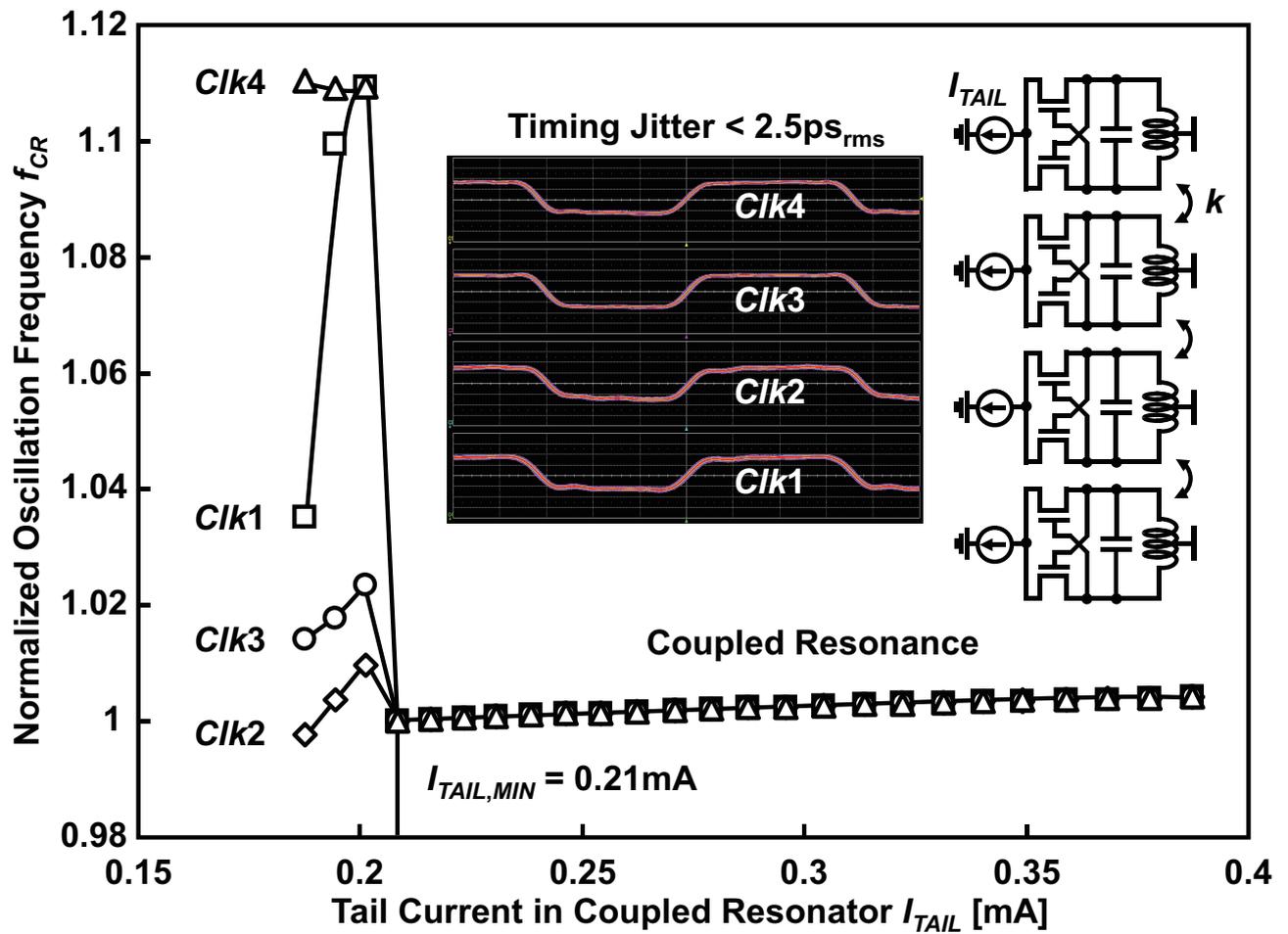


図 4.17 共振器のテール電流源と各共振器の発振周波数

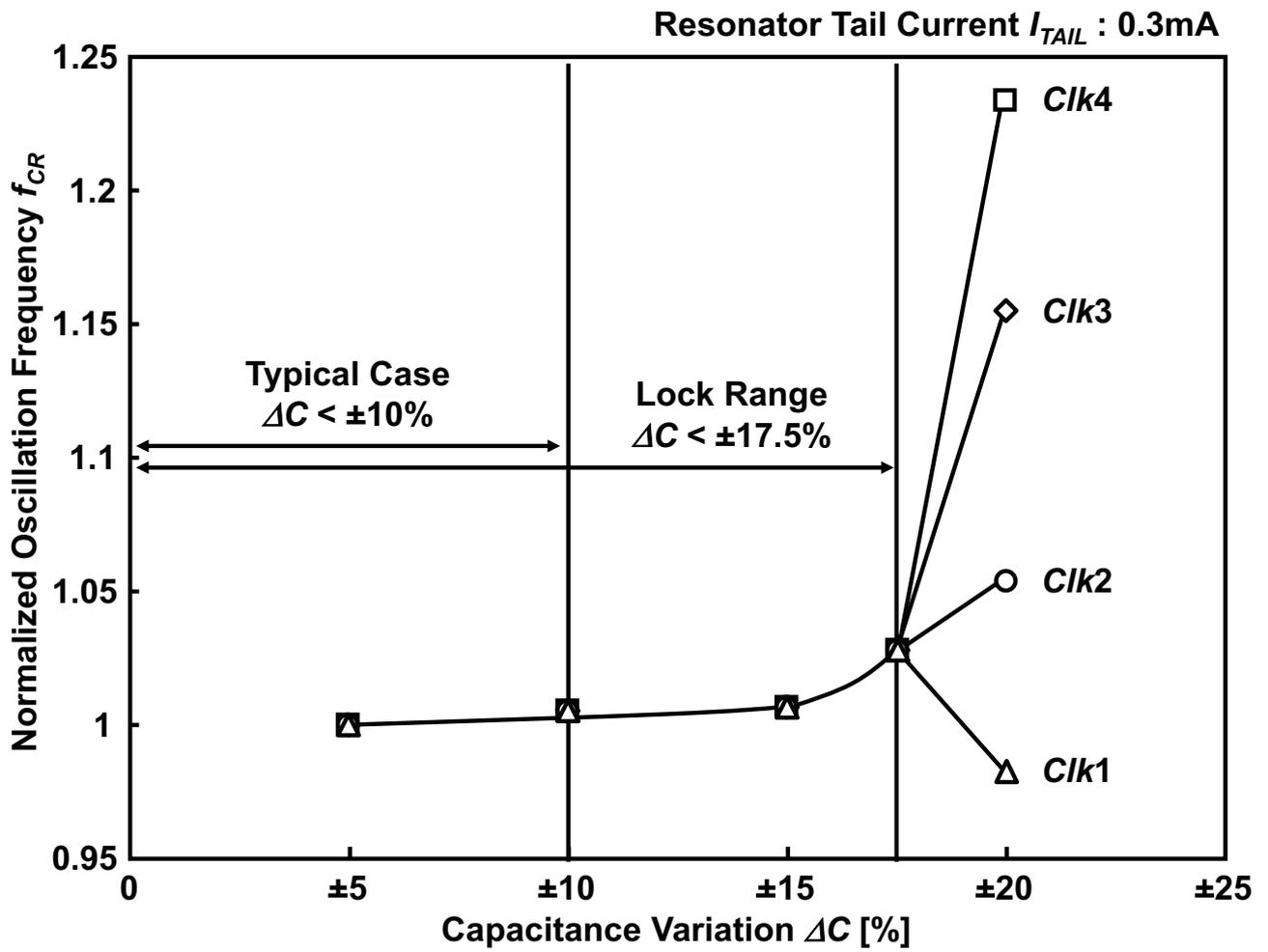


図 4.18 容量ばらつきに対する発振周波数の変化

## 4.6.2 FL-PPの評価

図 4.19 は、提案の FL-PP 制御の有無による電源電圧とロックレンジの測定結果である。このとき、マスターチップは PLL モード、スレーブチップは FLL モードで固定している、FL-PP 制御によって、ロックレンジが±10%の 110 MHz に拡大している。これは FL-PP 制御をしない場合のおよそ 2 倍である。加えて、チップ平面分配の電源電圧を 1.8 V から 0.9 V に下げ、ばらつきを増大した状況下でも、±7.5%のロックレンジを達成している。

図 4.20 は、電源電圧が 1.8 V と 0.9 V の時における積層チップ全体のクロック遅延量の測定結果である。1.8 V では、16x16 結合リングオシレータ 2 積層チップ分のすべてのノードでクロックスキューが 18 ps (1.8% U.I.)以下、0.9 V では、25 ps (2.5% U.I.)以下と十分に小さいことを確認した。電源電圧を半分の 0.9 V に低減することで増加した遅延量はわずか 7 ps である。図 4.21 は、積層チップ全体のクロックジッタの測定結果である。ジッタ分布はチップ全体で均衡であり、図 4.21 の右側に示されるジッタ差分を取ったグラフでは、大部分の観測点で 0.4 ps 以内の差分に収まっていることが確認された。図 4.22 は、図 4.20 において最も大きい遅延が観測された PAD で測定された、電源電圧による遅延量の変化である。本測定結果において、三次元集積されたチップ全体で観測されたクロック遅延量は、従来報告されている低遅延なチップ平面クロック分配技術と同等である。

電源上のノイズがジッタに与える影響を評価するために、図 4.23 に示すように、DC 信号に AC 成分を乗算する BIAST を用いて試作ボードの電源にノイズを意図的に印可した。試作チップの電源 PAD から観測されるノイズ振幅をオシロスコープで観測した。ノイズのない環境では、1.8 V の電源電圧でクロックジッタは 1.63 ps<sub>rms</sub> (0.2% U.I.)以下であり、さらに 250 mV 振幅のノイズを加えてもわずか 2.21 ps<sub>rms</sub> (0.3% U.I.)以下と十分にジッタが小さいことを確認した。0.9 V の電源電圧でもクロックジッタは 1.72 ps<sub>rms</sub> (0.2% U.I.)以下であり、さらに 230 mV 振幅のノイズを加えてもわずか 2.32 ps<sub>rms</sub> (0.3% U.I.)以下と、十分に電源ノイズに対して耐性の高いクロック分配回路であることが確認できた。

面積当たりのクロック分配に必要な消費電力は 65.3 mW/mm<sup>2</sup> であり、これは TSV と H-Tree を組み合わせたクロック分配技術[8]と比べて 25%低い。表 4.2 に本提案手法の測定結果を示した。

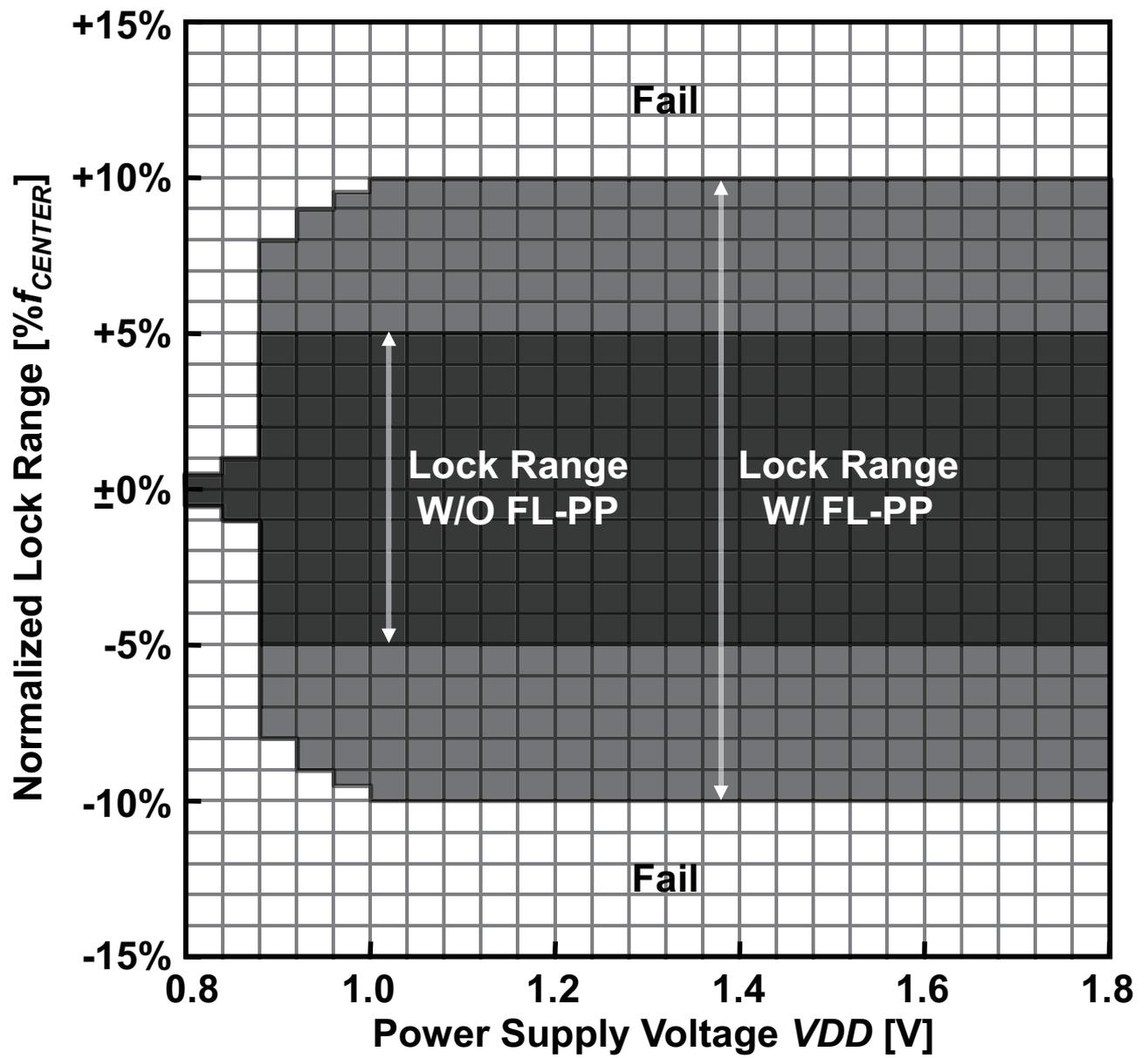


図 4.19 FL-PP 調律の有無によるロックレンジ

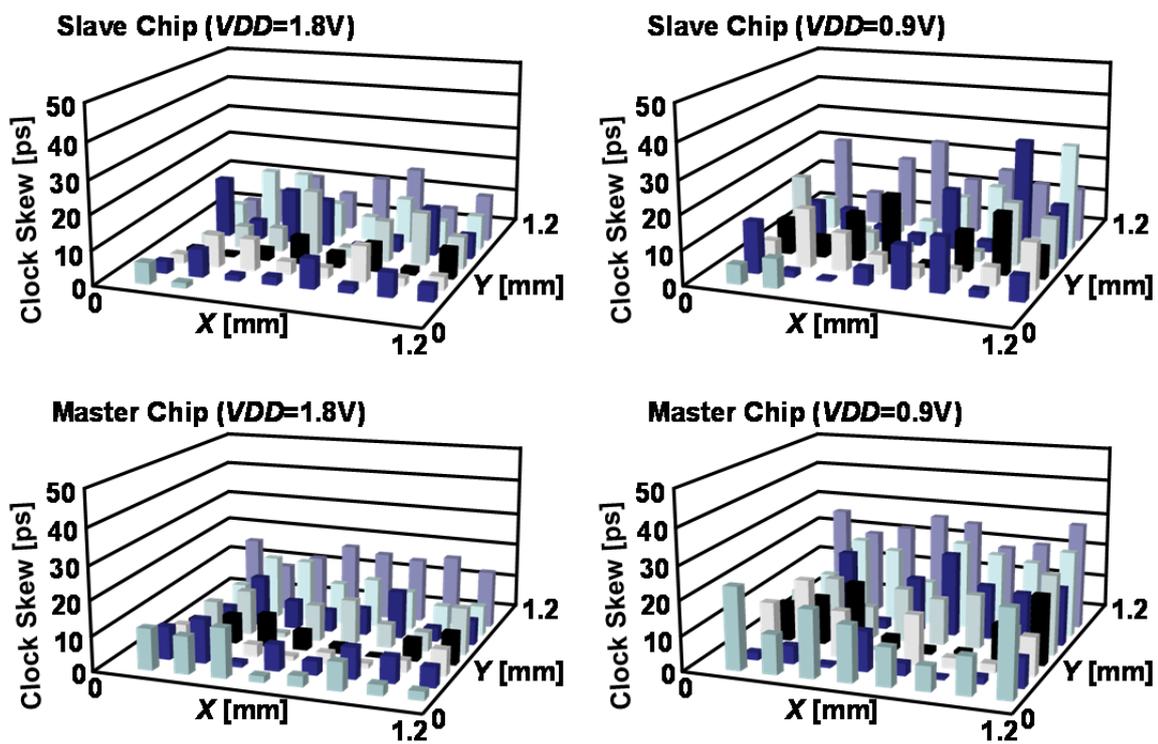


図 4.20 三次元積層されたチップ全体のクロックスキュー分布

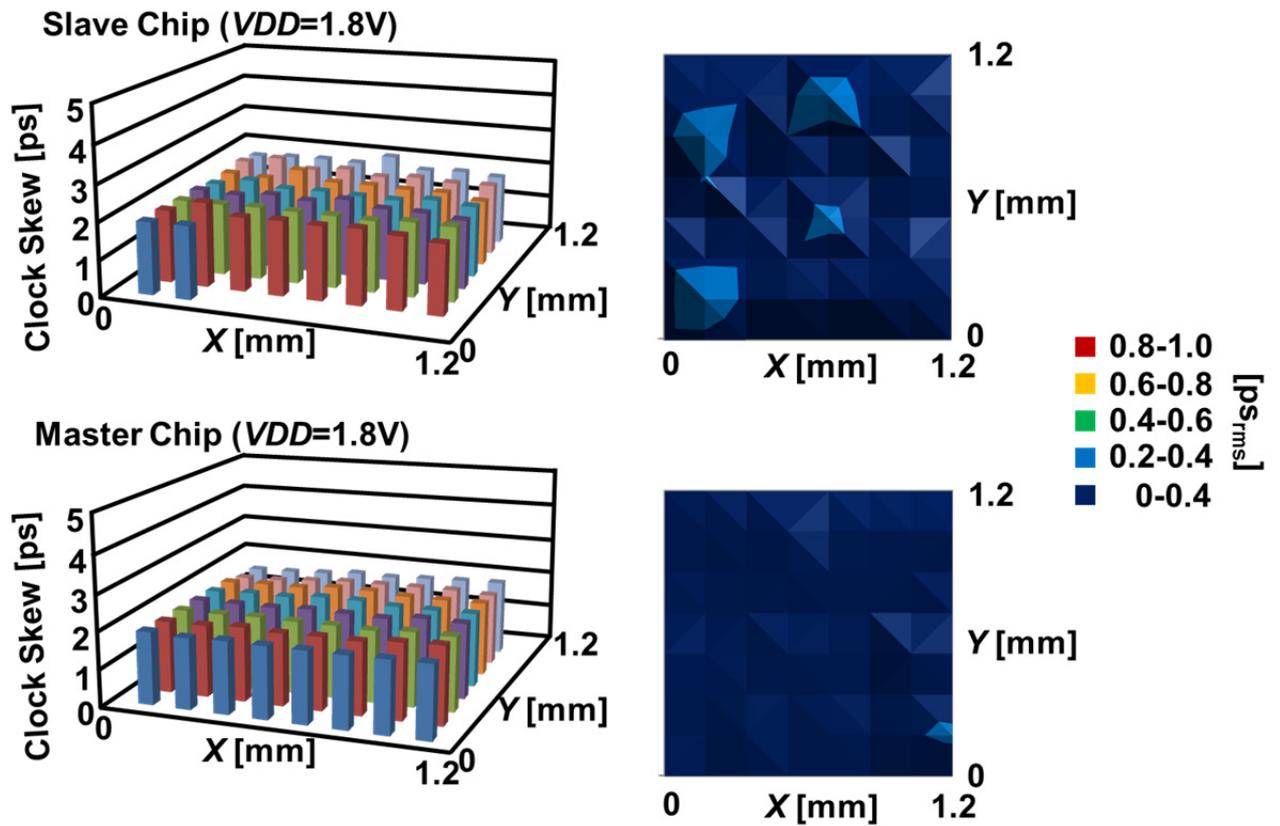


図 4.21 三次元積層されたチップ全体のクロックジッタ分布

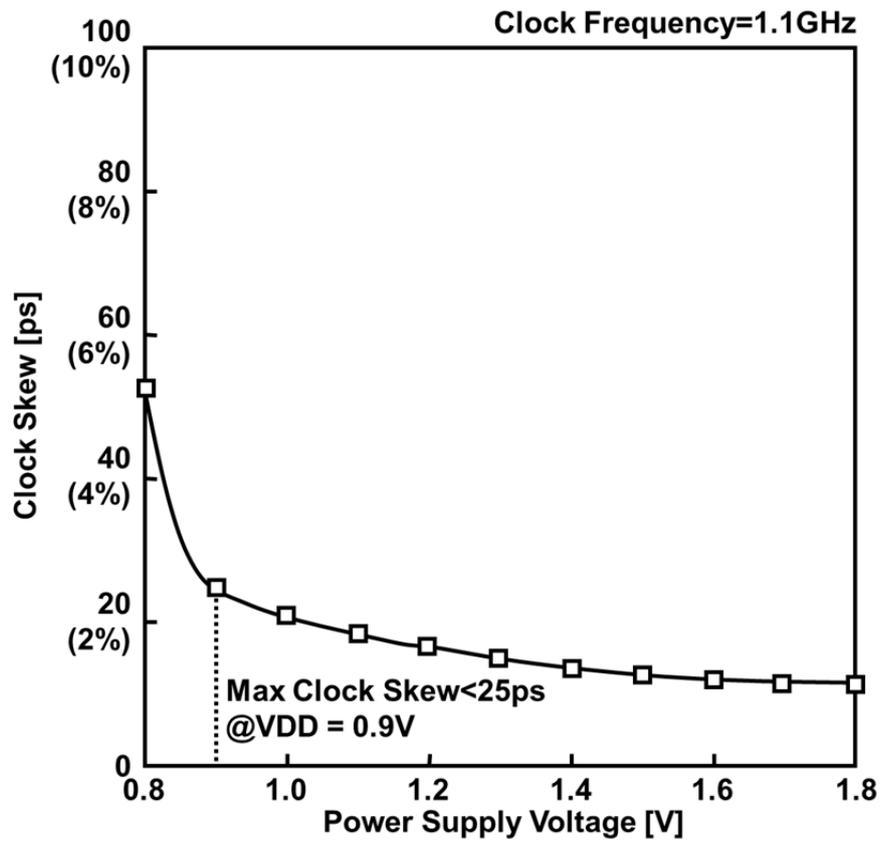


図 4.22 クロックスキューの電源電圧依存性

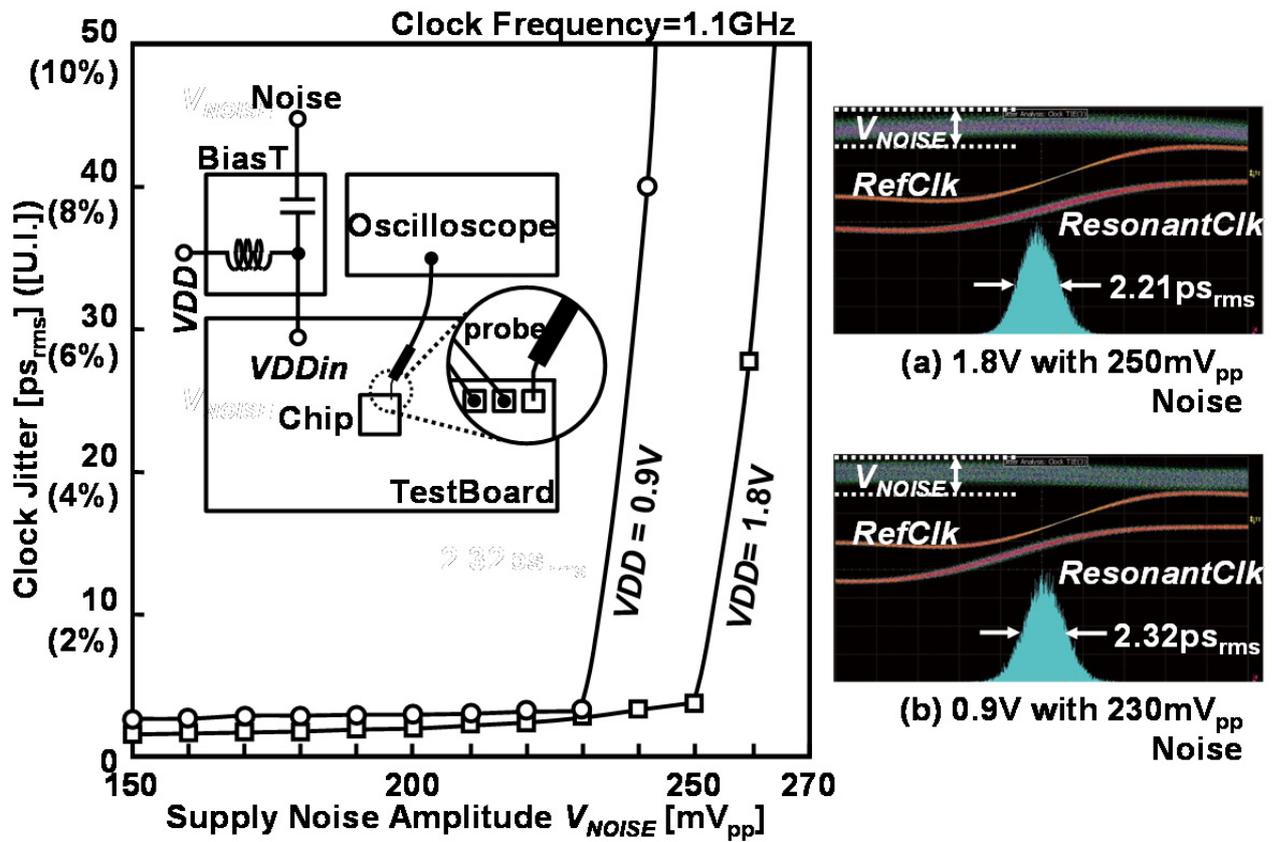


図 4.23 電源ノイズ印可時における RMS ジッタ

表 4.2 クロック分配性能比較

	<b>This Work</b>	<b>CICC 2008</b>	<b>ISSCC 2002</b>
<b>Distribution Scheme</b>	<b>3D (Inductive+RO)</b>	<b>3D (TSV+H-Tree)</b>	<b>2D (H-Tree)</b>
<b>Frequency</b>	<b>1.1 GHz</b>	<b>1.0 GHz</b>	<b>1.1 GHz</b>
<b>Stage (Node)</b>	<b>3 (64)</b>	<b>2 (16)</b>	<b>3 (64)</b>
<b>Skew</b>	<b>&lt;25 ps</b>	<b>&lt;33 ps</b>	<b>&lt;25 ps</b>
<b>Jitter</b>	<b>&lt;1.7 ps<sub>rms</sub></b>	<b>N/A</b>	<b>&lt;5.0 ps</b>
<b>Power</b>	<b>196 mW</b>	<b>260 mW</b>	<b>N/A</b>
<b>Distribution Area</b>	<b>1.2 x 1.2 mm<sup>2</sup></b>	<b>1.0 x 1.0 mm<sup>2</sup></b>	<b>N/A</b>
<b>Power/Area</b>	<b>65.3 mW/mm<sup>2</sup></b>	<b>86.7 mW/mm<sup>2</sup></b>	<b>N/A</b>
<b>Process</b>	<b>0.18 μm</b>	<b>0.18 μm</b>	<b>0.18 μm</b>

---

## 4.7 おわりに

本章では、積層された三次元集積システム全体の協調動作に必要な高精度クロック分配技術について提案した。

チップ平面方向には、結合されたリングオシレータによる共振結合を適用し、チップ垂直方向には、結合された LC 発振器による共振結合を適用し、三次元積層されたチップ全体で共振クロックを分配することを可能とした。加えて、結合された発振器を外部参照クロックに同期させる FL-PP 調律方式を提案し、試作チップで性能評価をした。0.18  $\mu\text{m}$  CMOS プロセスで試作したチップを評価した結果、周波数の調律範囲を従来の 2 倍の 110 MHz に拡大でき、三次元積層されたチップ全体において、18 ps 以内のクロックスキューと 1.72 ps 以下のジッターで外部参照クロックに同期したクロック分配を達成した。

---

## 参考文献 (第 4 章)

- [1] R. Adler, "A study of locking phenomena in oscillators," *Proc.IEEE*, vol. 60, pp. 1380-1385, Oct. 1973.
- [2] S. Nassif, et al., "Delay variability: sources, impacts and trends," *ISSCC Dig. Tech. Papers*, pp. 368-369, Feb. 2000.
- [3] M. Mizuno, et al., "A Noise-Immune GHz-Clock Distribution Scheme Using Synchronous Distributed Oscillators," *ISSCC Dig. Tech. Papers*, pp. 404-405, Feb. 1998.
- [4] Steven C. Chan, et al., "Distributed Differential Oscillators for Global Clock Networks," *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 41, no. 9, pp. 2083-2094, Sep. 2006.
- [5] Phillip J. Restle, et al., "The Clock Distribution of the Power4 Microprocessor," *ISSCC Dig. Tech. Papers*, pp. 404-405, Feb. 2002.
- [6] N. Miura, et al., "A 2.7Gb/s/mm<sup>2</sup> 0.9pJ/b/Chip 1Coil/Channel ThruChip Interface with Coupled-Resonator-Based CDR for NAND Flash Memory Stacking," *ISSCC Dig. Tech. Papers*, pp. 490-491, Feb. 2011.
- [7] N. Miura, et al., "An 11Gb/s Inductive-Coupling Link with Burst Transmission," *ISSCC Dig. Tech. Papers*, pp. 298-299, Feb. 2008.
- [8] Vasilis F. Pavlidis, et al., "Clock Distribution Networks for 3-D Integrated Circuits," *CICC*, pp.651-654, Sep. 2008.

---

## 第 5 章 結論

---

## 5.1 まとめ

ムーアの法則に従う、デバイスの高集積化によって性能向上を達成してきた高性能 LSI は、集積の物理的限界とともに、三次元方向への拡張による性能向上へ転換し始めた。複数のチップを 1 つのパッケージ内に三次元集積する SiP (System in a Package) は、スケールリングに依らずに、少量多品種の高性能 LSI を設計するための、重要な技術である。複数のチップを縦方向に積層することにより、面積ペナルティなくシステムを拡張可能である。積層チップ間の距離は数十 $\mu\text{m}$  オーダであり、配線遅延や信号劣化といった問題も解決される。組合せるチップを選択することにより、チップ設計に変更を加えることなく、システム拡張や変更が容易な点から、少量多品種の製品にも適する。

パッケージ内で積層されたチップ間の通信方式はいくつか存在するが、特にチップ間を無線接続する誘導結合方式は、チップの追加、削除、入替が物理的に容易な点から、システムの拡張を実現する方式として注目されている。多様なシステム間のデータ転送のためにはパケット転送が望ましいが、積層チップ間のデータ通信に用いた場合に、拡張性が高い転送方式と回路技術の研究はこれまでになかった。また、誘導結合を用いてクロックを各チップに転送すると、転送遅延に起因する位相誤差の問題があった。位相誤差の少ないクロックをチップ内で分配する回路技術の研究はこれまでにあったが、積層チップ間で分配する技術はこれまでになかった。

そこで本研究では、誘導結合を用いたパケット転送と磁界の共振結合を用いたクロック分配を提案することを目的とした。

以下に本研究で得られた結論を各章ごとに分けて記述し、最後に総括をする。

---

## 5.2 リング型垂直バブルフローパケット転送 (第 2 章)

本章では、チップの製造後にパッケージ内で組み合わせるチップ枚数、種類を選択し、システム拡張が可能な SiP を構築するための誘導結合インタフェースのためのパケット通信アーキテクチャについて提案した。ルーティング情報の変更なしに、チップの追加、削除、入替を容易に可能とする片方向リングネットワークを形成する。動的に送受信モードを切り替え可能な誘導結合送受信機を用いることで、双方向リングネットワークに拡張することも可能である。上記の柔軟性を保ちながら、デッドロックを回避するための垂直バブルフローパケット転送方式を利用した誘導結合リング型ネットワークを提案し、従来の仮想チャネルを用いた手法、共有バス方式との性能評価を行った。垂直バブルフロー方式を利用した片方向誘導結合リング型ネットワークは、仮想チャネルを用いたリング型ネットワークと比べ、33.5%の小面積化を図りながら、最大で 12.5%のスループット向上を達成した。片方向を双方向に拡張した双方向誘導結合リング型ネットワークでは、片方向に比べ、20.7%のスループット向上（実行時間比較）を達成した。

---

### 5.3 誘導結合型注入同期 CDR と 1 コイルリピート伝送 (第 3 章)

本章では、第 2 章で示したパケット転送をより広帯域にする誘導結合インタフェースの回路技術について提案した。磁界はコイルの上下に等しく放射されるため、送信したデータが送信先でリピート転送される際に、データは送信元にも戻り、次に送信されるデータと衝突する。これを避けるためには、データとクロックの転送に合計 6 つのコイルが必要であった。そこで、データからクロックを再生する誘導結合型注入同期クロック再生回路を提案し、クロック用のコイルを不要にした。さらに、リピート転送時にデータが衝突しないように、次のデータの送信タイミングを調整する 1 コイルリピート伝送技術を提案した。その結果、1 つのコイルでリピート転送できるようになった。0.18  $\mu\text{m}$  CMOS プロセスで試作したチップを評価して、単位面積あたりの通信帯域を従来に比べて 6 倍広い 730 Gb/s/mm<sup>2</sup>にできることを実証した。

---

## 5.4 共振結合を用いたクロック分配 (第 4 章)

本章では、積層された三次元集積システム全体の協調動作に必要な高精度クロック分配技術について提案した。

チップ平面方向には、結合されたリングオシレータによる共振結合を適用し、チップ垂直方向には、結合された LC 発振器による共振結合を適用し、三次元積層されたチップ全体で共振クロックを分配することを可能とした。加えて、結合された発振器を外部参照クロックに同期させる FL-PP 調律方式を提案し、試作チップで性能評価をした。0.18  $\mu\text{m}$  CMOS プロセスで試作したチップを評価した結果、周波数の調律範囲を従来の 2 倍の 110 MHz に拡大でき、三次元積層されたチップ全体において、18 ps 以内のクロックスキューと 1.72 ps 以下のジッターで外部参照クロックに同期したクロック分配を達成した。

---

## 5.5 総括

本研究では、拡張性が高く単位面積あたりの通信帯域が広いパケット転送方式と回路技術として、誘導結合を用いたパケット転送と磁界の共振結合を用いたクロック分配を提案した。

本研究の開発成果によって、次のことを達成し、多品種で大規模なシステムを SiP として実装し、システムの小型化を実現する。積層するチップの枚数や種類を問わずに、ハードウェア資源を増加させることなく組合せることを可能とした。IP 化されたチップを組み合わせるだけで、多品種なシステムを構築、小型化することを可能とした（第 2 章）。チップ間誘導結合インタフェースの面積あたりの帯域は、730 Gb/s/mm<sup>2</sup> にまで向上され、マルチコアプロセッサやメモリ等の通信帯域要求が広帯域であるチップも、チップ性能を律速せずに複数段の積層が可能となった（第 3 章）。三次元積層されたチップ全体の回路ブロックは、外部参照クロックに同期したクロックによってタイミングが共有されるため、設計段階で他の回路ブロックとの同期設計が簡略化、もしくは不要となった（第 4 章）。

---

## 5.6 今後の展望

本研究では、拡張性が高く単位面積あたりの通信帯域が広いパケット転送方式と回路技術として、誘導結合を用いたパケット転送と磁界の共振結合を用いたクロック分配を提案した。拡張性を高めることで、少量多品種な高性能 LSI を、より短い開発工数、低コストで実現する。本研究で得られた成果によって、設計段階で意図しないチップ組合せにおいても、デッドロックフリーであるパケット通信が構成され、CMPs といった、より大規模なシステムに対応するチップ間通信帯域が、誘導結合インタフェースによって実現される。しかしながら、より多くのベンダやメーカーが、意図したシステムを柔軟に構成するためには、課題も残されている。チップ間通信のアーキテクチャは本研究成果によって、拡張性が保証されるものの、積層チップ間で予め定義する必要のあるコイル位置、電源供給に用いるワイヤ、もしくはテープ、貫通ビアの本数や位置といった積層に際する物理的制約が、拡張性を限定的にする。

コイル位置は、チップ内の上層配線を用いることで、下層配線を用いてレイアウトされる回路ブロックの上空に配置することが可能である。しかしながら、コイルが他の回路ブロックに与える影響、回路ブロック内の配線パターンが誘導結合通信に与える影響評価はまだ不十分である。本評価が定量的に行われることにより、コイル配置は上層配線によって、チップ内で自由度を向上し、拡張性の向上に寄与する。

電源供給は、チップ間無線給電により、物理的な有線接続を除去することで拡張性を向上することが可能である。しかしながら、チップ間無線給電は、低い電力伝送効率が課題である。

コイルと他の回路ブロック間の干渉評価、ならびにチップ間の電源供給については、これからの研究課題である。これらの積層に際する物理的制約が緩和されることにより、より多品種で大規模なシステムが SiP として小型化されることが期待される。

---

# 謝辞

本研究は、慶應義塾大学大学院 理工学研究科 総合デザイン工学専攻 スマートデバイス・システム工学専修 黒田研究室において、黒田 忠広 教授のご指導の下に行われたものです。本研究の遂行にあたり、多大なご指導、ご鞭撻を賜りました。大学教育の枠を超えた研究の機会や国際交流の機会を与えて頂き、大変多くのことを経験させて頂きました。慶應義塾大学 理工学部 教授 黒田 忠広 博士に心から深く感謝申し上げます。

また、本論文に対して、多くの有益なご指導、ご助言をいただきました慶應義塾大学 理工学部 教授 天野 英晴 博士、同 教授 石黒 仁揮 博士、同 准教授 中野 誠彦 博士に心から深く感謝申し上げます。特に、天野 英晴 博士には、異なる専修ならびに専攻の視点から、本研究に多くの技術的なご指導、ご助言を頂きました。重ねてお礼申し上げます。

慶應義塾大学 理工学部 情報工学科 専任講師 松谷 宏紀 博士には、通信アーキテクチャの基礎から応用に至るまでの幅広いご指導、ならびに論文誌の執筆に際しても多大なるご助力を頂きました。心から深く感謝申し上げます。

そして、本研究の遂行にあたり、さまざまなご協力を頂きました、慶應義塾大学 理工学部 黒田研究室の皆様には感謝いたします。特に、先輩の三浦 典之 博士には、研究だけでなく、論文の書き方や論理的思考など、研究者としての基礎を徹底的に教えて頂きました。研究員の四手井 綱章 氏には、研究の環境を整備頂くと共に、技術的な課題に直面した際には、的確なご助言を頂きました。この場を借りて、深く感謝申し上げます。同輩の相川 伊織 氏、浅野 雄一 氏、阿部 敬之 氏、中野 慎也 氏、山下 雄太 氏には、黒田研究室在籍中、そして卒業後にも親しくして頂きました。各分野の一線で活躍する同輩に恵まれ、私の財産となりました。大変優秀な後輩にも囲まれ、刺激を受けると共に、公私共に多くの時間を共有させてもらえたことに感謝しております。特に、小菅 敦丈 氏、石川 敬祐 氏には、同輩のように多くの有意義な時間を共有させてもらえたことに感謝しております。

最後に、研究を遂行する上で、献身的な援助、協力をしてくれた家族に心からの感謝の意を表します。

2015年3月

---

## 著者論文目録

### 原著論文

- [1] Yasuhiro Take, Noriyuki Miura, and Tadahiro Kuroda, "A 30 Gb/s/Link 2.2 Tb/s/mm<sup>2</sup> Inductively-Coupled Injection-Locking CDR for High-Speed DRAM Interface," *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 46, no. 11, pp. 2552-2559, Nov. 2011.
- [2] Yasuhiro Take, Hiroki Matsutani, Daisuke Sasaki, Michihiro Koibuchi, Tadahiro Kuroda, Hideharu Amano, "3D NoC with Inductive-Coupling Links for Building-Block SiPs," *IEEE Transactions on Computers*, vol. 63, no. 3, pp. 748-763, Mar. 2014.
- [3] Yasuhiro Take, Tadahiro Kuroda, "Relay Transmission ThruChip Interface with Low-Skew 3D Clock Distribution Network," *IEICE Transactions on Electronics*, vol. E98-C, no. 4, Apr. 2015. [Accepted for publication]

### 共著論文

- [1] Hao Zhang, Hiroki Matsutani, Yasuhiro Take, Tadahiro Kuroda, Hideharu Amano, "Vertical Link On/Off Regulations for Inductive-Coupling Based Wireless 3-D NoCs," *IEICE Transactions on Information and Systems*, vol. E96-D, no. 12, pp. 2753-2764, Dec. 2013.
- [2] Noriyuki Miura, Yusuke Koizumi, Yasuhiro Take, Hiroki Matsutani, Tadahiro Kuroda, Hideharu Amano, Ryuichi Sakamoto, Mitaro Namiki, Kimiyoshi Usami, Masaaki Kondo, Hiroshi Nakamura, "A Scalable 3D Heterogeneous Multicore with an Inductive ThruChip Interface," *IEEE Micro*, vol. 33, no. 6, pp. 6-15, Dec. 2013.

### 国際会議

- [1] Yasuhiro Take\*, Noriyuki Miura, and Tadahiro Kuroda, "A 30Gb/s/link 2.2Tb/s/mm<sup>2</sup> Inductively-Coupled Injection-Locking CDR," *IEEE Asian Solid-State Circuits Conference (A-SSCC'10), Dig. Tech. Papers*, pp. 81-84, Nov. 2010.
- [2] Yasuhiro Take\*, Hayun Chung, Noriyuki Miura, and Tadahiro Kuroda, "Simultaneous Data and Power Transmission using Nested Clover Coils," *17th Asia and South Pacific Design Automation Conference (ASP-DAC'12), Proceedings*, pp. 555-556, Jan. 2012.

- 
- [3] Yasuhiro Take\*, Noriyuki Miura, Hiroki Ishikuro, and Tadahiro Kuroda, "3D Clock Distribution Using Vertically/Horizontally Coupled Resonators," *IEEE International Solid-State Circuits Conference (ISSCC'13), Dig. Tech. Papers*, pp. 258-259, Feb. 2013.

#### 国内会議

- [1] Yasuhiro Take\*, Noriyuki Miura, and Tadahiro Kuroda, "A 30 Gb/s/link 2.2 Tb/s/mm<sup>2</sup> Inductively-Coupled Injection-Locking CDR," *IEEE SSCS Kansai Chapter Technical Seminar*, Dec. 2010.

#### その他

- [1] 受賞 平成 22 年度 慶應義塾大学理工学部電子工学科 優秀卒業論文賞
- [2] 受賞 平成 24 年度 慶應義塾大学大学院理工学研究科総合デザイン工学専攻 優秀研究活動賞