

Title	ワイヤレス3次元ネットワークオンチップの最適化
Sub Title	Optimization techniques for wireless 3-D Network-on-Chips
Author	松谷, 宏紀(Matsutani, Hiroki)
Publisher	
Publication year	2013
Jtitle	科学研究費補助金研究成果報告書 (2012.)
JaLC DOI	
Abstract	3次元ICでは、必要なチップを積層することで、新たにマスクパターンを作り直すことなく、様々なLSIシステムを構築できる。本研究では、各チップ内の部品同士をつなぐチップ内ネットワーク、および、チップ間無線技術を用いてパッケージ内のチップ同士をつなぐチップ間ネットワークを統合したワイヤレス3次元Network-on-Chipの最適化手法を研究した。具体的には、アプリケーションのトラフィックパターンに応じてルーティングに用いる木構造を最適化する手法を提案した。
Notes	研究種目：研究活動スタート支援 研究期間：2011～2012 課題番号：23800053 研究分野：工学 科研費の分科・細目：計算機システム・ネットワーク
Genre	Research Paper
URL	https://koara.lib.keio.ac.jp/xoonips/modules/xoonips/detail.php?koara_id=KAKEN_23800053seika

慶應義塾大学学術情報リポジトリ(KOARA)に掲載されているコンテンツの著作権は、それぞれの著作者、学会または出版社/発行者に帰属し、その権利は著作権法によって保護されています。引用にあたっては、著作権法を遵守してご利用ください。

The copyrights of content available on the KeiO Associated Repository of Academic resources (KOARA) belong to the respective authors, academic societies, or publishers/issuers, and these rights are protected by the Japanese Copyright Act. When quoting the content, please follow the Japanese copyright act.

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成25年 3月31日現在

機関番号：32612

研究種目：研究活動スタート支援

研究期間：2011～2012

課題番号：23800053

研究課題名（和文） ワイヤレス3次元ネットワークオンチップの最適化

研究課題名（英文） Optimization Techniques for Wireless 3-D Network-on-Chips

研究代表者

松谷 宏紀 (Hiroki Matsutani)

慶應義塾大学・理工学部・専任講師

研究者番号：70611135

研究成果の概要（和文）：

3次元ICでは、必要なチップを積層することで、新たにマスクパターンを作り直すことなく、様々なLSIシステムを構築できる。本研究では、各チップ内の部品同士をつなぐチップ内ネットワーク、および、チップ間無線技術を用いてパッケージ内のチップ同士をつなぐチップ間ネットワークを統合したワイヤレス3次元Network-on-Chipの最適化手法を研究した。具体的には、アプリケーションのトラフィックパターンに応じてルーティングに用いる木構造を最適化する手法を提案した。

研究成果の概要（英文）：

Three-dimensional integration enables us to build a custom LSI system to by stacking necessary chips without remaking LSI mask patterns. This research investigates optimization techniques for the wireless 3-D Network-on-Chip that integrates intra-chip networks for connecting cores on each chip and an inter-chip wireless network for connecting these chips in a package. More specifically, we propose methods to optimize tree structures used for packet routing in response to application traffic patterns.

交付決定額

（金額単位：円）

	直接経費	間接経費	合 計
2011年度	1,300,000	390,000	1,690,000
2012年度	1,200,000	360,000	1,560,000
年度			0
年度			
年度			
総 計	2,500,000	750,000	3,250,000

研究分野：工学

科研費の分科・細目：計算機システム・ネットワーク

キーワード：計算機アーキテクチャ、結合網、Network-on-Chip、ルーティング、3次元IC

1. 研究開始当初の背景

シングルプロセッサの性能向上が頭打ちになりつつある昨今、複数プロセッサから成

るマルチコアプロセッサ、多数のプロセッサから成るメニーコアプロセッサが盛んに研究開発されている。例えば、2010年頃に Intel

社が発表した Intel Single-chip Cloud Computer (SCC) は 48 個の IA32 プロセッサを搭載している。TILERA 社の TILE Gx100 では 100 個の VLIW プロセッサを搭載している。最近では、Intel 社は 60 個のプロセッサを搭載した Xeon Phi を製品化した。このように 1 チップに集積されるプロセッサの数は年を追うごとに増えている。

これまで様々な演算粒度のマルチ・ミニコアアーキテクチャが研究されてきたが、デスクトップ用途・サーバ用途では共有メモリ型の Chip Multi-Processor (CMP) が広く用いられている。共有メモリ型 CMP では、例えば、1 チップを 16 個のタイルに分割し、各タイルにはプロセッサ、L1 キャッシュ、L2 キャッシュを実装するなどする。そして、これらのタイルを 4x4 の 2 次元メッシュトポロジ（平面 NoC）などで接続する。

このような CMP では様々なアプリケーションが動作するが、アプリケーションには、メモリ帯域が性能のボトルネックになるもの（memory-bound なアプリケーション）とプロセッサの演算能力が性能のボトルネックになるもの（computation-bound なアプリケーション）がある。そのため、性能向上のために取るべきアプローチ（メモリ帯域を増やす、もしくは、プロセッサ数を増やす）はアプリケーションごとに異なってくる。

2. 研究の目的

本研究の目的は、対象アプリケーションに合わせて CMP のプロセッサ数やキャッシュバンク数をカスタマイズできるようにし、高いコスト性能を実現できるようにすることである。

3. 研究の方法

3. 1 3 次元積層方法

現状の SoC では、チップ内の構成を変更するには、新たなマスクパターンを開発する必要がある、チップの製造コストが高騰している。昨今、アプリケーションに合わせて CMP をカスタマイズすることは費用対効果の点で困難になりつつある。一方、出来合いのチップを積層してシステムを構築する 3 次元 IC では、アプリケーションに合わせてチップを選択することができる。具体的には、computation-bound なアプリケーションにはプロセッサチップの数を増やし、memory-bound なアプリケーションにはキャッシュチップの数を増やすれば良い。

このような 3 次元 CMP を実現するための積層技術として、ワイヤボンディング、マイクロバンプ、貫通ビア (Through Silicon Via、TSV)、容量結合、誘導結合などが実用化されている。このうちワイヤボンディング、マイクロバンプ、TSV はチップ同士を有線で接

続する。一方、容量結合と誘導結合はチップ同士を非接触（ワイヤレス）で接続する。これまでの 3 次元 CMP に関する研究の多くは有線方式を想定しているが、本研究の目的はアプリケーションごとに CMP の構成を最適化することである。非接触の無線方式を用いれば、同一パッケージ内で、検査済みチップの追加、削除、入れ替えが可能となり CMP の構成変更が容易になる。そこで、本研究では 3 次元積層技術として非接触の無線方式を想定することにする。なお、申請者らは、平成 22 年度より、チップ内のモジュール同士をつなぐ複数の 2 次元 NoC を、チップ間無線技術を用いて統合したワイヤレス 3 次元 NoC の研究を開始し、単一の片方向リングから成る最もシンプルなワイヤレス 3 次元 NoC のプロトタイプチップを 65nm プロセスを用いて試作するなど、無線方式を用いた 3 次元積層についてすでに実績がある。

3. 2 ワイヤレス 3 次元 CMP

本研究では図 1 に示す 2 次元 CMP をベースに、ワイヤレス 3 次元 CMP を実現する。無線を用いた 3 次元積層技術を用いることで、出来合いのマルチコアチップを積層して、グローバルなワイヤレス 3 次元ネットワークを構築する。例えば、図 2 のように、メモリメーカーが製造した 8 個のキャッシュバンクを持つメモリチップ (図 2 Type A)、プロセッサメーカーが製造した 4 コアの CPU チップ (図 2 Type C) を 1 つの SiP (System-in-Package) として統合することを考える。この場合、チップごとにメーカーが異なるため、各チップの平面ネットワークトポロジは実際に積層するまで予期できない。

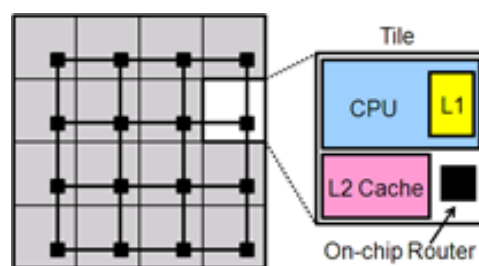


図 1: オリジナルの 2 次元 CMP

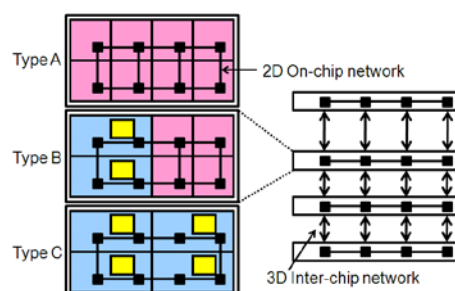


図 2: ワイヤレス 3 次元 CMP

3. 3 ワイヤレス 3 次元 NoC

本研究で提案したワイヤレス 3 次元 NoC では、チップ積層後に各チップの平面 NoC のトポロジ情報を SiP 全体で交換し、そのトポロジ情報に基づき動的にルーティング経路を設定する。これは、規則的なネットワークトポロジを用い、かつ、動的にトポロジが変更されることがあり得ない既存の 3 次元 NoC の研究とは仮定がまったく異なる。具体的には、本ワイヤレス 3 次元 NoC では、選任アルゴリズムによって決定されたプロセッサがトポロジ情報の収集を行う。

このようにして得られたトポロジ情報を基に、並列計算機向け不規則ネットワークで用いられる Up*/down*ルーティングを使って 3 次元 NoC 内のパケットルーティングを行う。Up*/down*ルーティングではスパニングツリーに基づきパケットの転送方向を決めることでデッドロックを防ぐことができるが、スパニングツリーのルート上の物理的な位置に応じて、ネットワーク性能が大幅に影響を受ける。そこで、本研究では、3 次元 CMP のアーキテクチャと通信パターンに応じてスパニングツリーのルートを選択することで、ワイヤレス 3 次元 NoC の高性能化も狙う。

3. 4 フロー制御およびルーティング

まず、ワイヤレス 3 次元 NoC 向けルーティングプロトコルの検討を行った。NoC では広域ネットワークで利用される store and forward 方式のフロー制御が使われることはほとんど無く、通信遅延の小さい wormhole 方式、もしくは、virtual cut-through (VCT) 方式が一般的である。しかし、wormhole 方式や VCT 方式では、パケット転送のデッドロックを防ぐためにデッドロックフリールーティングを用いる必要がある。とりわけ、ワイヤレス 3 次元 NoC では既知の規則的なトポロジを仮定できないため、不規則ネットワーク向けのデッドロックフリールーティングを用いる。そのために、並列計算機向けネットワークで利用されてきた Up*/down*ルーティングを応用する。Up*/down*ルーティングではスパニングツリーに基づきルーティングの方向を決めることで、循環依存を防ぎ、デッドロックを回避する。しかし、スパニングツリーのルート付近にルーティング経路が集中するため、選択するスパニングツリールートに応じてネットワーク性能が大幅に左右される。CMP の場合、プロセッサから L2 キャッシュへの要求、L2 キャッシュから主記憶の要求、L2 からプロセッサへの応答など様々なメッセージが流れるが、CMP のアーキテクチャによって通信の傾向はある程度決まってくる。本研究では CMP のアーキテクチャ、タスクの割り当て、ネットワークの混雑度に応じてスパニングツリールートを選択する。

るための手法を提案した。

3. 5 シミュレーション環境の構築

提案するアイデアは、ワイヤレス 3 次元 CMP シミュレータ上で評価および改良等を行った。計算機アーキテクチャの研究においては、提案手法を性能とコストについて網羅的に評価する必要がある。新しい機能を追加すれば性能は向上するが、その分、面積や消費電力が増える可能性がある。提案手法を正しく評価するにはこのようなトレードオフを明らかにすることが求められる。

そこで、まず、Verilog-HDL と呼ばれるハードウェア記述言語を用いて設計したオンチップルータのハードウェアモデル同士をつなぎ、サイクルレベルで正確な挙動をするネットワークシミュレータを構築した。これを用いて、ネットワークのスループット性能、ホップ数、通信遅延などを評価できるようにした。また、設計したハードウェアモデルを論理合成、配置配線することで、ネットワークのハードウェア量、消費電力、消費エネルギー、動作速度を測定できるようにした。

次に、フルシステムシミュレーション環境を構築した。これには、Windriver 社の Simics と呼ばれるプロセッサシミュレータを、ウィスコンシン大学が開発した GEMS と呼ばれるメモリ・結合網シミュレータと組み合わせ、ワイヤレス 3 次元 CMP のフルシステムシミュレーション環境を構築した。GEMS/Simics によって、UltraSPARC ベースの多数のプロセッサと L2 キャッシュバンク、主記憶が NoC で接続された構成をシミュレーションできるようにした。さらに、このシミュレータ上で Sun Solaris などのオペレーティングシステム、Sun Studio などの開発環境が動作するので、対象メニーコア上でベンチマークプログラムをコンパイル、動作させることができる。これによって、ワイヤレス 3 次元 CMP 上でアプリケーションを動作させたときの性能や消費電力を測定できるようになった。

4. 研究成果

本研究の主要な研究成果は、ワイヤレス 3 次元 CMP 向けに 2 種類のルーティング手法を提案したことである (図 3)。

1 つ目は Ring ベースの手法であり、図 3 左に図示するように、垂直方向に 1 つの双方向リングトポロジを形成する。この垂直リングでは、垂直バブルフロー制御と呼ばれるフロー制御を用いて仮想チャネルを用いず、低コストでデッドロックフリーを実現している (垂直バブルフロー制御の詳細は業績 [1] をご参照ください)。本成果は、計算機アーキテクチャの分野で最も権威ある国際ジャーナルの 1 つである IEEE Trans. on Computers

への採録が決まっている[1]。

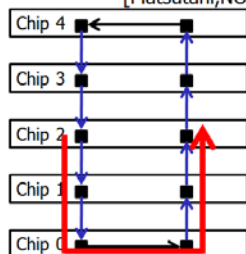
● Ringベースの手法

利点- チップの追加や削除が容易

欠点- 転送ホップ数が大きくなる

欠点- スケーラビリティに乏しい

[Matsutani, NOCS'11]



● Irregularベースの手法

- 水平方向のリンクを有効活用

- Up*/down*ルーティング使用

- ツリーのルート最適化が必要

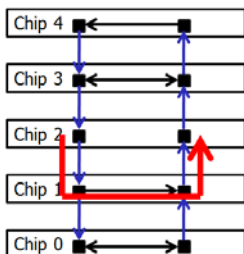


図3：本研究で提案したルーティング手法

この Ring ベースの手法はルーティングに修正を加えずにチップを追加、削除、入れ替えできるという利点があるものの、チップ数の増加とともに転送ホップ数が大きくなってしまいうという本質的な欠点を抱えている。そこで、任意の不規則トポロジを利用可能としたものが2つ目の提案である Irregular ベースの手法である (図3右)。この手法では Up*/down*ルーティングに加え、3章で述べたスパニングツリーの最適化手法を用いて高効率な通信を実現できるようになった。本成果は、設計自動化に関する国際会議 ASP-DAC' 13 で発表し[2]、Best Paper Award を受賞 (投稿 311 件、受賞は 2 件) した。本研究については、さらに、「ダイの差し替えが容易な 3 次元 IC、慶大らが無線接続技術の応用で提案」として日経 BP 社 Tech-On! においても紹介された。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕 (計 1 件)

[1] Yasuhiro Take, Hiroki Matsutani, Daisuke Sasaki, Michihiro Koibuchi, Tadahiro Kuroda, Hideharu Amano, "3-D NoC with Inductive-Coupling Links for Building-Block SiPs", IEEE Transactions on Computers (TC), 査読有, 2013 年発行予定 (採録決定済み), DOI コード 10.1109/TC.2012.249

〔学会発表〕 (計 2 件)

[2] Hiroki Matsutani, Paul Bogdan, Radu Marculescu, Yasuhiro Take, Daisuke Sasaki, Hao Zhang, Michihiro Koibuchi, Tadahiro Kuroda, Hideharu Amano, "A Case for Wireless 3D NoCs for CMPs", Proc. of the 18th Asia and South Pacific Design

Automation Conference (ASP-DAC' 13), pp.23-28, Yokohama, 2013 年 1 月発表, DOI コード 10.1109/ASPDAC.2013.6509553

[3] Hiroki Matsutani, Yuto Hirata, Michihiro Koibuchi, Kimiyoshi Usami, Hiroshi Nakamura, Hideharu Amano, "A Multi-Vdd Dynamic Variable-Pipeline On-Chip Router for CMPs", Proc. of the 17th Asia and South Pacific Design Automation Conference (ASP-DAC' 12), pp.407-412, Sydney, Australia, 2012 年 1 月発表, DOI コード 10.1109/ASPDAC.2012.6164982

〔産業財産権〕

○取得状況 (計 1 件)

名称: 三次元集積電気回路の配線構造及びそのレイアウト方法

発明者: 鯉淵 道紘、松谷 宏紀

権利者: 大学共同利用機関法人情報・システム研究機構

種類: 特許

番号: 特許第 5 0 2 4 5 3 0 号

取得年月日: 2 0 1 2 年 6 月 2 9 日 (登録日)

国内外の別: 国内

〔その他〕

ホームページ:

<http://www.arc.ics.keio.ac.jp/~matutani/index.j.html>

受賞:

"Best Paper Award", The 18th Asia and South Pacific Design Automation Conference (ASP-DAC' 13). (投稿 311 件、受賞は 2 件)

ニュース:

"【ASP-DAC 2013】3 次元実装 LSI や温度・電力シミュレーションの一般講演に注目", 日経 BP 社 Tech-On!, 2013 年 1 月 20 日.

"【ASP-DAC 2013 続報】ダイの差し替えが容易な 3 次元 IC、慶大らが無線接続技術の応用で提案", 日経 BP 社 Tech-On!, 2013 年 3 月 12 日.

6. 研究組織

(1) 研究代表者

松谷 宏紀 (Hiroki Matsutani)

慶應義塾大学・理工学部・専任講師

研究者番号: 70611135

(2) 研究分担者

なし

(3) 連携研究者

なし