

極低温動作 MOSFET の界面特性についての 実験的研究

2025 年 4 月

下方駿佑

学位論文 博士（工学）

極低温動作 MOSFET の界面特性についての
実験的研究

2025 年 4 月

慶應義塾大学大学院理工学研究科

下方駿佑

目次

第1章 研究背景	1
1.1 計算機技術の進展と近年の動向	1
1.2 量子コンピュータ	2
1.3 半導体量子ビット素子	5
1.4 クライオ CMOS 制御機器	6
1.5 極低温下での MOSFET 動作のデバイス物理と現在の状況	7
1.5.1 MOSFET の動作原理	8
1.5.2 電子統計	11
1.5.3 真性電子密度	13
1.5.4 バンドギャップの温度依存性	14
1.5.5 フェルミ準位の温度依存性	15
1.5.6 バンド端準位	16
1.5.7 しきい値電圧	18
1.5.8 サブスレッショルドスイング	20
1.5.9 移動度	22
1.5.10 信頼性	24
1.5.11 TCAD	27
1.5.12 モデリング	28
1.6 極低温動作 MOSFET の現況	29
1.7 界面改善プロセス	30
1.7.1 重水素アニール	30
1.7.2 高圧水素アニール	31
1.8 本研究の目的	33
参考文献	34
第2章 実験方法	47
2.1 使用したデバイス	47
2.2 デバイス作製方法	48
2.2.1 素子分離	49
2.2.2 ゲートスタック	50
2.2.3 ソース・ドレイン領域の形成	50

2.2.4 層間絶縁膜堆積、配線コンタクト	51
2.2.5 水素アニール	51
2.2.6 裏面コンタクトの形成	52
2.2.7 重水素アニール	54
2.2.8 高圧水素アニール.....	54
2.3 デバイス作製に用いた装置.....	55
2.3.1 枚葉式洗浄装置	55
2.3.2 汚染検査装置	57
2.3.3 熱処理装置.....	58
2.3.4 成膜装置	60
2.3.5 エッチング装置	63
2.3.6 リソグラフィ	64
2.4 低温特性評価方法	66
2.4.1 装置構成	66
2.4.2 サブスレッショルドスイングの実験的導出	67
2.4.3 しきい値電圧の実験的抽出.....	68
2.4.4 移動度の実験的測定	69
2.4.5 チャージポンピング法	71
2.4.6 ホットキャリア注入	75
2.4.7 ノイズ測定.....	76
参考文献.....	78
第3章 極低温下でのホットキャリア劣化の起源.....	81
3.1 序論	81
3.2 実験方法	81
3.3 結果と考察	82
3.3.1 ストレスバイアス条件の決定	82
3.3.2 300 K と 4 K における MSM による評価.....	83
3.3.3 ストレス印加後の動作温度依存性	86
3.3.3 モデルを用いたしきい値電圧の温度依存性の見積り	89
3.4 結論	95
参考文献.....	97
第4章 重水素アニールの極低温特性への効果	99

4.1 序論	99
4.2 実験方法	99
4.3 結果と考察	100
4.3.1 特性の評価	100
4.3.2 ホットキャリア耐性の検証	106
4.4 結論	114
参考文献	115
第5章 追加高圧水素アニールの極低温特性への効果	116
5.1 序論	116
5.2 実験方法	116
5.3 結果と考察	116
5.3.1 追加高圧水素アニールによる極低温特性の改善	116
5.3.2 極低温下でのホットキャリア耐性への寄与	128
5.4 結論	129
参考文献	131
第6章 まとめと今後の展望	134
謝辞	136
研究業績リスト	I

第1章 研究背景

1.1 計算機技術の進展と近年の動向

今日の情報社会は計算機技術の発展によってもたらされてきた。この発展をけん引してきたのは半導体集積回路の微細化である。1965年にゴードン・ムーアが提唱した「集積機能のコンポーネント数は年ごとに2倍になる」という経験則[1]は、今日ではムーアの法則として知られる。この経験則に沿おうとする絶え間ない努力により、集積回路製造業界は現在の発展を遂げてきた。集積回路の大部分を占める素子はトランジスタであり、集積回路の発展はトランジスタの微細化に寄るところが大きかった。現在集積回路を構成するトランジスタの多くは MOSFET (Metal-Oxide Semiconductor Field Effect Transistor) であり、MOSFET は理想的なスケーリングにより消費電力はそのままに、性能が向上するためである。現在我々が手にするコンピュータには数百億個の MOSFET が集積されている。過去幾度か、MOSFET の微細化は限界に達すると予想されたが、そのたびに革新的な技術が提案され、今日でもデバイスの発展は継続中である。図 1.1 にトランジスタの微細化の進展傾向を示す。

しかしながら近年では微細化の難易度が上昇しており、単純な微細化によるプロセッサの性能向上は鈍化傾向にある。図 1.1 から、テクノロジーノードと実際のゲート長には 2010 年代から乖離が生じていることがわかる。このような中でも、現行技術を進展させ、集積度を向上させようとする動きは活発に行われている。集積回路のデザインとテクノロジーをともに最適化する DTCO (Design Technology Co-Optimization : 設計・製造協調最適化) [2] や、システムをもとに最適化する STCO (System Technology Co-Optimization : システム・製造協調最適化) [3] などの技術開発が進められてきている。もちろんデバイス構造の発展も進められており、2024 年現在、Samsung、TSMC、Intel をはじめとした半導体製造企業は、チャネルをゲートが覆った GAA (Gate-all-around) 構造を搭載した集積回路の量産に取り組んでいる[4]。また将来的には GAA の n-MOSFET、p-MOSFET を上下に積み重ねてインバータなどを構成する Complementary-FET (CFET) を用いた集積回路の実現に向けての取り組みが活発である。

また総合的に計算機の性能を向上させようとする動きが近年活発である。特定の機能を持たせたデバイスにより、従来クラウド上でソフトウェア的に行われている情報処理を行おうとするドメインスペシフィックコンピューティング[5]や、GPU (Graphics Processing Unit) や FPGA (Field Programmable Gate Array) などのアクセラレータ (処理能力を向上させるためのハードウェアまたは演算システム) を適材適所に用いるヘテロロジーニアスコンピューティング[6]などが提案されている。計算システムの性能を最適化することで計算機性能を向上させようとするのが、現在の潮流である。

歴史を紐解くと、従来のデナード則[7]によるトランジスタ単体の高性能化による動作周波数の改善から、携帯電話に代表されるシステムオンチップ (SoC) へ移り変わった。SoC では消費電力について大きな進展があり、現在のスマートフォンなどの個人端末の

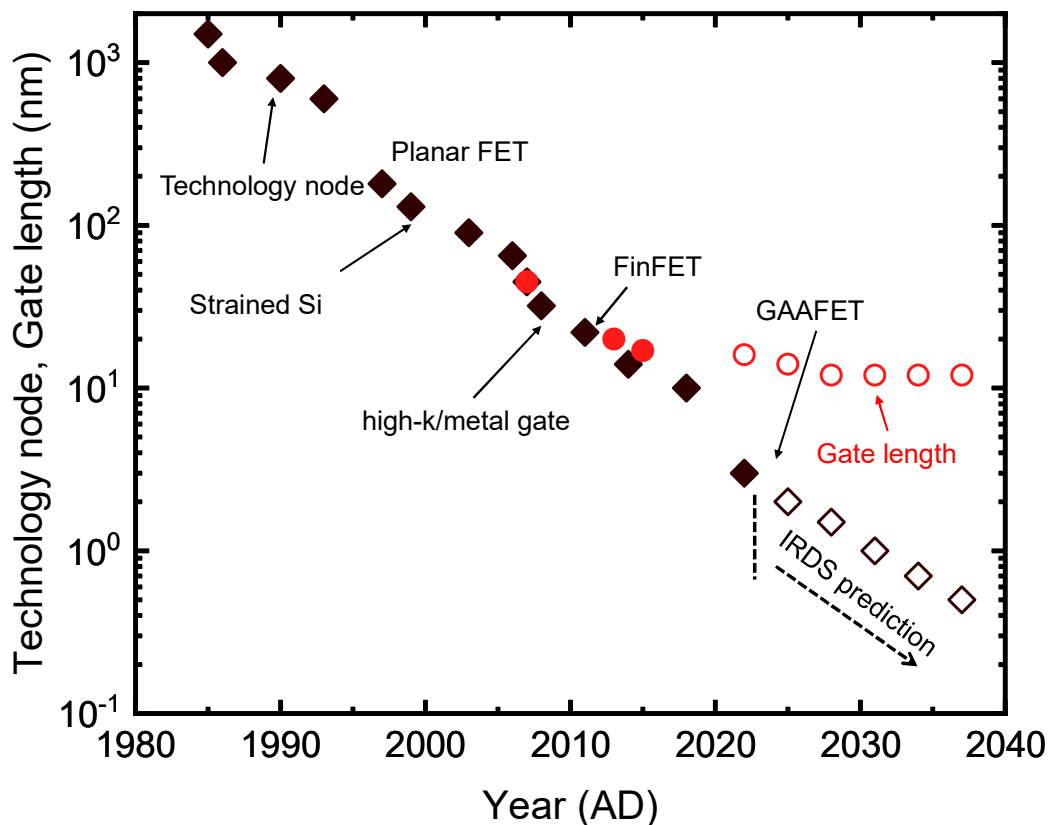


図 1.1 ロジック回路におけるトランジスタ微細化の変遷。公開されている情報をもとに作成。黒ひし形がテクノロジーノード、赤丸がゲート長を示す。白抜きは IRDS による今後の予想を示している [6]。トランジスタは新たな技術、材料、構造を採用しながら高性能化が続いていく見込みである。しかしながら、例えばゲート長は 2010 年代頃から微細化が停滞していることがわかる。

普及に大いに貢献した。そして現在では、データセンターに代表されるように、中央集権的な計算資源の重要性が増している。この形式では、コンピューティングの性能向上を単体デバイスではなく、計算システム全体で実現することが求められる [8]。

1.2 量子コンピュータ

前節のように、アクセラレータを活用し、計算機の性能を向上させていくことが重要である。とはいえ、アクセラレータを活用しても時間的、消費電力的な制約のため、取り扱える問題には限りがある。現代社会には、スーパーコンピュータを用いても現実的な時間内で解くことのできない問題が散見される。このような問題の解決に期待されているのが量子コンピュータである。

量子コンピュータは量子的な重ね合わせ状態を用いることで、重要ないくつかの問題について高速に計算することができると示されている [9]。量子コンピュータは決して現在のコンピュータを置き換えるものではなく、一種のアクセラレータとして位置づけら

れる。量子コンピュータは、後述するように動作温度がミリケルビンの極低温のものが多く、大型の希釈冷凍機を必要とする。そのため現在の量子コンピュータの利用方法としては、クラウド型サービスとして量子コンピュータの計算環境が提供され、多数のユーザがこれを使う形式が主流であり、今後もこの流れは変わらないものと見られる。

量子コンピュータは基本素子である量子ビットを用いて計算を行う。量子ビットは従来のデバイスは「0」か「1」かの情報を表現するのみであったが、量子ビットは量子力学的な重ね合わせを用いることで「0」と「1」の両方を同時に表現することができる。量子ビットの状態は「0」と「1」のとりうる確率の重ね合わせで表される。ブラケット表記を用いると、量子ビットは複素確率振幅 α, β を用いて、

$$|\psi\rangle = \alpha|0\rangle + \beta|1\rangle \quad (1.1)$$

と表される。 α, β は $|\alpha|^2 + |\beta|^2 = 1$ を満たす。複素数の極座標を導入すると、(1.1)は次のように書き換えられる。

$$|\psi\rangle = e^{i\gamma} \left(\cos \frac{\theta}{2} |0\rangle + e^{i\phi} \sin \frac{\theta}{2} |1\rangle \right) \quad (1.2)$$

$e^{i\gamma}$ は測定に影響しないため、省略すると、

$$|\psi\rangle = \cos \frac{\theta}{2} |0\rangle + e^{i\phi} \sin \frac{\theta}{2} |1\rangle \quad (1.3)$$

と書き換えられる。この形式を考えると、量子ビットの状態は、ブロッホ球と呼ばれる球の球面の座標として表現することができる。図 1.2 にブロッホ球を示す。この球面上の座標をマイクロ波の照射などで精密に制御し、状態を読み出すことが量子コンピューティングに必要となる。

量子コンピュータは大まかに、アニーリング型と、ゲート型に分類することができる。前者は量子トンネル効果を利用した最適解への到達を利用しており、主に最適化問題に活用されている。後者はコンピュータの論理ゲート（AND や NOR など）を量子コンピュータに置き換えた量子ゲートを用いて量子ビットを操作するものである。こちらは量子科学・動力学計算、組み合わせ最適化、機械学習が主な応用目的である。量子ビットに

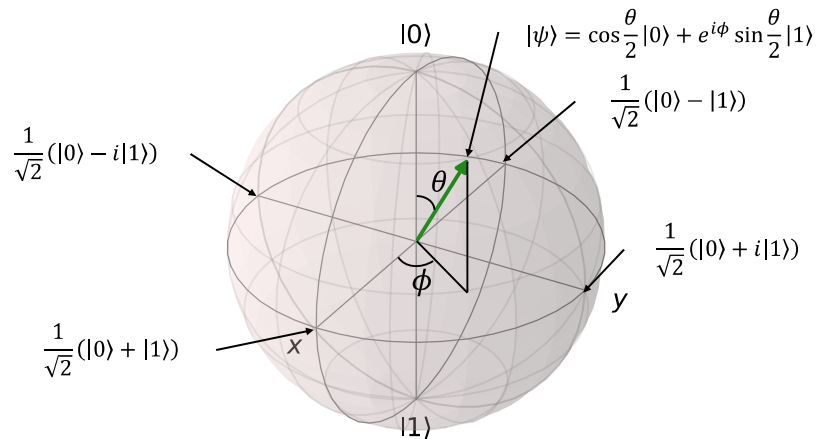


図 1.2 ブロッホ球。球面上の座標が量子状態に対応する。

用いられる系として、様々なものが提案されている。非線形要素としてジョセフソン接合を用いた超伝導回路からなる超伝導量子ビット[9]、電磁界に閉じ込められたイオンの原子的なトランジションを利用するイオントラップ量子ビット[10]、レーザーで作られた光学的格子に閉じ込められた中性原子型量子ビット[11]、半導体の微細構造に閉じ込めた電子のスピン状態に基づく量子ドット型[12]、どちらの量子ドットに電子がいるかを利用する二重量子ドット型量子ビット[13]、ダイヤモンド中 NV 中心[14]、光子[15]などが提案されている。

従来のコンピュータでの論理ゲートは、回路内に集積されており、そこに「0」または「1」の情報が入力され、ゲートの処理が行われ、次の論理ゲートへ、何度かの処理が行われ、最終的に出力が得られる。対して量子コンピュータでは、ゲート操作は外部からのなんらかの物理的作用で行われる。そのため量子コンピュータの構成は、量子演算を行う量子演算ユニットと、それらの制御・読み出しを行う古典（従来の技術で構成された）制御回路から成る。模式図を図 1.3 に示す。制御回路からのなんらかの信号（例えばマイクロ波を一定時間量子ビットに照射する）で量子ビットの状態を制御・操作し、演算を行う。演算後の量子ビットの結果をなんらかの形で読み出し、結果を得る。

ゲート型の量子コンピュータは現在、エラーのある中規模量子コンピュータ（Noisy Intermediate-scale Quantum: NISQ）であるが、将来的には量子誤り訂正（Quantum Error Correction: QEC）を搭載したシステムレベルで量子誤り耐性（fault-tolerance）を実現できると考えられている。このような QEC を実装した量子コンピュータは誤り耐性量子コンピュータ（Fault-Tolerant Quantum Computer: FTQC）と呼ばれており、その実現が期待されている。FTQC システムの実現には、少なくとも 100 万量子ビットの集積が必要と考えられており[16, 17]、量子ビットの高集積化が量子コンピューティングの今後の課題である。

FTQC システムは、複数の物理量子ビットを 1 つの論理ビットとし、符号化を行うことで実現する。シンドローム測定によって量子ビットの誤りを測定する。シンドローム測定は量子ビットの重ね合わせ状態を破壊しない。シンドローム測定結果から、古典コンピュータで複合し、誤りの発生位置を推定する。この結果を受けて、各ゲート操作後または最終の測定前に誤りを訂正する。1 論理量子ビットに複数の物理量子ビットが必要であるため、誤り訂正ができるしきい値以上の忠実度を持つ、100 万超の量子ビットを集積する必要がある。

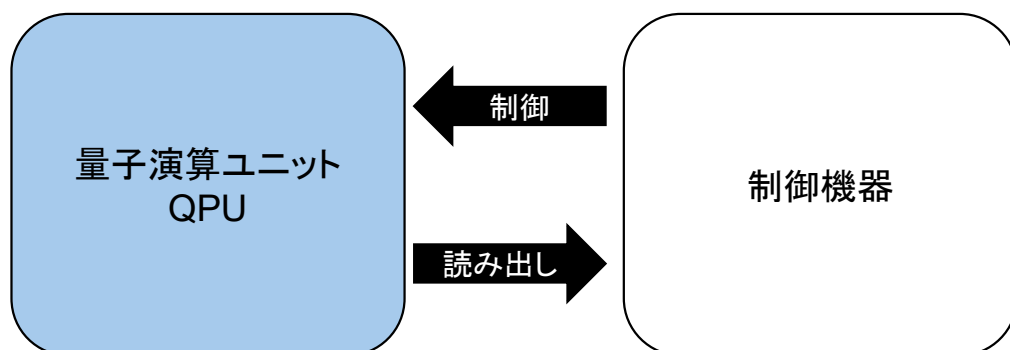


図 1.3 量子演算の構成と流れ。量子状態を精密に制御し演算を実行、状態を読み出すことで量子演算が行われる。

量子コンピュータの歴史を簡単に振り返る。提案は1982年にファインマンによってなされた[18]。ファインマンは、*"if you want to make a simulation of nature, you'd better make it quantum mechanical"*と述べた。この提案を受けて、1990年代以降、量子コンピュータの基礎理論が整えられてきた。例えば Shor は量子コンピュータを用いることで、素因数分解について、従来のコンピュータを凌駕する速度で実行できるとのアルゴリズムを報告している[19]。また Grover はデータベースの探索アルゴリズムを提案している[20]。これらをはじめとして、量子コンピュータの潜在的な能力が理論体系化されてきた。

2000年代に入ると量子コンピュータの実用化に向けた研究が加速された。アニーリング型量子コンピュータでは、D-Wave が2011年に初の世界初商用量子コンピュータを発売した。これは特定の最適化問題に特化したものである。現在では5000量子ビット超の集積に成功している。

さらに近年の動向としては、量子コンピュータ技術に巨大IT企業の参入が目立つ。2010年代、IBM や Google、Microsoft、Alibaba といった企業が参入し、主に超伝導型量子ビットを用いたゲート型量子コンピュータの研究開発を行っている。

また、半導体量子コンピュータでは、2015年にIntelが蘭デルフト工科大学との研究アライアンスを締結し、シリコン量子ビットを中核とする研究開発を行っている。

1.3 半導体量子ビット素子

半導体量子ビットは、高度に発展した微細化技術を活用できることから、特にシリコンを材料とした集積化に大きな期待が寄せられている。半導体量子ビットは主に電荷型とスピン型に分類され、スピン型はさらに不純物型[21]、ゲート定義型[22]、MOS型[23]の三種類に大別される。この中で、集積化の観点から最も有望視されているのがMOS型である。

コヒーレンス時間を制限する主な要因としてノイズが挙げられる。 ^{29}Si は核スピンを持っており、これがノイズ源となる。同位体濃縮技術を用いて ^{29}Si 濃度を減少させることで磁気ノイズを低減することが可能であり[24]、磁気ノイズが取り除かれると、電荷ノイズが支配的となることが報告されている[25]。

以下に半導体量子ビットの種類について説明する。電荷型量子ビットは、二つの量子ドットに電子を閉じ込め、一方のドットに電子が存在する状態を「0」、もう一方を「1」として情報を表現する。この構成は、クーロンブロッケード状態の二重量子ドットを二準位系として利用するものである。一方、スピン型量子ビットは、外部磁場によるゼーマン分裂を利用し、二準位系を構成する。不純物型スピン量子ビットは、不純物に束縛された電子のスピンを利用する方式である。ゲート定義型量子ビットは、SiGe/Si/SiGe積層構造によって形成されたシリコン量子井戸に閉じ込められた電子を利用する。一方、MOS型量子ビットは、ゲート電圧で形成されたポテンシャルにより、微細構造で電子を閉じ込める構成を特徴とする。

近年、半導体量子ビット研究には、半導体製造技術を牽引してきた企業や研究機関が積極的に参入している。たとえば、Intel、imec、Letiなどの企業や機関は、周辺技術を含むシリコン量子コンピューティングの研究開発を推進している。Intelはデルフト工科大学との提携に加え、「Tunnel Falls」と名付けた最大12量子ドットデバイス搭載のチップを

米国内の大学や研究機関に配布している。この取り組みは米国 LPS Qubit Collaboratory 主導の「Qubits for Computing Foundry (QCF)」プログラム[26]の一環として実施されたものである。同プログラムでは、Intel の Tunnel Falls や HRL Laboratory の 6 量子ドットデバイスがゲート定義型量子ビット素子として配布された。また、リンカーン研究所で製造された超伝導量子ビット素子も同様に配布された。imec は 300 mm ウエハプロセスを用いてゲート定義型および MOS 型量子ビット素子を製造し、研究機関に提供している[27, 28]。

1.4 クライオ CMOS 制御機器

今日の量子コンピュータのスケールングをけん引している超伝導素子型[9]や、前節で述べた半導体量子ビット[21-23]の動作温度は数ミリケルビンから数ケルビンの極低温であり、通常量子ビットは希釈冷凍機内に配置される。量子ビットの制御や読み出しといった操作は、室温に置かれた制御機器から、配線を介して行われる。現状量子ビット一つに対して複数本必要となる信号線を、室温エレクトロニクス制御機器から冷凍機内に配線するこの方式は絨毯爆撃 (Brute-Force)方式と呼ばれる。この方式は量子ビット数が少ない場合には有効な制御方式であるが、今後量子ビットの集積化に伴い、配線本数が増大した場合、配線を介した室温からの熱流入により量子コンピュータシステムは破綻する。大規模量子コンピュータに向けて、室温からの配線本数を削減するアプローチが必要である。そこで提案されたのが、現在は室温に置かれている制御機器が担っている機能を集積回路化し、希釈冷凍機内数ケルビンステージに配置する技術である。この方式では室温からの配線本数を削減することができるため、期待されている。

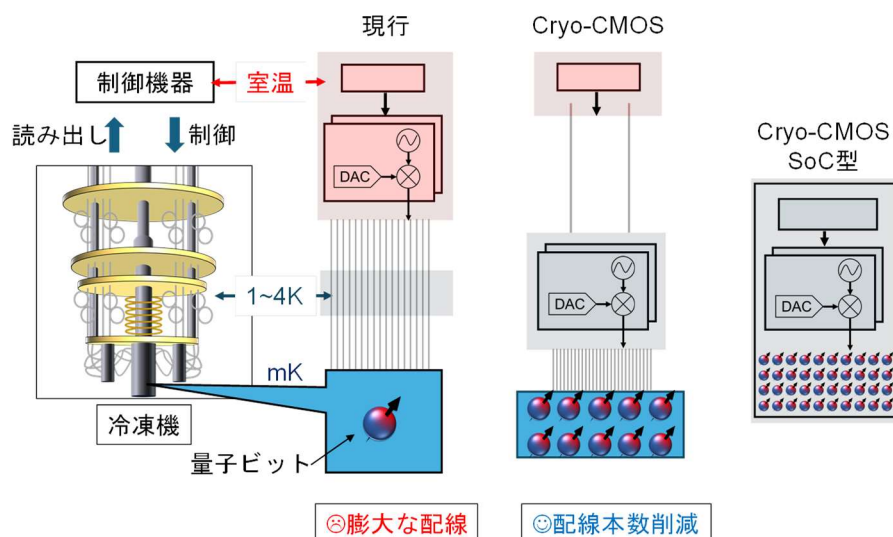


図 1.4 量子コンピュータのハードウェア構成。冷凍機は冷却が複数段にわかれており、下段ほど低温となる。室温に置かれた制御機器から配線を通して量子ビットの制御を行う場合、室温から冷凍機への熱流入が問題となるため、クライオ CMOS による室温からの配線本数の削減が求められる。

CMOS 回路は極低温下で動作する制御回路の候補であり、極低温下で動作する CMOS 集積回路・デバイス技術は「クライオ CMOS 技術」と広く呼称されている[29]。希釈冷凍機内数ケルビンステージの冷却能力は、高くとも数ワットであるため、クライオ CMOS 回路には低消費電力での動作が求められる。クライオ CMOS に求められる機能としては、アナログ/デジタル変換、デジタル/アナログ変換、時間測定回路、ミキサ、マルチプレクサ、デマルチプレクサ、低ノイズ増幅器 (Low-noise amplifier: LNA)、マイクロ波発生源などである。量子ビット制御のためのクライオ CMOS 回路はデジタル・アナログの混載回路である。ただし、これらの機能をクライオ CMOS 内に搭載するか、外部室温機器でまかなうかはクライオ CMOS 回路の消費電力や量子ビットの集積度を勘案して決定される。

また挑戦的な技術ではあるが、量子ビットの高温 (数ケルビン) 動作が可能な場合、クライオ CMOS 回路と量子ビットを SoC や、2.5D 集積などを用いたワンチップ型の量子コンピュータの実現も期待されている。

1.5 極低温下での MOSFET 動作のデバイス物理と現在の状況

低温で CMOS 回路を動作させようとする試みは、今日の大規模量子コンピュータの要請が初めてではない。過去にも低温動作 CMOS 回路の提案がなされてきた。これは、CMOS 回路が温度低下によって MOSFET の基本特性が向上するためである。1977 年、IBM の Gaensslen らが液体窒素温度 (77 K) における n-MOSFET の特性を詳細に検討している[30]。CMOS 回路は低消費電力と高集積度を特徴とし、低温 CMOS は高集積度の高速素子として大型計算機への応用が期待されていた。実際、ETA 社は 1987 年に液体窒素温度 (77 K) で動作するスーパーコンピュータ ETA10 を発売している[31]。このように、1970 年代後半から 1990 年代にかけて、77 K 動作を目指した研究が盛んに行われていた。これらの研究では、MOSFET の低温物理だけでなく、低温動作に適した素子構造、パッケージング、冷凍システム、温度を勘案したスケーリング則などが総合的に検討されている。なお、液体ヘリウム温度 (4.2 K) での動作も検討されているが、液体窒素温度と比較して冷却による性能向上のメリットが小さく、冷却方法も困難であったため、広く採用されるには至らなかった。当時スケーリング則に基づく室温動作では、0.1 μm のチャネル長が集積回路高速化の微細化限界と考えられていた。対して 77 K では 0.03 μm まで高速化が可能と考えられていた。図 1.1 で示したように、0.1 μm 以下のチャネル長も新たな技術の採用により実現されてきた。室温動作でも微細化の進展が可能となったため、77 K 動作集積回路の検討や実証は下火になったものと思われる。

今日の量子コンピュータ向けクライオ CMOS は 4 K での動作が求められている。CMOS 回路の設計には動作素子のモデリングが必須であり、近年極低温動作 MOSFET の物理を明らかにすべく、活発な研究が行われてきた。極低温特性が注目されたのは、それが従来の理論から逸脱するためである。サブスレッショルド特性は特に注目されてきた。従来理論では温度低下で単調に減少していくはずのサブスレッショルドスイングが飽和したためである[32]。このサブスレッショルドスイングの温度低下に伴う飽和 (または再増加) はデバイス構造やテクノロジーに関係なく現れるものであり[33]、極低温デバイス物理の進展が求められた。この従来理論からの逸脱は、バンド端近傍に存在する準位

(本論文では「バンド端準位」と述べる) によるものだと近年の研究で明らかにされた[34]。またこの準位はサブスレッショルドスイングのみならず、しきい値電圧[35]、移動度[36]、また低周波ノイズ[37, 38, 39]にも影響することが報告されてきており、その重要性が認識されてきている。バンド端準位の起源としては、ドーパント不純物[40]、界面ディスオーダー[41]、界面ラフネス[42]、欠陥、また電子-電子間、電子-正孔、電子-フォノンの相互作用[43]が提案されてきた。バンド端準位の影響は、室温動作では無視できるものであり、また前述した 77 K 動作時でも意識されてきていなかった。バンド端準位についての理解は、量子コンピュータ向けクライオ CMOS 技術への要請とともにクローズアップされ、その重要性が認識されるようになった。またバンド端準位の理解を踏まえ、4 K での動作にはどのような素子構造が最適なのか、どのようなプロセスが最適なのかを検討する必要がある。例えば現在はクライオ CMOS の実証実験は、主に少量の受託製造が可能な 65-nm プロセスなどのテクノロジーを使用して設計・製造・実証実験がなされており、室温動作が前提とされた集積回路を冷やして使っている、という現状である。今後このような形態での技術開発で問題ないのか、それとも極低温動作に最適化したプロセスの開発[44]などが必要なのかはまだ定かではない。

以下に MOSFET の動作原理を概説し、低温動作のデバイス物理を説明する。これらを踏まえて現在の状況を概説する。

1.5.1 MOSFET の動作原理

MOSFET は電流の流れを制御する素子である。ソース、ドレインと呼ばれる電極間を流れる電流量を、ゲートと呼ばれる電極の電位によって操作する。n チャネル MOSFET (n-MOSFET と以後記述) の模式図を図 1.5 に示す。チャンネルと呼ばれる電流の通り道は p 型にドーパされた半導体であり、その上に薄いゲート絶縁膜、ゲート電極で Metal-Oxide-Semiconductor の MOS 構造が形成されている。ゲート電極の材料はアルミニウムなどの金属であったり、高濃度にドーパされたポリシリコンであったりする。チャンネルの左右には n 型にドーパされたソース、ドレインが形成されている。ソース、基板を設置

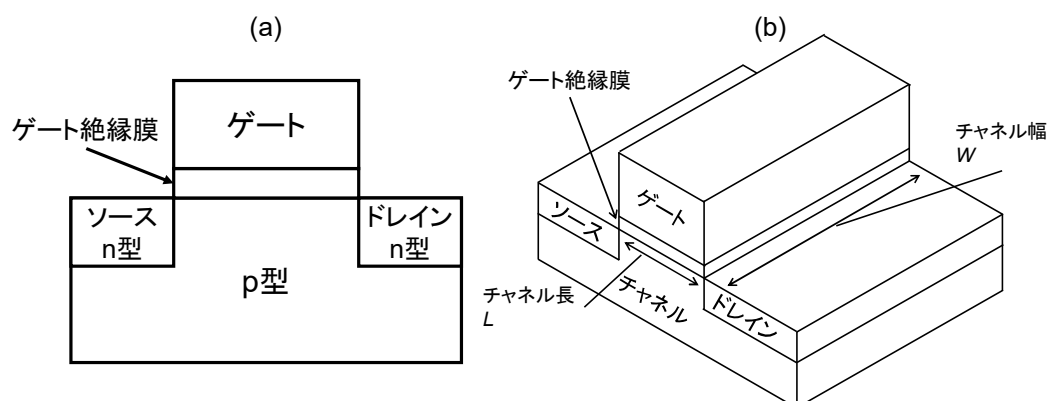


図 1.5 MOSFET の (a) 断面模式図、(b) 鳥観図。最も簡素化した構造であることに注意。チャンネルは半導体/酸化膜界面から 10 nm 以内に形成される。

し、ドレインに正の電圧を印加する。ソース、チャネル、ドレイン間は n-p-n の接合になっており、通常では電流は流れない。また基板、ドレイン間は pn 接合の逆バイアスとなっており、電流は流れない。ここでゲート電圧を徐々に上げていくと、MOS 界面から正孔が排斥される。この状態を空乏化と呼ぶ。さらにゲート電圧を上げると、界面に電子が誘起される。この状態を反転と呼ぶ。反転状態では MOSFET のソース、チャネル、ドレイン間は n-n-n の接合となり、電子はソースからドレインに流れる（電流はドレインからソースに流れる）。このゲート電圧の変化により、半導体・酸化膜界面のポテンシャルが変調され、半導体・酸化膜界面での電荷密度が変化することが、MOSFET における電流制御の要請である。

ポテンシャルの変調によるふるまいを見ていきたい。半導体・酸化膜界面のバンドダイアグラムを図 1.6(a)–(c)に示す。(b)に示すフラットバンド状態では、半導体のバルクと表面のポテンシャルがそろっている。この条件からゲート電圧を負の方向に変化させると、(a)のように界面のポテンシャルが上に曲がったダイアグラムとなる。この条件では界面に電子がなく、正孔が界面に蓄積される（蓄積状態）。ここで、バルクと界面のポテンシャルの差を表面ポテンシャル (ψ_s)と呼ぶ。逆にゲート電圧をフラットバンド状態からよ

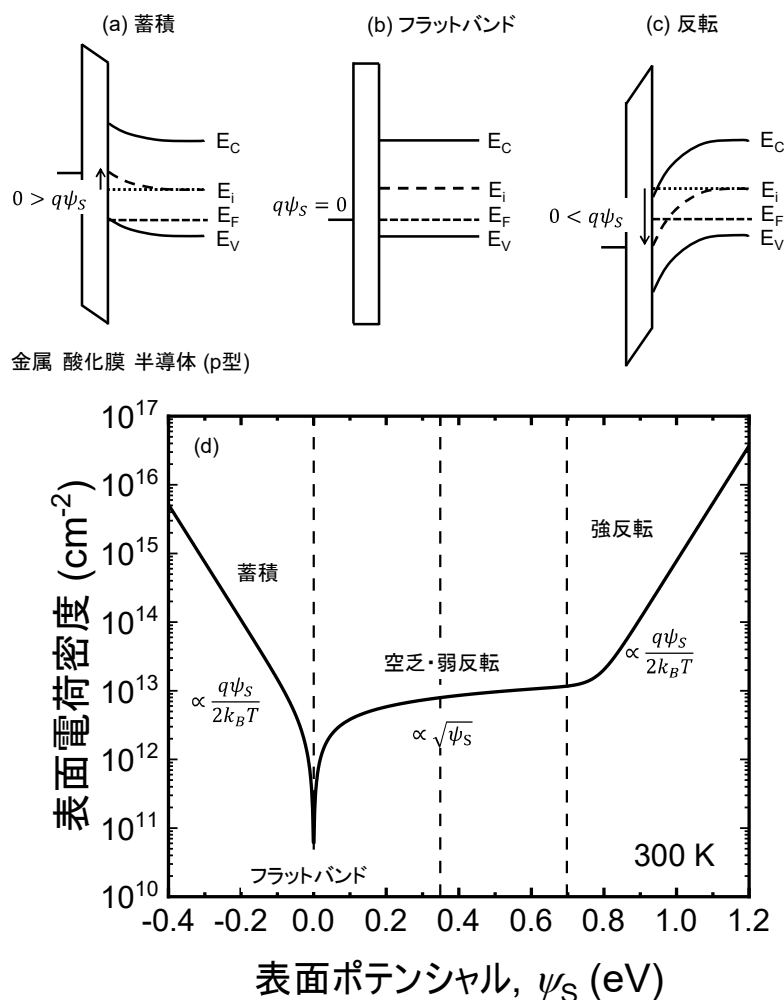


図 1.6 半導体・酸化膜界面のバンドダイアグラム、(a)蓄積状態、(b)フラットバンド状態、(c)反転状態。(d)表面ポテンシャルの変化による表面電荷密度の変化。

り正に変化させると、(c)のように界面のポテンシャルは下側に曲がる。この条件では正孔は界面から排斥され、イオン化した不純物の層ができる（空乏層）。さらにゲート電圧を変化させ、表面ポテンシャルを大きくすると、界面には少数キャリアである電子が集まり、反転層を形成する（反転状態）。図 1.6(d)に表面ポテンシャルの変化に対する電荷密度の変化を示す。まず表面ポテンシャルが 0 の状態がフラットバンド状態である。負側では正孔が蓄積する。正側では、表面ポテンシャルが 0 から ψ_B の範囲では空乏状態、 ψ_B から $2\psi_B$ の範囲では弱反転状態となる。表面ポテンシャルが $2\psi_B$ を超えたところから、表面ポテンシャルの変化に対して急激に電荷が増大しており、これが強反転状態である。この状態では表面ポテンシャルの変化に対して指数関数的に電子が増減する。表面ポテンシャルがちょうど $2\psi_B$ となるゲート電圧をしきい値電圧と呼ぶ。表面ポテンシャルが $2\psi_B$ ということは、不純物によるポテンシャル変化を打ち消して、界面で逆に同じ濃度の n 型になっていることに相当する。

このようにして MOS 界面で電荷が制御され、これらがソース・ドレイン間を輸送されることで電流が流れる。MOSFET における電荷の輸送は拡散電流、またはドリフト電流から成り、前者は電荷の密度勾配によるもの、後者は電界によるものである。しきい値電圧よりゲート電圧が大きい強反転状態ではドリフト電流が支配的であるが、しきい値電圧以下のゲート電圧でも有意な拡散電流が流れている。この拡散電流が支配的な領域をサブスレッショルド領域と呼ぶ。この電流はドレイン電圧に依存せず一定となる。

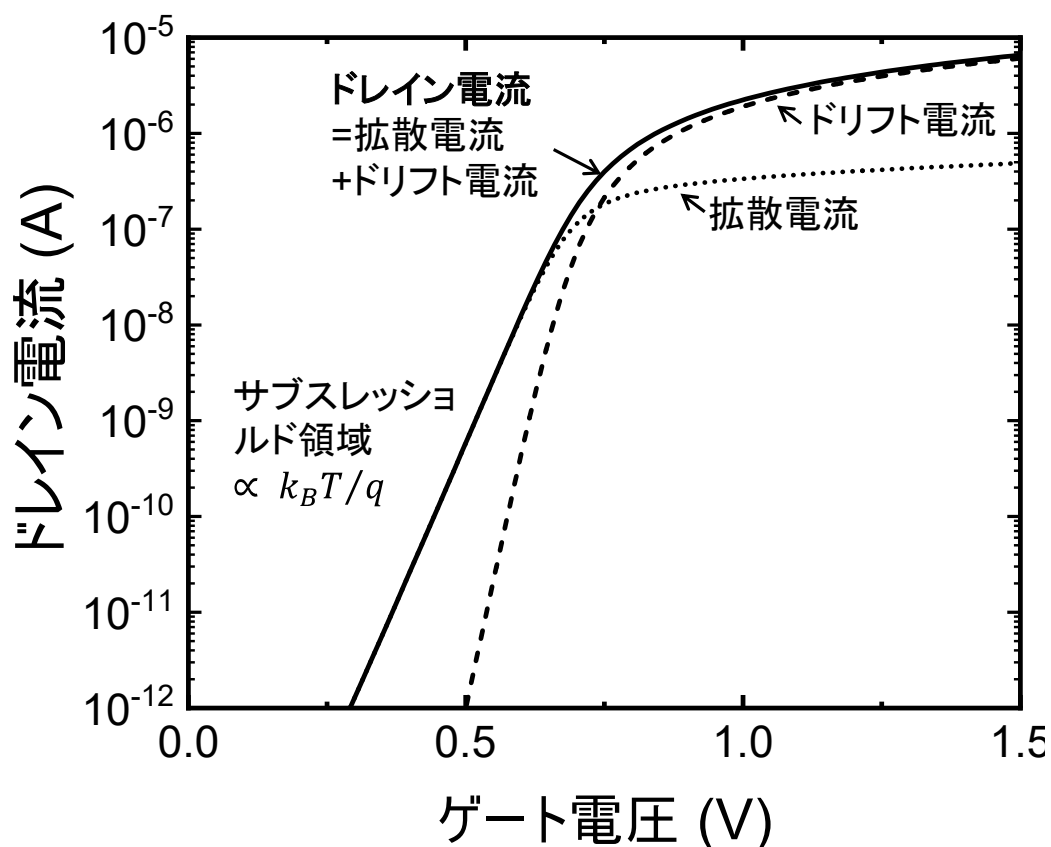


図 1.7 ゲート電圧を変化させたときのドレイン電流の変化 (I_D - V_G 特性)。

1.5.2 電子統計

従来の理論は分布関数であるフェルミ・ディラック分布関数をボルツマン分布と近似して理論が展開されている[45, 46]。一般にボルツマン分布はそのエネルギーがフェルミ準位から $3kT/q$ 程度離れている場合に適用可能とされている。図 1.8 に真性半導体についてのフェルミ・ディラック分布関数と、ボルツマン分布関数を 300, 77, 4.2 K の場合のそれぞれに対して示す。フェルミ・ディラック分布関数は電子の占有確率を表しているため、1 から 0 の値を取り、電子が占有されている確率がちょうど半分になるエネルギーをフェルミ準位（真性半導体ではミッドギャップ付近に存在する）と呼ぶ。フェルミ準位の際の占有確率を $1/2$ として、低エネルギー側に向かって 1 に近づき、高エネルギー側では 0 に近づいていく。温度が低い場合ステップ関数のような形に近づき、温度上昇に伴い、裾野が広がっていく形になる。これは温度上昇により、熱による励起で電子が生じるためである。対して近似系であるボルツマン分布は、 $3kT/q$ 程度以上離れたエネルギー帯ではフェルミ・ディラック分布関数とほとんど同じ値を取っており、よい近似であることがわかる。ただし、 $3kT/q$ 以下のエネルギー範囲では、フェルミ・ディラック分布関数

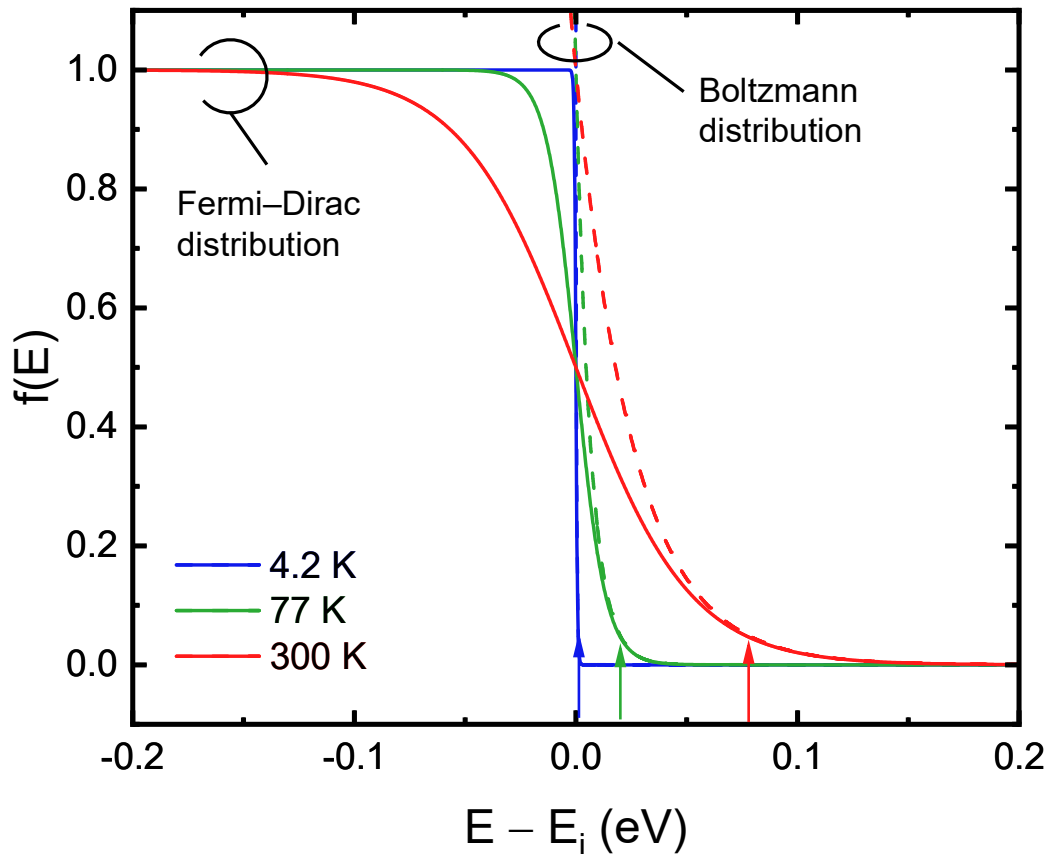


図 1.8 異なる温度下(300, 77, 4.2 K)でのフェルミ・ディラック分布関数（実線）とボルツマン分布関数（点線）。それぞれの温度での $3kT/q$ eV のエネルギーを矢印で示した。エネルギーが約 $3kT/q$ eV 以上離れた範囲ではボルツマン分布はフェルミ・ディラック分布のよい近似となっている。

との差が大きくなっており、特にフェルミ準位以下のエネルギーでは1を超えており、近似が成り立たないことがわかる。のちに詳細を述べるが、温度低下に伴い MOSFET 動作時のエネルギーはより伝導帯に近づいていき、フェルミ準位が伝導帯近傍に位置する。電子密度は状態数と分布関数の積分によって得られるため注意が必要である。オーバードライブ状態では $E_F > E_C$ となりやすいので注意が必要である。とはいえボルツマン分布による近似は広い反転電荷密度の場合で成り立ち、特に反転電荷密度が小さいしきい値電圧以下での議論の場合、近似は有効である[47]。図 1.9 に各温度で見積もられた電子密度のエネルギー依存性を示す。ボルツマン分布の場合は近似で記述される、 $n = N_C \exp(-(E_C - E_F)/kT)$ から計算しており、フェルミ・ディラック分布の場合は数値的に積分をして見積もった。すべての温度で、 10^{18} cm^{-3} 程度までは大きな乖離は存在しないことがわかる。MOSFET 動作を考えると、チャネル不純物濃度は高く 10^{18} cm^{-3} のオーダーであるため、少なくともしきい値電圧以下の電圧印加を考えると、ボルツマン分布での近似は有効であるものと考えられる。

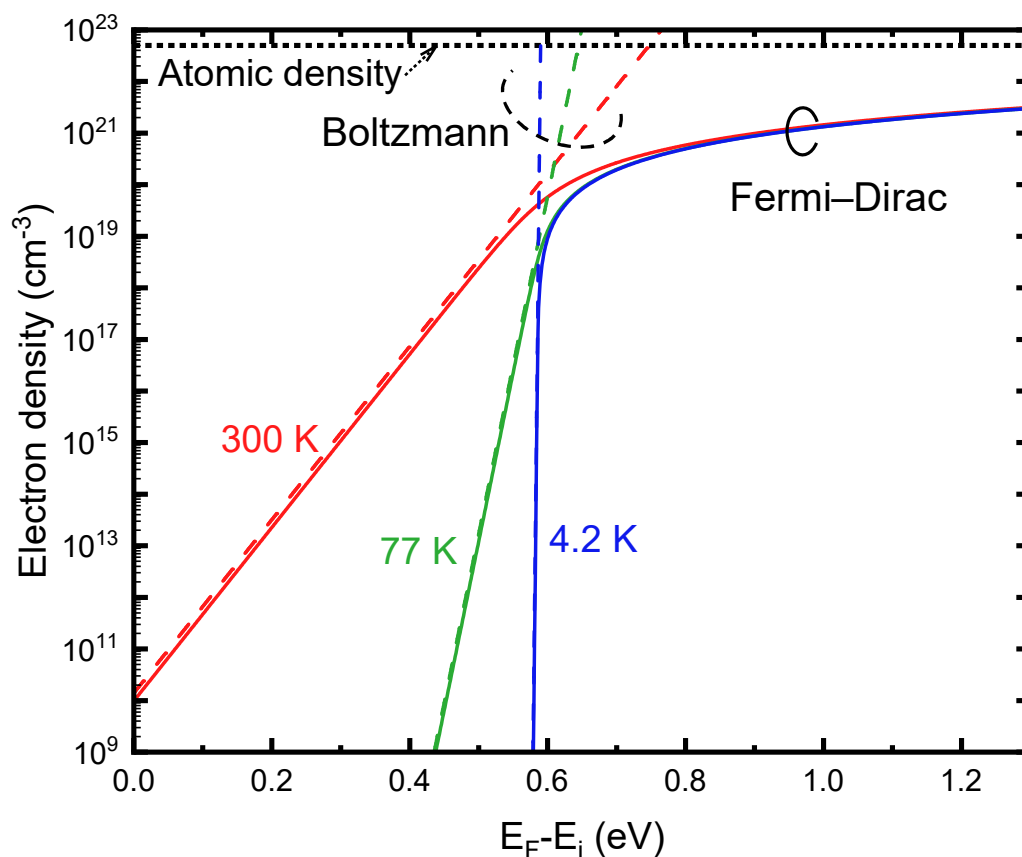


図 1.9 異なる温度下(4.2, 77, 300 K)で見積もられた電子密度。ボルツマン分布(破線)とフェルミ・ディラック分布の比較。シリコン結晶の密度($5 \times 10^{22} \text{ cm}^{-3}$)も合わせて示した。

1.5.3 真性電子密度

真性電子密度 n_i は様々なパラメータを決定づける重要な量である。 n_i は温度の変化に対して大きく変化することには注意が必要である。 n_i は状態密度 $N(E)$ とフェルミ・ディラック分布関数 $f(E)$ を用いて、

$$n_i = \int_{E_C}^{\infty} N(E) f(E) dE \quad (1.4)$$

と表される。状態密度 $N(E)$ は伝導帯下端からエネルギーの平方根に比例して増加していく。ここでフェルミ・ディラック分布関数と、状態密度を図 1.10(a), (b)にそれぞれ示す。フェルミ・ディラック分布関数は前述したように、温度上昇で丸みをおびたような形に変化する。状態密度 $N(E)$ は伝導帯下端からエネルギーの平方根に比例して増加していく。図 1.10(b)は後に示すバンドギャップの温度依存性も考慮しており、伝導帯下端の値が異なっており、温度変化によって立ち上がりの開始エネルギーがシフトしている。これらフェルミ・ディラック分布関数と状態密度の積を 300, 77, 4.2 K のそれぞれの温度に対して示したのが図 1.10(c), (d), (e)である。状態密度は伝導帯下端のエネルギー位置がわずかに変わるのみに対し、フェルミ・ディラック分布関数は温度低下で急峻な変化となり、高エネルギー帯での値が小さくなる。これにより分布関数と状態密度の積は温度低下で小さくなる。この積の積分、つまり図 1.10(c), (d), (e)の薄く塗りつぶした部分の面積が、

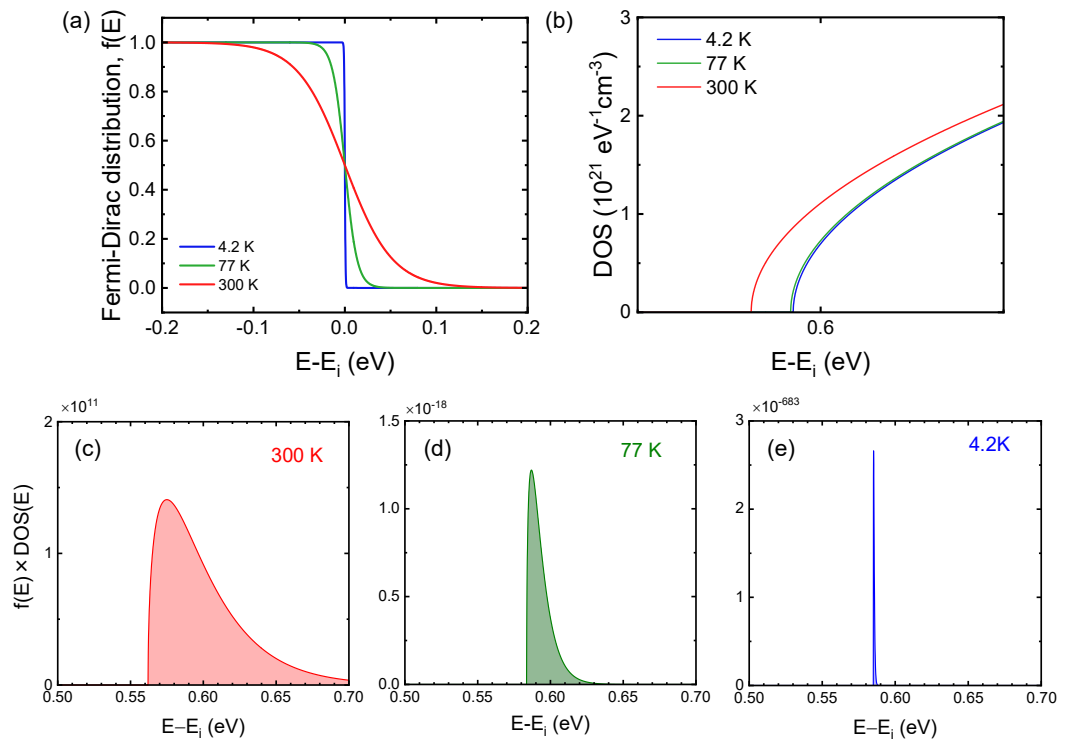


図 1.10 各温度における(a)フェルミ・ディラック分布関数と(b)電子の状態密度。(c)300, (d)77, (e)4.2 K の温度で計算された分布関数と状態密度の積。定義より、(c), (d), (e)の塗りつぶされた面積が真性電子密度となる。

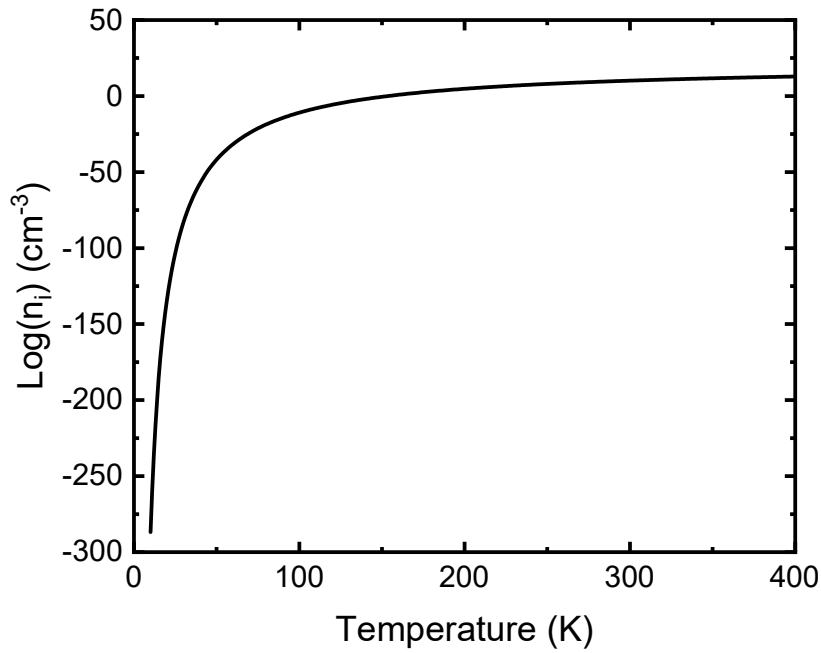


図 1.11 真性電子密度 n_i の温度依存性。片対数表記であることに注意。約 10 K 以下の値は倍精度浮動小数点数では取り扱えず、プロットできていない。

その温度での真性電子密度 n_i となるわけであるが、明らかに温度低下で小さくなることわかる。真性電子密度 n_i の温度依存性を図 1.11 に示す。50 K 以下の温度範囲において、温度低下で大きく低下していくことがわかる。特に 4.2 K では 10^{-678} の値を取るが、これは倍精度浮動小数点数が取り扱える値(10^{-308} – 10^{308})の範囲外である。これは後述する TCAD の極低温適用を妨げている要因のひとつである。

1.5.4 バンドギャップの温度依存性

バンドギャップは温度変化する。この要因は格子の収縮、電子–格子間の相互作用によるものである。半導体のバンドギャップは温度 T の関数として次のように表現される [48]。

$$E_G(T) = E_G(0) - \frac{\alpha T^2}{\beta + T} \quad (1.5)$$

ここで $E_G(0)$ は基準となるバンドギャップの値で、1.17 の値を取る。 α, β は定数でそれぞれ 4.73×10^{-4} , 636 の値である。温度に対して計算したバンドギャップの大きさを図 1.12 に示す。温度低下に伴い、約 150 K まではほとんど線形に増加、150 K 以下では傾きが緩やかになるものの、増加を示す。300 K の室温と、クライオ CMOS 回路の動作温度である 4 K では約 50 meV の違いがあることがわかる。温度変化の一因である格子の収縮と、バンドギャップの関係について考えてみる。格子を形成する Si–Si 結合長は温度低下で短くなる。これは熱運動が小さくなることに起因する [50]。この事実とバンドギャップの温度変化を合わせて考えると、なんらかの要因で Si–Si 結合長が伸びると、バンドギャップ

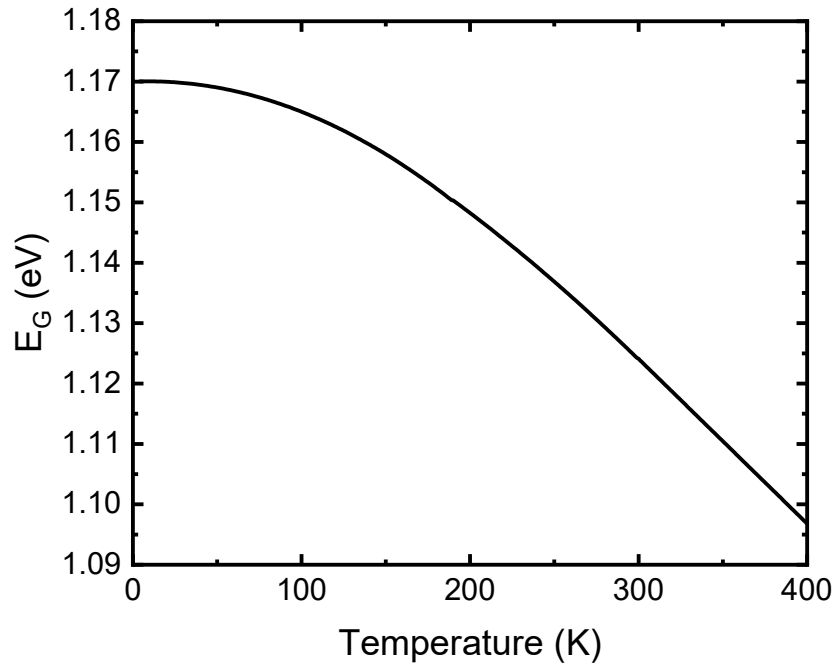


図 1.12 シリコンのバンドギャップの温度依存性。[48, 49]を参考に作図した。バンドギャップは温度低下で大きくなる。

は小さくなると考えられる。この関係は、後述するバンド端準位に関し、ディソオーダーによって生じるメカニズムについての示唆を与える可能性がある。

1.5.5 フェルミ準位の温度依存性

バルクのフェルミ準位は温度に依存する。よく知られている表式[45, 46]では、 $E_i - E_F = kT \ln(N_A/n_i)$ と有用な形で表されている。ただし、これは電荷中性の条件の下で、すべての不純物がイオン化しているとの仮定が成り立つ場合に得られる。極低温下では不純物のフリーズアウト（不純物が十分にイオン化しなくなる現象）が生じるため、差異が生じる。Beckers らはイオン化率の計算にフェルミ・ディラック分布を用いた電荷中性の条件から、バルクのフェルミ準位を数値計算で得ている。またフリーズアウトを無視して得られる $E_i - E_F$ の式に補正項を導入した形で定式化を試みている[35]。フリーズアウトを考慮し、異なる不純物濃度について見積もられたバルクのフェルミ準位の温度依存性を図 1.13 に示す。温度低下に伴い、p 型半導体の場合では価電子帯上端に、n 型の場合では伝導帯下端に近づいていくことがわかる。例えば 10^{16} cm^{-3} のアクセプタをドーブしたシリコンを考えると、300 K の室温での $E_i - E_F$ は約 0.37 eV である。温度低下で $E_i - E_F$ は大きくなり、4 K では 0.6 eV 程度で、価電子帯からフェルミ準位までのエネルギー距離が非常に小さいことがわかる。この温度低下によるフェルミ準位のバンド端へのシフトが、後述するバンド端準位の影響が極低温下で顕在化する大きな要因である。なお、デバイス動作時には、弱い反転状態以上では、電界によってフリーズアウトしている不純物が

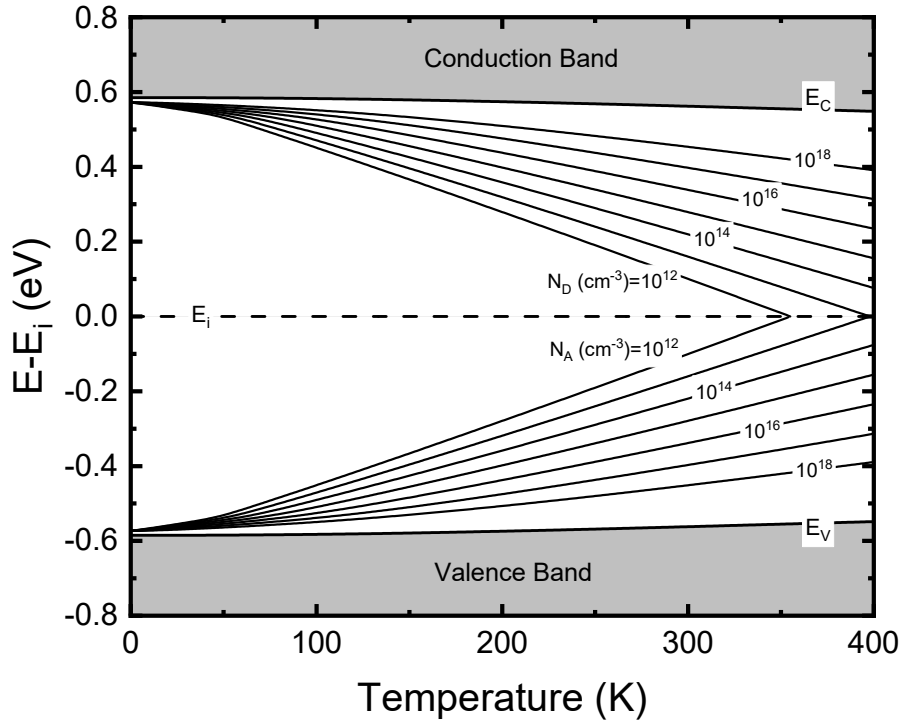


図 1.13 フリーズアウトを考慮して得られた、異なる不純物濃度でのシリコン中フェルミ準位の温度依存性。バンドギャップの温度依存性も盛り込まれている。温度低下に伴い、不純物半導体のフェルミ準位はバンド端へシフトする。

イオン化し、フリーズアウトを無視した表式の場合が成り立つとの報告もある。また 10^{18} cm^{-3} のような高い不純物濃度では、不純物バンドが形成され、100%のイオン化率になるとの指摘もある[51, 52]。

1.5.6 バンド端準位

前節にて極低温動作ではバンド端準位が影響し、従来理論からの逸脱が生じることを紹介した。この項ではバンド端準位についての基本的な事象と、現在提案されているモデルを説明する。バンド端準位はエネルギー的にバンド端（伝導帯下端、価電子帯上端）近傍、典型的に数十 meV 以内に存在する準位のことをいう。近年の研究の中で、サブスレッショルドスイング(SS)の温度に対する変化が飽和する事象が見られ、これを説明するためにバンド端近くに高密度の準位の存在が提案された[32, 33]。2019 年に、Bohuslavskyi らは 2 次元電子ガスの状態密度が指数関数的に尾を引くモデルでの数値積分を用いた計算から、この温度に対する SS のふるまいが説明できると報告した[53]。2020 年にはバンド端中心にガウス分布する界面準位によって SS の温度依存が説明可能と Beckers らによって示された[34]。同じモデルで彼らは極低温下のしきい値電圧のシフトが説明できることをこの以前に報告している[35]。続いて彼らは指数関数的に減衰するモバイルテールを加えることで、極低温下での SS のインフレクション（SS のドレイン電流依存性の屈曲、後に詳しく説明）が説明できると示した[43]。このインフレクショ

ン自体は古くに報告されていたが[54]、近年の研究の進展で原因が明らかになったものである。また彼らはモデリングを意識しており、SS を解析的な形式で記述することに成功している。Kang らは Beckers らが提案したモデルが幅広い温度で現象を説明できると示し、不純物によってこのような準位が生成される可能性があると報告した[55, 56]。また Kang らはバンド端に近いエネルギー帯で指数関数モバイルテール、やや離れたエネルギー帯ではインモバイルテールとなるモデルを報告している[57]。このモデルでは p-MOSFET でよく観測される SS の再増加を再現することができる。また、岡らは mK の温度範囲まで SS の変化を調査し、mK の温度範囲では飽和していた SS が再度低下することを実験的に示し、TCAD を用いた計算から、指数関数的なインモバイルテールで現象が説明できると報告した[58]。岡らは異なる面方位に作製した MOSFET について、面方位に依存して極低温でのみ特性に違いが生じることを実験的に示している[36, 37, 58]。

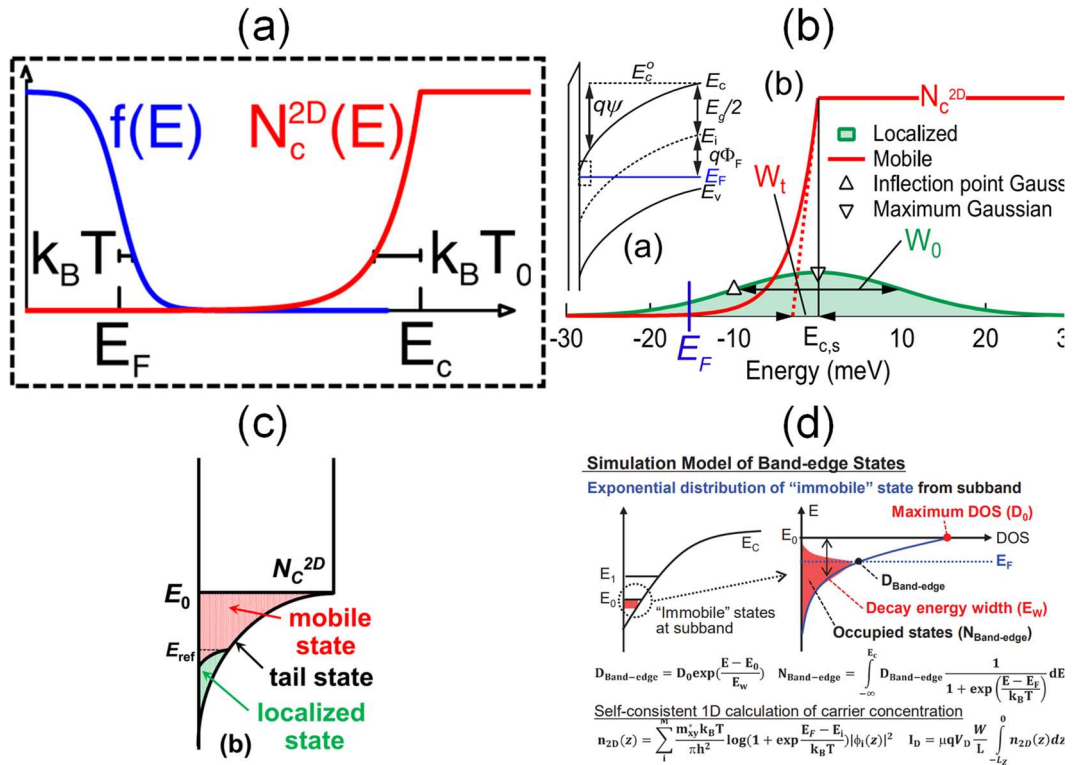


図 1.14 バンド端準位のモデル。(a)2 次元電子ガスの状態密度が指数関数で尾を引くモバイルテールモデル[53] © 2018, IEEE。この準位は電気伝導に寄与する。(b)バンド端近傍にガウス分布で存在する界面準位とモバイルテールを取り入れたモデル[43] © 2020, IEEE、(c)指数関数で減衰するモバイルテールとインモバイルテールの複合モデル[57]、(d)サブバンドから指数関数で減衰するインモバイルテールモデル[58] © 2023, IEEE。

1.5.7 しきい値電圧

しきい値電圧は温度低下に伴い、n-MOSFET であれば正の方向に、p-MOSFET であれば負の方向にシフトする。これは簡単には先に示したシリコン中フェルミ準位の温度依存性から解釈することができる。n-MOSFET の場合を考えてみると、基板は p 型であるので、バルクシリコンのフェルミ準位は温度低下でより価電子帯上端に近づいていく。ここでしきい値電圧は表面ポテンシャルがフラットバンド電圧印加時から $2\psi_B$ だけ曲がった電圧印加時と定義される。基板不純物濃度で決定されるポテンシャルを打ち消し、そのポテンシャルだけ逆の方向に表面ポテンシャルを曲げたところで反転状態となり、しきい値電圧となる、と言い換えられる。温度低下で大きくなる $E_i - E_F = \psi_B$ を打ち消して反転させるためにはより大きなゲート電圧が必要となるため、しきい値電圧は温度低下で増加する。図 1.15 に理想的な条件で見積もられたゲート電圧に対する表面ポテンシャルの変化を各温度について示す。図中には全電荷密度、反転電荷密度、および空乏電荷も示している。ゲート電圧がしきい値電圧以下の状況では、全電荷は空乏電荷が支配的であるが、表面ポテンシャルの曲がり方が $2\psi_B$ に近づくと反転電荷が生じ、しきい値電圧以上では表面ポテンシャルの変化が反転電荷の増加によって制限される。温度に対する変化を見ると、温度低下により表面ポテンシャルがより大きな値を取っていること、また表面ポテンシャルの変化が抑制されるゲート電圧がより大きくなっていることが確認される。また表面ポテンシャルがゼロとなるフラットバンド電圧も負にシフトしていることが確認される。以上のように、温度低下に伴い、しきい値電圧はシフトする。加えて重要であるのは、温度低下に伴い動作点のエネルギーが伝導帯端にシフトしていることである。図 1.16 に様々な基板濃度について見積もられたしきい値電圧印加時のフェルミ準位と伝導帯下端のエネルギー的な位置関係を示す。300 K の室温ではフェルミ準位と伝導帯下端は 100 meV 以上離れているが、温度低下で近づいていき、4 K では数十 meV 程度に近づいていることがわかる。このように極低温動作時には動作時のエネルギーがバンド端に近く、先に示したバンド端準位の影響を大きく受けることとなる。

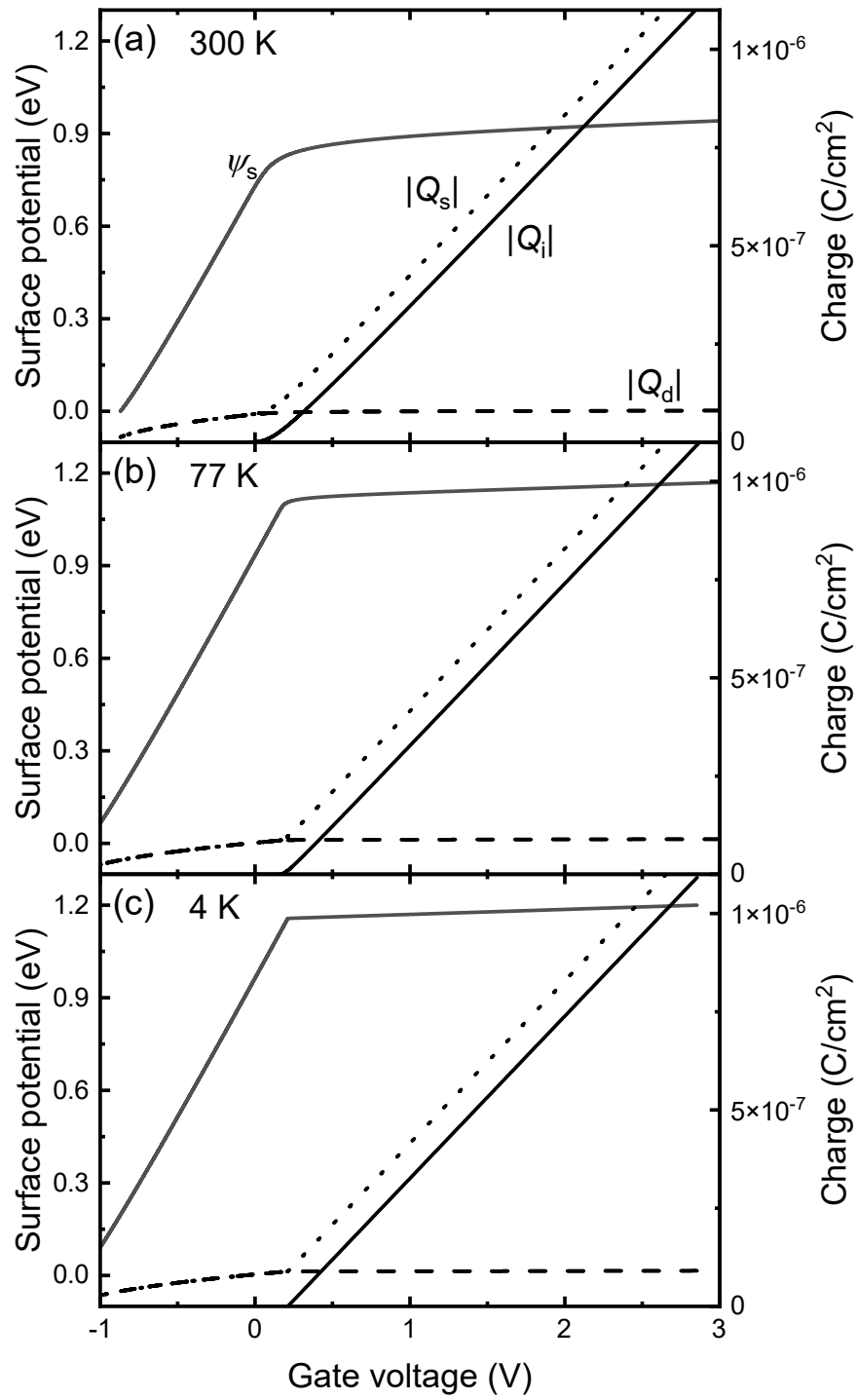


図 1.15 (a)300 K, (b)77 K, (c)4 K で計算された、表面ポテンシャル ψ_s 、全電荷密度 Q_s 、反転電荷密度 Q_i 、および空乏電荷 Q_d のゲート電圧依存性。計算は高濃度にドーパされた poly-Si ゲートを持つ酸化膜厚 8 nm、基板不純物濃度 10^{16} cm^{-3} の n-MOSFET で、フェルミ・ディラック分布を用いて行った。

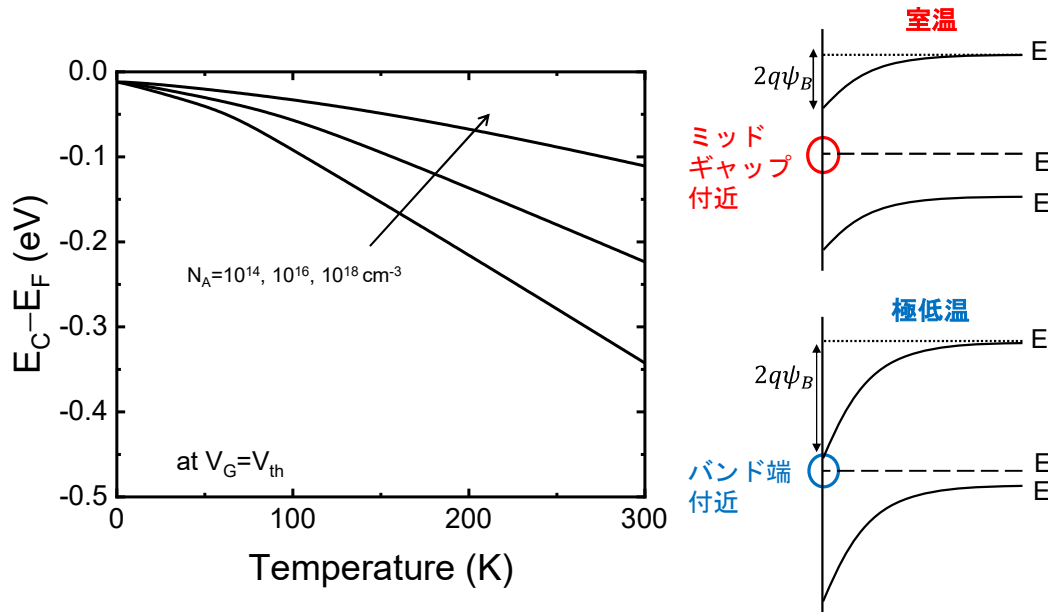


図 1.16 $V_G = V_{th}$ の状況でのフェルミ準位と伝導帯下端の位置関係の温度依存性と、室温動作時と極低温動作時のバンドダイアグラムの模式図。温度低下に伴い、反転時のフェルミ準位はバンド端へシフトする。

1.5.8 サブスレッショルドスイング

サブスレッショルドスイング(SS)はしきい値電圧以下での電流の立ち上がりの急峻さを表すパラメータであり、温度に大きく依存する。SS は以下の式で表される [45, 46]。

$$SS = \left(\frac{d(\log_{10} I_D)}{dV_G} \right)^{-1} = \frac{mk_B T}{q} \ln 10 \quad (1.6)$$

ここで k_B はボルツマン定数、 T は温度、 q は電荷素量であり、係数 m は理想因子と呼ばれており、

$$m = 1 + \frac{C_{it} + C_{dep}}{C_{ox}} \quad (1.7)$$

と表され、1 より大きい値をとる。 C_{ox} は単位面積当たりの MOS 構造の容量、 C_{it} は界面準位による容量、 C_{dep} は空乏電荷の容量である。式からわかるように SS は温度 T に比例する。これはゲート電圧または表面ポテンシャルに対して反転電荷密度がボルツマン統計に基づき増加するためである。理想的な条件で見積もられた表面ポテンシャルに対する反転電荷の変化を各温度に対して図 1.17 に示す。図 1.17 から温度低下に伴い、反転電荷の立ち上がりが急峻になっていることが確認できる。この温度依存性から、SS は一般に温度低下で単調に減少する。しかしながら極低温での SS はバンド端準位の影響を強く受けることが報告されており、SS は典型的に 30–20 K 以下の温度範囲で飽和または増加する [32, 33, 34, 53, 55–57]。加えてこのようなふるまいが確認される温度範囲では、サブスレッショルド領域の電流が指数関数的増加から鈍化することが報告されている（インフレクション現象） [43, 54]。なお、 m には空乏電荷容量 C_{dep} の項が存在するが、SS の飽

和を説明できるものでないことが示されている[47]。図 1.17 を確認すると反転電荷の立ち上がりは温度低下でより大きな表面ポテンシャルを必要としており（バルクのフェルミ準位の温度依存性と、分布関数の温度変化による）、4 Kでの反転電荷の立ち上がりは伝導帯端近傍に位置していることがわかる。このためバンド端準位の影響を強く受ける。ここでモバイルテールとインモバイルテールによる変化を考える。モバイルテールは状態密度がテールを引くものであり、そのテールは電気伝導に寄与する。エネルギー的に低い方向にモバイルテールが伸びているため、表面ポテンシャルがより低いエネルギーの値でモバイルテールに接近し、反転電子が立ち上がることになる。モバイルテールの状態密度は本来の状態密度より小さいため、表面ポテンシャルの変化に伴う反転電荷の立ち上がりが、より低いエネルギーから、より小さい傾きで生じることになる。これにより SS の飽和が表現できる。対してインモバイルテールでは、表面ポテンシャルと反転電荷の関係は変化しないものと考えられるが、ゲート電圧に対する表面ポテンシャルの変化がインモバイルテール由来の容量によって阻害され、SS が変化する。(1.7)の C_{it} が実効的に増加するものと理解できる。この場合、温度低下によるポテンシャルの位置関係の変化によって、準位による容量が増加しなくなった場合に SS の低下が再度現れると報告されてい

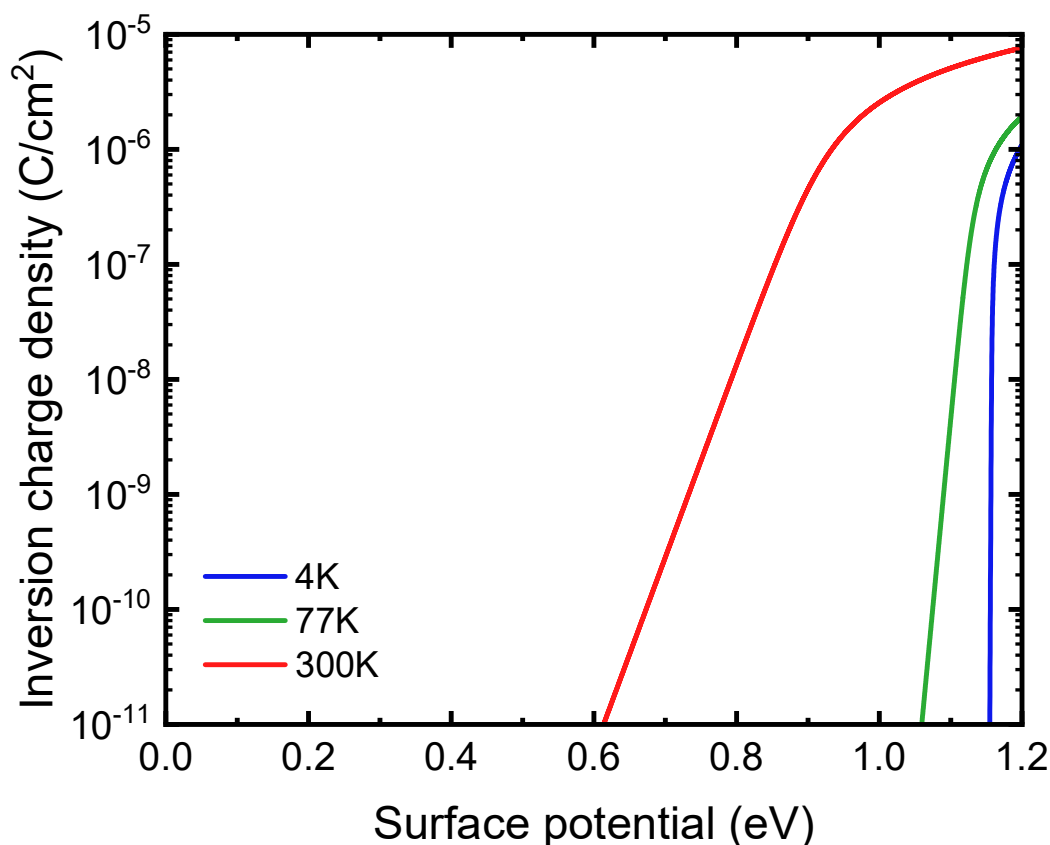


図 1.17 理想的な条件で計算された表面ポテンシャルの変化に伴う反転電荷の立ち上がり。計算は酸化膜厚 8 nm、基板不純物濃度 10^{16} cm^{-3} の n-MOSFET で行った。反転電荷の状態密度は二次元電子ガスを想定した。温度低下で表面ポテンシャルの変化に対し、反転電子が急峻に立ち上がることがわかる。また温度低下で反転電子が立ち上がるエネルギーは大きくなる。

る[58]。またセルフヒーティングによって実効的な電子温度が上昇することでも SS は増加すると予想される。これは SOI 基板に作製された MOSFET のような、放熱がしにくい構造で顕著になるため、注意が必要である[59]。とはいえ、SS の飽和といった挙動は、多くの場合バンド端準位によって説明されるとしてコンセンサスを得られているものと考えられる。

1.5.9 移動度

移動度は MOSFET のオン電流を決定する重要なパラメータである。移動度は散乱因子によって制限されることがよく知られている。シリコン MOSFET の移動度を制限する主要な散乱機構は、フォノン散乱、クーロン散乱、ラフネス散乱の三つである[45, 46]。実際の移動度はマティーセン則を用いて足し合わせることで表され、以下ようになる。

$$\frac{1}{\mu_{\text{eff}}} = \frac{1}{\mu_{\text{Coulomb}}} + \frac{1}{\mu_{\text{phonon}}} + \frac{1}{\mu_{\text{SR}}} \quad (1.5)$$

ここで μ_{eff} は実効移動度であり、 μ_{Coulomb} 、 μ_{phonon} 、 μ_{SR} はそれぞれクーロン散乱移動度、フォノン散乱移動度、表面ラフネス散乱移動度である。これらの中で、フォノン散乱は格

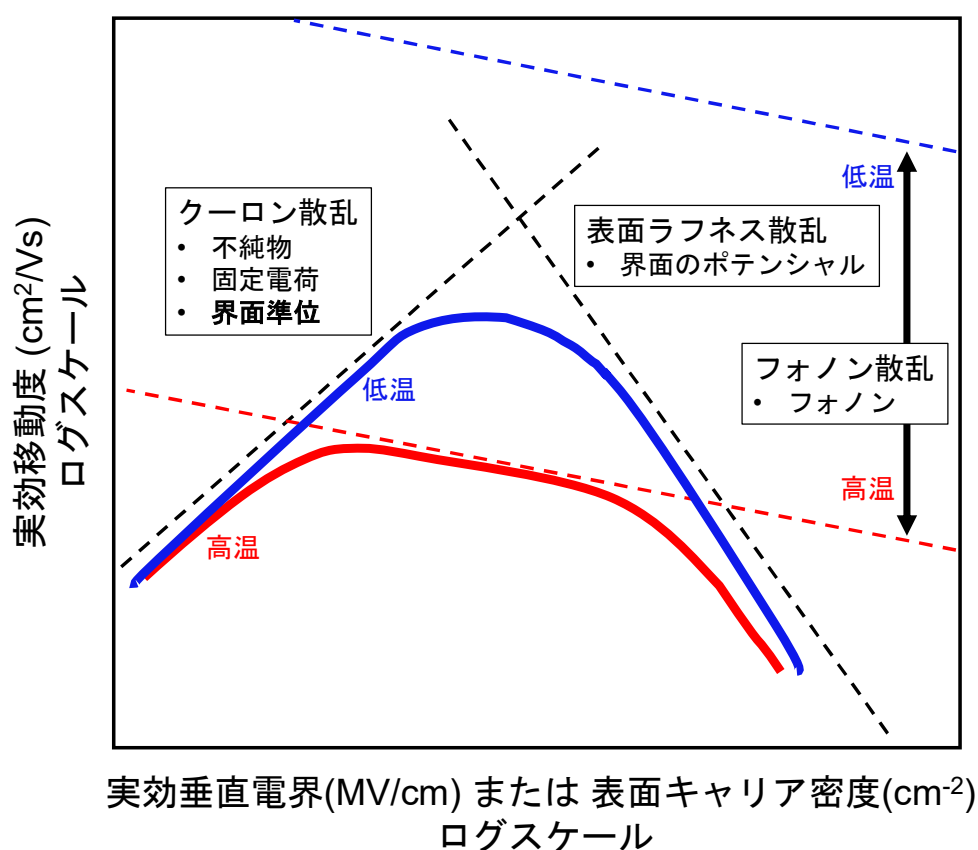


図 1.18 MOSFET の反転キャリア移動度の模式的説明図。フォノン散乱は温度低下で減少するため、温度低下で移動度は向上する。

子振動に起因するものであり、温度に依存する[60]。温度が低くなると格子振動は弱まり、フォノン散乱の影響は小さくなる。そのため、一般に温度低下で移動度は向上する。極低温ではフォノン散乱の影響がほとんどなく、クーロン散乱、ラフネス散乱が移動度制限の因子となる。クーロン散乱の起源としては基板不純物や酸化膜中固定電荷、界面準位などが考えられている。クーロン散乱中心はスクリーニング効果の影響を受けるため、キャリア密度が高いとクーロン散乱中心は遮蔽され散乱確率は減少する。キャリア密度（実効電界）に対してクーロン散乱移動度は正の相関を持つ。表面ラフネス散乱の起源は界面のポテンシャルのゆらぎと考えられている。Si/酸化膜界面の凹凸がポテンシャルを変調させることで移動度を制限する。表面ラフネス散乱の影響は、実効電界が大きく、反転キャリアが界面に引きつけられている場合で大きくなる。よって表面ラフネス散乱移動度は実効電界に対して負の相関を持つ。これらを考えると、極低温下では、低い表面反転電荷密度（または実効電界）ではクーロン散乱が、高い表面電化密度ではラフネス散乱が支配的になることが示されている[60]。また極低温下でのクーロン散乱は、MOS 界面の品質に依存することが示されている[36]。バンド端近傍のエネルギーを持つ散乱因子が極低温下で顕在化するものと考えられている。

以上から、MOSFET の動作温度を変化させた際の直流特性は大まかに理解できるものと考えられる。図 1.19 に動作温度を変化させて測定した、長チャネル n-MOSFET の特性を示す。酸化膜厚は 8 nm、基板濃度は約 10^{16} cm^{-3} である。動作温度を変化させて測定した I_D - V_G 特性では、線形プロットからは、温度を低下させるにつれて、ドレイン電流が増大、またカーブが正にシフトしていることがわかる。前者は温度低下に伴う移動度の向上によるものである。後者はフェルミ準位の温度依存性を反映したものであり、 I_D - V_G 特性から得られたしきい値電圧の温度依存性を(c)に示した。温度低下に伴い、しきい値電圧が増加していることが確認される。50 K 以上の温度範囲では、温度低下に伴いほぼ線形な増加に見えるが、50 K 以下の温度範囲では、傾きが若干増加することが確認される。この 50 K 以下でのしきい値電圧は、バンド端準位の影響を受けているものと考えられる。また片対数プロットでは、温度低下に伴い、しきい値電圧の増加に加え、サブスレッショルド領域でのドレイン電流の立ち上がりが急峻になっていることが確認できる。この理由は前述した SS の温度依存性から理解できる。(d)に SS のドレイン電流依存性(SS- I_D プロット)を示す。まず、温度低下に伴い、SS が減少していく様子が確認される。300 から 100 K のプロットでは、SS がドレイン電流に対して約 10^{-7} A までプラトーを持つことがわかる。これはサブスレッショルド領域のドレイン電流の立ち上がりが、指数関数的に立ち上がっていることを示している。ただし、50 K 以下の温度範囲では、SS はドレイン電流に対してプラトーを持たず、ドレイン電流増加に伴い、SS が増加していることが確認される。これはサブスレッショルド領域でのドレイン電流の立ち上がりが、理想的な指数関数的な増加から鈍化していくことを示している。この原因は、前述のようにバンド端準位と考えられている。

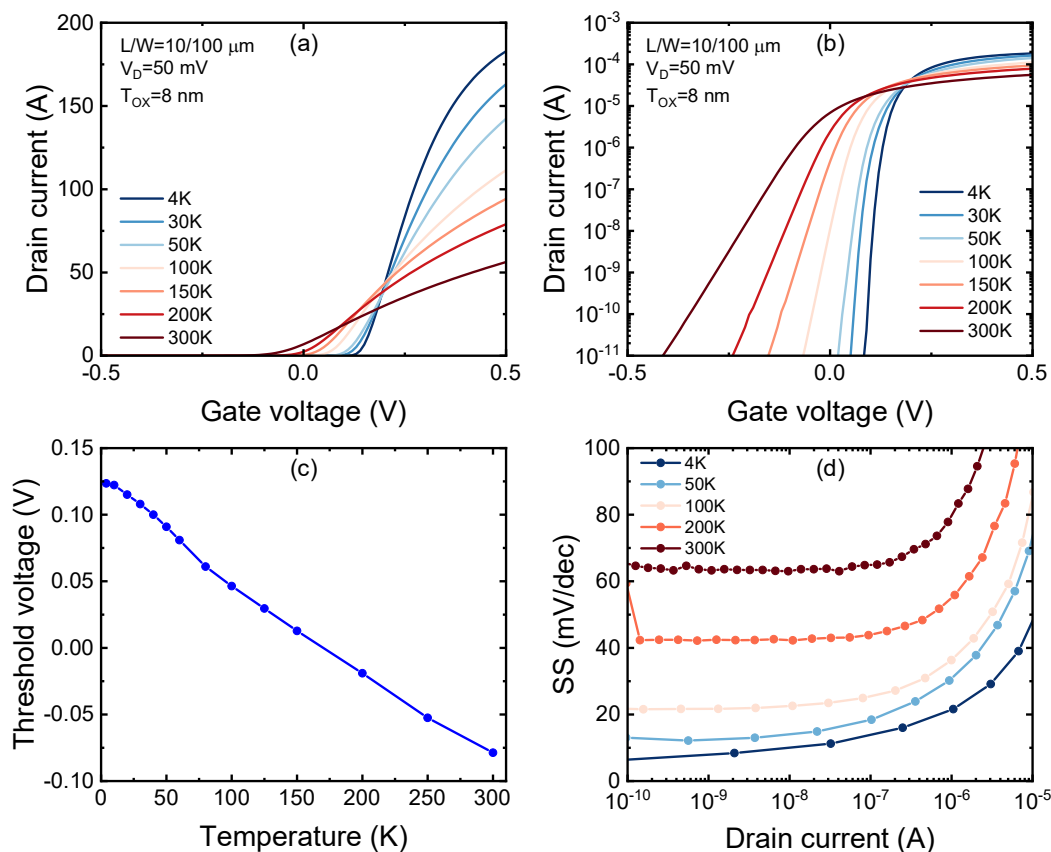


図 1.19 様々な動作温度で測定した I_D - V_G 特性(a)線形プロット、(b)片対数プロット、またこれから得られた(c)しきい値電圧の温度依存性と(d)SS のドレイン電流依存性。

1.5.10 信頼性

信頼性とは、ある製品が一定の条件下で一定期間正常に動作する確率として定義される。この定義をクライオ CMOS 回路に適用すると、まず回路が正常に動作なくなることが故障と考えられる。しかし、単に動作不良のみを故障と定義するのは適切ではない。クライオ CMOS 回路の役割は、量子ビットの制御・読み出しを行うことである。MOSFET はいつでも同じ特性を示すわけでなく、現実には MOSFET の特性は時間とともに変化する。MOSFET の特性の劣化により、回路特性が変化して量子ビットの制御・読み出しに求められる仕様を満たさなくなった場合も、クライオ CMOS 回路の故障である。MOSFET の信頼性に関する要因として、ノイズによる誤作動、動作時のデバイス特性の変化、長時間の使用による材料の破壊などが挙げられる。このようなデバイス特性の劣化は、極力抑制することが望ましい。またそれらの物理的機構が明らかにされ、特性変化が予測されることが重要である。一般に、信頼性は動作温度の低下によって改善するとされているが、例外も存在する。主要なデバイスの信頼性評価項目として、低周波ノイズ、ホットキャリア注入、バイアス温度不安定性、経時的絶縁破壊が挙げられる。特に低周波ノ

イズは極低温下で増大し、バンド端準位との相関があると報告されている。またホットキャリア注入は一般に温度低下で影響が増大し、4 K 動作ではデバイスが大きく劣化することが報告されているが、その物理的機構は依然として議論中である。

極低温下でのノイズ

クライオ CMOS 回路におけるノイズは、量子ビット操作の観点から非常に重要である。量子ビットの状態を信号で制御するため、制御回路から生じるノイズは電荷ノイズとなり、量子ビット操作に直接的な影響を及ぼしかねない。また量子ビットの状態の読み出しでは低ノイズ増幅器 (Low-noise amplifier: LNA) を用いて微小信号を増幅するが、LNA のノイズは SN 比に直結し致命的である。MOSFET 動作におけるノイズとしては、低周波ノイズが 4 K 動作で増大することが報告されており [37, 38]、重要な課題である。極低温下での $1/f$ ノイズが面方位に依存することから、バンド端準位との相関が示唆されている [37]。この実験的証拠として、温度低下によってノイズ源が酸化膜中から界面へより近づくこと、エネルギーがバンド端に近づくことが報告されている [39]。また量子ビットの読み出しのための SET のノイズでは、mK から数 K へ温度を上昇させた場合にノイズが増大するとも報告されており [61]、これは SS の解析による結果 [58] と同じ傾向を示す。シリコン量子ビットの動作そのもの自体は、mK の温度範囲を前提としているため、バンド端準位の影響は小さい可能性も存在する。

ホットキャリア注入

ホットキャリア注入では電子や正孔が半導体中の電界、特にソース・ドレイン間の横方向電界によって加速された結果、高いエネルギーを得て、直接または間接的にゲート絶縁膜に飛び込むことで特性が変化する。この現象はホットキャリア効果 (Hot carrier effect)、または特性が劣化する場合ホットキャリア劣化 (Hot carrier degradation) と呼称される。この現象は n-, p-MOSFET どちらでも生じるが、n-MOSFET で顕著に発生することが知られている。これは電子の方が正孔よりも移動度が高く、電界によって容易に高エネルギーを得やすいためである。メカニズムは以下のように考えられている。ドレイン近傍で電界によって加速された電子が、電子やフォノンに散乱され走行の向きを変え、この過程で電子はエネルギーを放出または獲得する。散乱によって向きを変えた電子の一部はゲート絶縁膜に飛び込む。また一部はインパクトイオン化を生じさせ電子正孔対を生成する。このとき生じた正孔の大多数は基板端子から流出して基板電流として観測され、一部がゲート絶縁膜に飛び込む。このようにして電子または正孔がゲート絶縁膜に飛び込み、この結果界面準位および固定電荷が発生する。ここで、界面準位の物理的描像としては、Si-H 結合がホットキャリアによって切断され生じたシリコンのダングリングボンドと考えられている [62]。界面準位や固定電荷が発生する箇所は、ドレインの近傍に集中する。そのためホットキャリア劣化後のデバイス特性はソース・ドレインで非対称性を持つ。

例えばホットキャリア効果によるしきい値電圧の変化、また移動度の変化は、オーバードライブ電圧 ($V_G - V_{th}$) の変化、また相互コンダクタンスの変化を意味し、ゲインが変化しアナログ回路の動作に影響を与える。

多くの場合、特性劣化が最大となるのは、インパクトイオン化が最大となる条件でありこの条件は DAHC (Drain Avalanche Hot Carrier) 条件と呼ばれている。このようなバイアス条件はおおまかに $V_G \sim V_D/2$ 程度である。このバイアス条件では、ドレインよりゲートが低電圧のため、正孔がゲート絶縁膜に飛び込みやすい[63]。 $V_G = V_D$ のバイアス条件は CHE (Channel Hot Electron) 条件と呼ばれる。このバイアス条件では反転キャリアのみが特性変化に影響する。

また、温度依存性については、微細でないデバイスの場合、温度低下で劣化は増大する。これは温度低下でフォノン散乱が低下するため、キャリア走行中によりエネルギーを得やすくなるためである。微細なデバイスの場合、 V_{DS} によって劣化の大小の温度依存性が切り替わることが報告されている。これは微細なデバイスの場合、電界から得るエネルギーが、チャネル長が短いため比較的小さく、キャリアが熱平衡状態で持っているエネルギーの寄与が無視できなくなるためだと考えられている[64]。

77 K 以上での温度でのホットキャリア注入の議論は過去多く行われているが、クライオ CMOS 動作温度である 4 K でのホットキャリア注入の報告は少ない[65, 66]。近年の量子コンピュータ向けクライオ CMOS のホットキャリア注入に関する報告は、2024 年 11 月現在 2 件である[67, 68]。4.2 K 動作でホットキャリア劣化が増大し、SMIC の 0.18 μm プロセスの n-MOSFET の寿命は 300 K と比較して約 1/4 になると報告されており、重要な問題である[67]。また Grill らの実験では、28 nm の小さいチャネル長の場合、先に述べたホットキャリア劣化の逆温度依存性が確認できず、77 K や 4 K では劣化が増大すると報告されている[68]。

ホットキャリア劣化の低減の方法としては、構造的なものではドレイン近傍の電界を緩和する LDD (Lightly doped drain) 構造[69]などのドレインまわりのドーピングプロファイルの工夫が存在する。また MOS 界面の観点からは後述する重水素アニールにより耐性が向上すると広く知られている[70, 71]。

バイアス温度不安定性 (Bias Temperature Instability: BTI)

バイアス温度不安定性 (BTI) は高温、高バイアス条件下で MOSFET のしきい値電圧が変動する現象である。n-MOSFET に対してはしきい値電圧が正にシフトする PBTI (Positive Bias Temperature Instability)、p-MOSFET に対しては負にシフトする NBTI (Negative Bias Temperature Instability) が問題となる。これらの現象は SiON や high-k ゲート絶縁膜といった新材料の導入に伴い問題が顕在化してきた。BTI は劣化と回復の過程を含む。NBTI は Si/ゲート絶縁膜界面のダングリングボンドを終端している水素原子が、電氣的ストレスによって脱離して劣化、脱離した水素が再度界面を終端して回復が起こると考える水素反応拡散モデル[72]や、水素脱離で劣化が起こり、ゲート絶縁膜中に正孔が捕獲されることで回復が起こると考える複合モデル[73]で理解されている。PBTI はゲート絶縁膜が SiO₂ や SiON の場合では問題となっていなかったが、high-k 絶縁膜の導入時に問題となった。これは high-k 絶縁膜中の酸素空孔によるものと理解されている[74]。

BTI は温度によって活性化される現象であり、温度低下で抑制されるものと考えられる。この温度による単調な依存性は 180 nm プロセスでゲート絶縁膜に SiON を用いたデバイスでは報告されるものの[75]、28 nm FD-SOI テクノロジーで作製したデバイスを用

いた報告では、温度に依存しないトラップ減少が 100 K 以下で支配的となることが報告されている[76]。

経時的絶縁破壊 (Time Dependent Dielectric Breakdown: TDDB)

経時的絶縁破壊 (TDDB) は、絶縁破壊電圧を下回る電圧であっても、長時間の電圧印加によって絶縁膜が劣化し、最終的に破壊される現象を指す。MOSFET では、特にゲート絶縁膜の破壊が信頼性上の大きな課題となる。TDDB は統計的な現象であり、この統計性はパーコレーションモデルが受け入れられている[77]。このモデルは、絶縁膜中に欠陥が生じ、これが数珠状につながり電流経路ができることによって絶縁破壊に至るモデルである。この考え方では、最も弱い部分が寿命を決めているため、TDDB の統計性はワイブル分布で表される。TDDB は温度で活性化される現象であり、温度低下で抑制される。実際に 45nm PD-SOI 技術のデバイスを用いた報告では、温度低下で降伏時間が増加することが報告されている[78]。

1.5.11 TCAD

TCAD (Technology Computer Aided Design) は物理・化学モデルに基づいたプロセス・デバイスシミュレーションにより、半導体デバイスの特性予測を行うものである。集積回路の製造は、製造技術データやデバイス特性データを総合的に勘案し、設計される。これらデータの取得は、デバイス試作、特性評価を繰り返し行うことで得られるが、試作・評価には大変な時間や費用がかかるため、これらを短縮することが重要である。TCAD はコンピュータ上でデバイス試作や特性評価を行い、プロセス条件やデバイス条件を最適化する技術である。半導体製造業において、広く用いられている[79]。

TCAD はプロセス、およびデバイスのシミュレーションに大別される。プロセスシミュレータは、製造プロセスによる形状の変化や不純物濃度の分布などを、物理・化学モデルに基づいて計算する技術である。クライオ CMOS の製造工程は通常の CMOS 回路製造工程と変わらないため、この技術はクライオ CMOS 特有のものはない。デバイスシミュレータは、デバイスの電気特性を物理モデルに基づいて計算する技術である。デバイス特性は、ポアソン方程式、電子・正孔の電流連続式から構成されるドリフト拡散方程式に基づいて記述される。これを記述するために必要なものは、キャリア密度、またこれらに伴う電位である。しかし現在商用のデバイスシミュレータは極低温での動作を前提としておらず、約 50 K 以下での温度範囲でのシミュレーションは実験を再現しづらいという問題が存在する。これは例えば極低温での物理モデルの妥当性[80]や、キャリア密度が小さい、位置で大きくキャリア密度が変化する、またバイアス変化で急激にキャリア密度が変化するため収束が悪い[81]ためであり、これらの問題が認識されている。

1.5.12 モデリング

現在クライオ CMOS の回路設計、実証では主に 65nm から 22nm のテクノロジーが多く用いられている[82-84]。これらテクノロジーの極低温動作のモデリングが盛んに行われている。例えば 40-nm バルク CMOS[85]、22-nm FDSOI (Fully depleted silicon on insulator) CMOS [86]などのプレーナー型 CMOS のモデリングが多い。FinFET の極低温下でのモデリングも直近では報告されている[87]。図 1.20 にモデリング実証の報告例を示す。モデリングは回路設計に必要なパラメータを抽出する過程であり、集積回路の性能に大きな影響を与える。従来の室温動作の集積回路におけるモデリングは TEG とオートプローバを用いた大規模測定に基づいており、大量の測定結果からプロセスのばらつきなどを統計的にモデル化し、回路設計に反映させる。クライオ CMOS では極低温での測定を必要とし、大規模測定に膨大な時間が必要となる。この課題は極低温下での大規模測定に向けた技術開発が進められている。フィンランドの BlueForce 社と Afore 社が 2 K 以下の温度下で大規模測定が可能な 300 mm ウェハオートプローバを開発している。公表されている情報では Intel、Leti、産総研が導入している。また稲葉らは転移学習や生成ニューラルネットの技術を用いて、少ない測定結果からパラメータを予想するモデリングの方法を報告している[106]。これらの技術開発により、クライオ CMOS においても正確なモデリングが進展するものと考えられる。

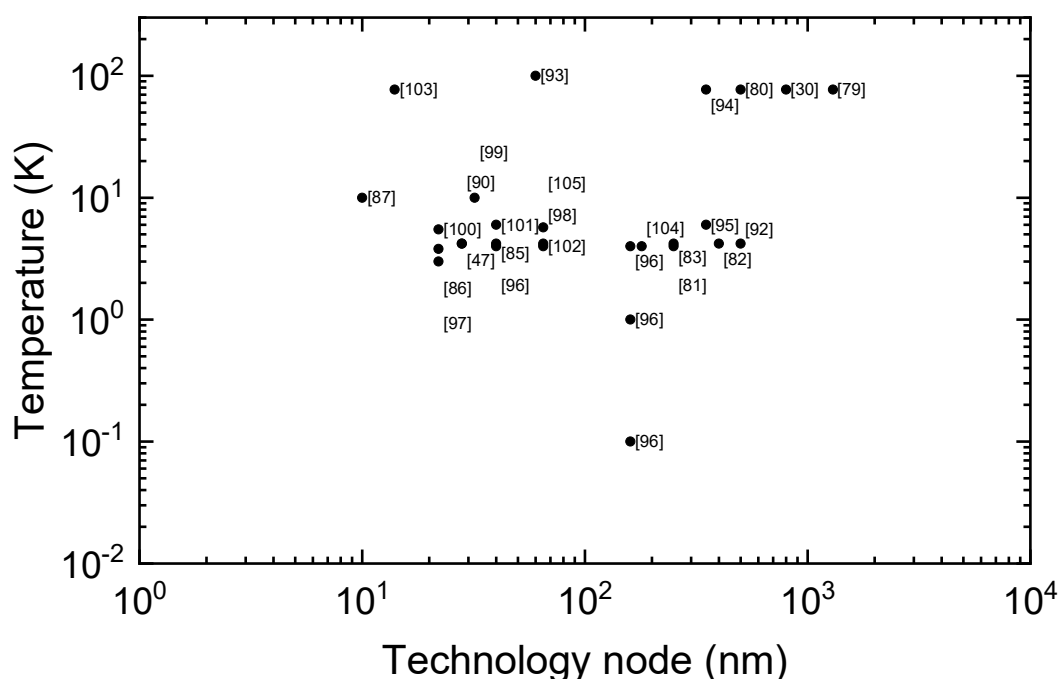


図 1.20 低温下での CMOS モデリングの報告例。

1.6 極低温動作 MOSFET の現況

簡単ではあるが、ここまでで移動度、しきい値電圧、SS などの基本特性や、信頼性について現状の理解を説明した。以上をまとめると、現在の極低温下での MOSFET 動作における特性の理解は表 1.1 のようになる。

表 1.1 極低温動作 MOSFET のパラメータの現状での理解

パラメータ	従来理論の予想	実際	原因
移動度	向上	一部で低下	バンド端準位
SS	低下	飽和、 インフレクション	バンド端準位
しきい値電圧	増加	過剰に増加	バンド端準位
ノイズ	低下	増加	バンド端準位
ホットキャリア 効果	増加	増加	極低温特有の機構の 存在は不明
BTI	低下	低下	極低温特有の 機構が示唆
TDDDB	低下	低下	

移動度やサブスレッショルドスイング、しきい値電圧といった基本特性については、極低温下ではバンド端準位の影響を強く受けることが近年の研究により明らかになった。信頼性については、ノイズは極低温下で増加し、その起源はバンド端準位であることが報告されている。その他信頼性の項目の検討は緒についたばかりであり、未だ明らかになっていない部分が多い。ホットキャリア注入は極低温動作で増加することが報告されているが、その機構が室温動作と同一であるかは不明である。BTI や TDDDB は温度で活性化される現象であり、極低温動作では室温動作と比較して問題とならないと考えられる。

極低温動作における基本特性の理解で重要なのはバンド端準位である。バンド端準位は様々な極低温特性 (SS、しきい値電圧、移動度) に影響し、この準位の理解、低減はクライオ CMOS に重要である。バンド端準位について、近年のノイズの研究から浮かび上がってきたキーワードは界面である。岡らは異なる面方位に作製した MOSFET の極低温での低周波ノイズ特性から、バンド端準位の準位密度がゲートスタックの面方位、つまり MOS 界面の品質に依存することを報告した[37]。この結果は、界面欠陥による準位や界面ディスオーダー起因でバンド端準位が極低温下で顕在化したものだと考えることができる。また稲葉らは微細 MOSFET のランダムテレグラフノイズの解析から、温度低下に伴いノイズ源が酸化膜中から界面へと、ノイズ源との距離が小さくなることを示した。極低温下でのノイズ源は MOS 界面から物理的に近く、エネルギー的にバンド端に近いと示している[39]。MOS 界面が極低温特性に影響するバンド端準位の起源である可能性は高い。

さて、クライオ CMOS を考えるにあたり、次に行うべきことはノイズの他の信頼性の項目についての検討を進めることである。特に懸念すべきは温度低下で増大するホットキャリア効果である。ホットキャリア効果は界面に密接に関連する現象であり、界面と関連するバンド端準位と関係がある可能性があり、これを明らかにする必要がある。

1.7 界面改善プロセス

以上のように、極低温下では MOS 界面の特性が顕著に現れることが近年の研究で示唆されている。では、界面の品質を向上させるすべはないものだろうか。半導体製造では配線形成後に水素アニールが標準的に用いられる。これは欠陥や製造工程中に発生したプラズマダメージなどを水素で終端することで電気特性の改善、信頼性の向上を目的とするプロセスである。このプロセス中に、Si/酸化膜界面のダングリングボンドは水素で終端され電氣的に不活性化される。これにより MOSFET の電気特性、信頼性が向上することが広く知られている。

1.7.1 重水素アニール

前述したように、配線形成後の水素アニールでは、水素が MOS 界面に到達し、シリコンのダングリングボンドを水素で終端することで、界面準位を低減し、デバイス特性が改善する。この工程を水素の代わりに重水素で行うプロセスが重水素アニールである。シリコンのダングリングボンドは重水素で終端され、これがホットキャリア耐性を向上させる。

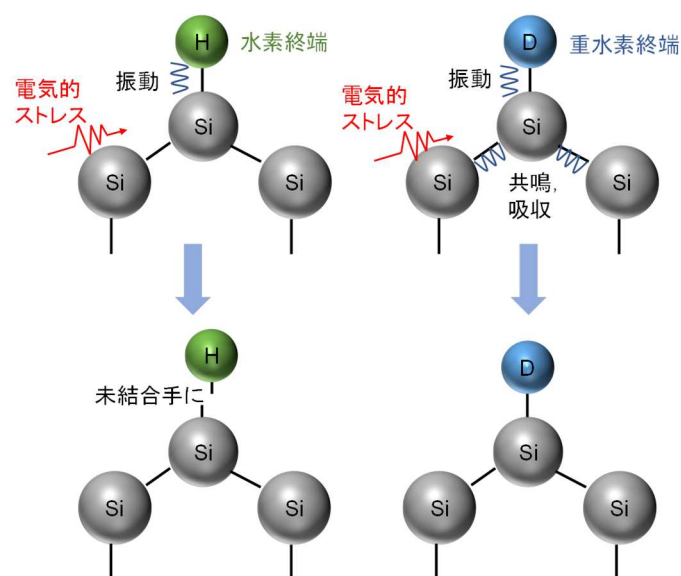


図 1.19 重水素終端の効果の起源の模式的説明図。シリコン-水素結合が切れて生じたダングリングボンドが界面準位を形成すると考えられている。シリコン-重水素結合はエネルギー励起が緩和されやすく、切れにくい結合のため、ホットキャリア耐性が向上すると理解されている。

ホットキャリア注入により、前述したメカニズムで Si-H(D)結合が切断されダングリングボンドが発生するが、Si-D 結合の振動周波数(460 cm^{-1})は、バルクシリコンの TO フォノンモード(463 cm^{-1})と近く、エネルギーの吸収・緩和が起こり、エネルギー励起されにくく、切断しにくいためホットキャリア耐性が向上すると考えられている[70, 71]。

この説の裏付けとして、走査型トンネル顕微鏡によるシリコン表面に吸着した水素または重水素の脱離反応の比較が行われている[107]。室温動作におけるホットキャリア耐性向上効果は多く報告されているが、4 K 動作での報告は未だない。

1.7.2 高圧水素アニール

前述したように、トランジスタ作製後の水素アニールは界面準位を低減し、特性を改善する。このプロセスを高圧下で行うプロセスが高圧水素アニールである。

高圧水素アニールは 1980 年代に提案され、当初はプロセス中に酸化膜内に生じたプラズマや放射線誘起の中性電子トラップの低減を目的としていた[108, 109]。2000 年代以降は、high-k ゲート絶縁膜を用いた MOSFET の特性改善にも適用されており、high-k 絶縁膜中の酸素空孔を低減することで特性が改善すると報告されている[116]。

さらに、高圧重水素アニールは、前述の重水素終端の効果を効率的に得られるため、信頼性が向上するとの報告もある[120]。過去の報告例を図 1.20 にまとめて示す。室温動作に関する様々な材料、ゲートスタックを用いた報告があるが、4 K 動作への適用例はまだない。

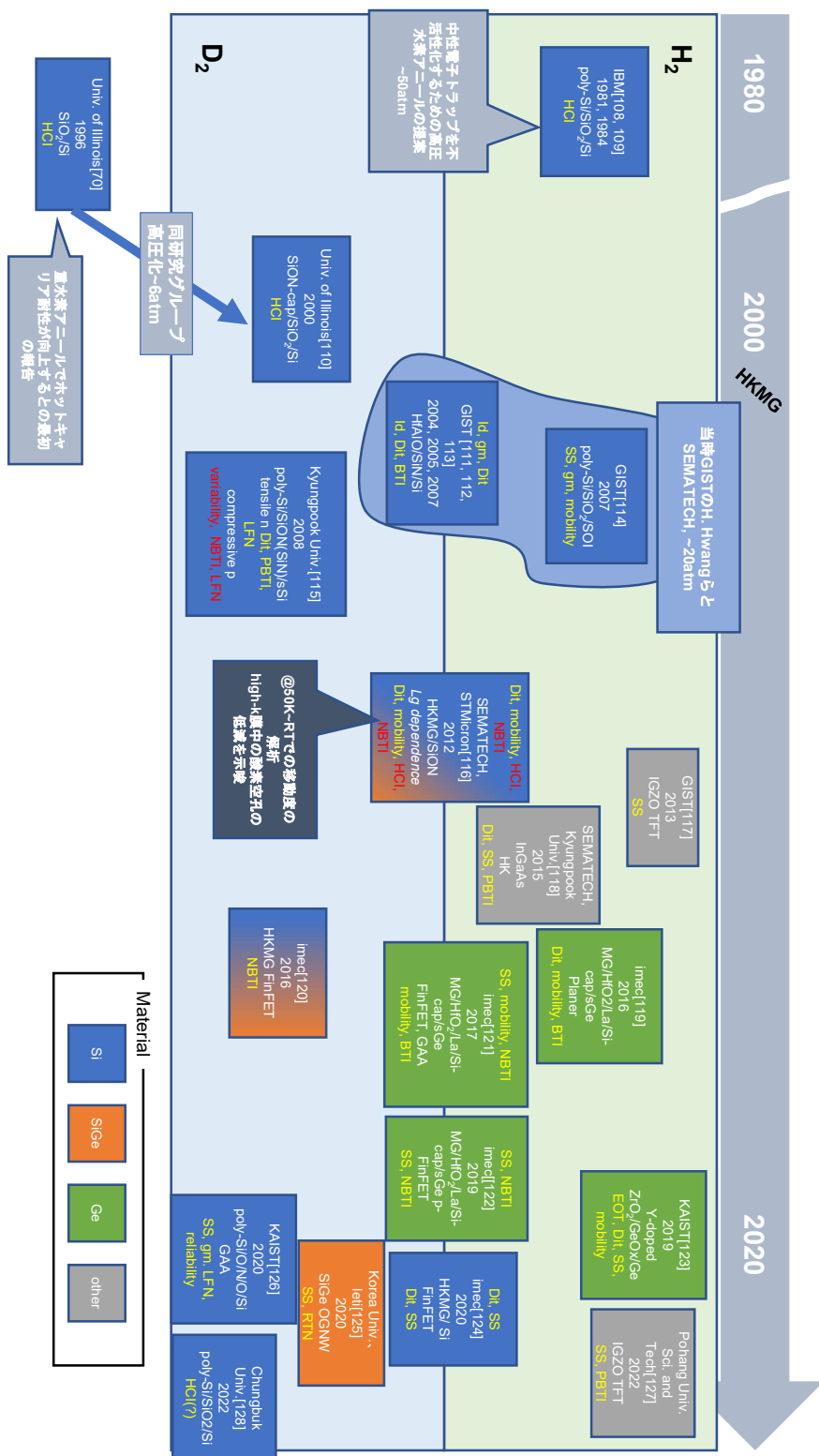


図 1.20 高圧水素・重水素アニールの報告例。黄色文字は改善した特性、赤文字は悪化した特性を示している。

1.8 本研究の目的

ここまで、大規模量子コンピュータ実現に向けたクライオ CMOS 技術のための極低温動作 MOSFET の動作原理と研究動向を簡単に紹介した。極低温下では従来理論からの逸脱が生じており、その原因の多くはバンド端準位にあることが明らかになりつつある。ただし、その物理的起源については依然として議論が続いている。クライオ CMOS 技術の次なるステップは、信頼性の検討であろう。

本研究では、クライオ CMOS 回路で深刻となる、ホットキャリア効果による特性変化の機構を明らかにし、その対策案を提示することを目的とする。ホットキャリア効果は経時でデバイス特性を変化させるものであり、集積回路の寿命を決定する重要な要因である。ホットキャリア効果は動作温度の低下で増大する。実際にクライオ CMOS 回路動作温度である 4 K で深刻化し、デバイス寿命が低減することが報告されている。しかしながら極低温下での機構は未だ明らかにされていない。

ホットキャリア効果は MOS 界面と密接に関連しているため、本研究では MOS 界面に作用するプロセスである重水素アニールと高圧水素アニールに着目する。本研究を通じて、極低温下でのホットキャリア効果による大きな特性変化は、界面ディスオーダーに起因するバンド端準位の密度増大であることが明らかとなる。

参考文献

- [1]. G. E. Moore, “Cramming more components onto integrated circuits,” *Electronics*, vol. 38, no. 8, Apr. 1965.
- [2]. J. Chai, “Device Technology for 3nm and Beyond,” 2019 *International Electron Devices Meeting (IEDM)*.
- [3]. A. Veloso, “Advanced Compute Scaling with Nanosheet-based Devices and Increased Interdisciplinary Synergies,” 2024 *International Conference on Solid State Device and Material*, Himeji, Sep. 2024.
- [4]. Samsung, “3nm GAA MBCFET™: Unrivaled SRAM Design Flexibility,” Jun 21, 2023, <https://semiconductor.samsung.com/news-events/tech-blog/3nm-gaa-mbcfet-unrivaled-sram-design-flexibility/>. (2024/11/19 アクセス)
- [5]. 例 え ば Google Tensor Processing Unit (TPU): <https://cloud.google.com/tpu/docs/tpus?hl=ja>. (2024/11/19 アクセス)
- [6]. International Roadmap for Devices and Systems (IRDS™) 2022 Edition, Systems and Architectures, doi: [10.60627/c13z-v363](https://doi.org/10.60627/c13z-v363).
- [7]. R. H. Dennard, F. H. Gaensslen, H. -N. Yu, V. L. Rideout, E. Bassous and A. R. LeBlanc, “Design of ion-implanted MOSFET's with very small physical dimensions,” *IEEE J. Solid-State Circ.*, vol. 9, no. 5, pp. 256-268, Oct. 1974, doi: [10.1109/JSSC.1974.1050511](https://doi.org/10.1109/JSSC.1974.1050511).
- [8]. M. Fuselier, “Advancing AI with Energy-Efficient Architectures: Innovations in Fab Process, Packaging, and System Integration,” 2024 *International Electron Devices Meeting (IEDM)*, San Francisco, US, Dec. 2024.
- [9]. F. Arute et al., “Quantum supremacy using a programmable superconducting processor,” *Nature*, vol. 547, pp. 505–510, Oct. 2019, doi: [10.1038/s41586-019-1666-5](https://doi.org/10.1038/s41586-019-1666-5).
- [10]. D. Kielpinski, M. Chris, and D. J. Wineland. "Architecture for a large-scale ion-trap quantum computer." *Nature*, vol. 417, no. 6890, pp. 709-711, Jun. 2002, doi: [10.1038/nature00784](https://doi.org/10.1038/nature00784).
- [11]. S. J. Evered, D. Bluvstein, M. Kalinowski, S. Ebadi, T. Manovitz, H. Zhou, S. H. Li, A. A. Geim, T. T. Wang, N. Maskara, H. Levine, G. Semeghini, M. Greiner, V. Vuletić, and M. D. Lukin, “High-fidelity parallel entangling gates on a neutral-atom quantum computer,” *Nature*, vol. 622, pp. 268-272, Oct. 2023, doi: [10.1038/s41586-023-06481-y](https://doi.org/10.1038/s41586-023-06481-y).
- [12]. A. Morello, J. J. Pla, F. A. Zwanenburg, K. W. Chan, K. Y. Tan, H. Huebl, M. Möttönen, C. D. Nugroho, C. Yang, J. A. van Donkelaar, A. D. C. Alves, D. N. Jamieson, C. C. Escott, Lloyd C. L. Hollenberg, R. G. Clark, and A. S. Dzurak, “Single-shot readout of an electron spin in silicon,” *Nature*, vol. 467, pp. 687-691, Sep. 2010, doi: [10.1038/nature09392](https://doi.org/10.1038/nature09392).

- [13]. T. Hayashi, T. Fujisawa, H. D. Cheong, Y. H. Jeong, and Y. Hirayama, “Coherent Manipulation of Electronic States in a Double Quantum Dot,” *Phys. Rev. Lett.*, vol. 91, no. 22, pp. 1-4, Nov. 2004, doi: [10.1103/PhysRevLett.91.226804](https://doi.org/10.1103/PhysRevLett.91.226804).
- [14]. G. Balasubramanian, P. Neumann, D. Twitchen, M. Markham, R. Kolesov, N. Mizuochi, J. Isoya, J. Achard, J. Beck, J. Tissler, V. Jacques, P. R. Hemmer, F. Jelezko, and J. Wrachtrup, “Ultralong spin coherence time in isotopically engineered diamond,” *Nat. Mater.*, vol. 8, pp. 383-387, Apr. 2009, doi: [10.1038/nmat2420](https://doi.org/10.1038/nmat2420).
- [15]. J. L. O'brien, “Optical quantum computing,” *Science* vol. 318, no. 5856, pp. 1567-1570, Dec. 2007, doi: [10.1126/science.1142892](https://doi.org/10.1126/science.1142892).
- [16]. N. C. Jones, R. V. Meter, A. G. Fowler, P. L. McMahon, J. Kim, T. D. Ladd, and Y. Yamamoto, “Layered Architecture for Quantum Computing,” *Phys. Rev. X*, vol. 2, no. 031007, pp. 1-27, 2012, doi: [10.1103/PhysRevX.2.031007](https://doi.org/10.1103/PhysRevX.2.031007).
- [17]. A. Laucht, et al., “Roadmap on quantum nanotechnologies,” *Nanotechnol.*, vol. 32, no. 16, pp. 1-48, Feb. 2021, doi: [10.1088/1361-6528/abb333](https://doi.org/10.1088/1361-6528/abb333).
- [18]. R. P. Feynmann, “Simulating physics with computers,” *Int. J. Theor. Phys.*, vol. 21, no. 6/7, pp. 476-488, Jun. 1982, doi: [10.1007/BF02650179](https://doi.org/10.1007/BF02650179).
- [19]. P. W. Shor, “Algorithms for quantum computation: discrete logarithms and factoring,” *Proc. 35th Annual Symposium on Foundations of Computer Science*, Santa Fe, NM, USA, 1994, pp. 124-134, doi: [10.1109/SFCS.1994.365700](https://doi.org/10.1109/SFCS.1994.365700).
- [20]. L. K. Grover, “A fast quantum mechanical algorithm for database search,” *Proc. of the twenty-eighth annual ACM symposium on Theory of Computing*, pp. 212-219, 1996.
- [21]. G. Tosi, F. A. Mohiyaddin, V. Schmitt, S. Tenberg, R. Rahman, G. Klimeck and A. Morello, “Silicon quantum processor with robust long-distance qubit couplings,” *Nature Communications*, vol. 8, no. 450, pp. 1-11, Sep. 2017, doi: [10.1038/s41467-017-00378-x](https://doi.org/10.1038/s41467-017-00378-x).
- [22]. R. W. Andrews, C. Jones, M. D. Reed, A. M. Jones, S. D. Ha, M. P. Jura, J. Kerckhoff, M. Levendoff, S. Meenehan, S. T. Merkel, A. Smith, B. Sun, A. J. Weinstein, M. T. Rakher, T. D. Ladd and M. G. Borselli, “Quantifying error and leakage in an encoded Si/SiGe triple-dot qubit,” *Nat. Nanotech.*, vol. 14, no. pp. 747-750, Aug. 2019, doi: [10.1038/s41565-019-0500-4](https://doi.org/10.1038/s41565-019-0500-4).
- [23]. S. Nishiyama, K. Kato, M. Kobayashi, R. Mizokuchi, T. Mori, and T. Koder, “The functions of a reservoir offset voltage applied to physically defined p-channel Si quantum dots,” *Scientific Reports*, vol. 12, no. 10444, pp. 1-6, Jun. 2022, doi: [10.1038/s41598-022-14669-x](https://doi.org/10.1038/s41598-022-14669-x).
- [24]. K. M. Itoh and H. Watanabe, “Isotope engineering of silicon and diamond for quantum computing and sensing applications,” *MRS Commun.*, vol. 4, no. 4, pp. 143-157, Nov. 2014, doi: [10.1557/mrc.2014.32](https://doi.org/10.1557/mrc.2014.32).

- [25]. J. Yoneda, K. Takeda, T. Otsuka, T. Nakajima, M. R. Delbecq, G. Allison, T. Honda, T. Kodera, S. Oda, Y. Hoshi, N. Usami, K. M. Itoh and S. Tarucha, "A quantum-dot spin qubit with coherence limited by charge noise and fidelity higher than 99.9%," *Nat. Nanotech.*, vol. 13, pp. 102-106, Feb. 2018, doi: [10.1038/s41565-017-0014-x](https://doi.org/10.1038/s41565-017-0014-x).
- [26]. Qubits for Computing Foundry (QCF): <https://www.qubitcollaboratory.org/qubits-for-computing-foundry-qcf-single-page/>. (2024/12/1 アクセス)
- [27]. S. Kubicek, S. Massar, C. Godfrin, B. Raes, J. Jussot, Y. Canvel, Y. Hermans, G. Simion, A. Grill, D. Wan, and K. De Greve, "A 300mm Silicon Spin Based Platform for Quantum Computing," *2024 International Conference on Solid-State Devices and Materials*, Himeji, Japan, Sep. 2024.
- [28]. P. Steinacker et al., "A 300 mm foundry silicon spin qubit unit cell exceeding 99 % fidelity in all operations," [arXiv:2410.15590](https://arxiv.org/abs/2410.15590), Oct. 2024.
- [29]. B. Patra, R. M. Incandela, J. P. G. van Dijk, H. A. R. Homulle, L. Song, M. Shahmohammadi, R. B. Staszewski, A. Vladimirescu, M. Babaie, F. Sebastiano, and E. Charbon, "Cryo-CMOS Circuits and Systems for Quantum Computing Applications," *IEEE J. Solid-State Circ.*, vol. 53, no. 1, pp. 309-321, Jan. 2018, doi: [10.1109/JSSC.2017.2737549](https://doi.org/10.1109/JSSC.2017.2737549).
- [30]. F. H. Gaensslen, V. L. Rideout, E. J. Walker and J. J. Walker, "Very small MOSFET's for low-temperature operation," *IEEE Trans. Electron Devices*, vol. 24, no. 3, pp. 218-229, March 1977, doi: [10.1109/T-ED.1977.18712](https://doi.org/10.1109/T-ED.1977.18712).
- [31]. D. M. Carlson, D. C. Sullivan, R. E. Bach and D. R. Resnick, "The ETA 10 liquid-nitrogen-cooled supercomputer system," *IEEE Trans. Electron Devices*, vol. 36, no. 8, pp. 1404-1413, Aug. 1989, doi: [10.1109/16.30952](https://doi.org/10.1109/16.30952).
- [32]. H. Homulle, L. Song, E. Charbon and F. Sebastiano, "The Cryogenic Temperature Behavior of Bipolar, MOS, and DT MOS Transistors in Standard CMOS," *IEEE J. Electron Devices Soc.*, vol. 6, pp. 263-270, 2018, doi: [10.1109/JEDS.2018.2798281](https://doi.org/10.1109/JEDS.2018.2798281).
- [33]. P. Galy, J. Camirand Lemyre, P. Lemieux, F. Arnaud, D. Drouin and M. Pioro-Ladrière, "Cryogenic Temperature Characterization of a 28-nm FD-SOI Dedicated Structure for Advanced CMOS and Quantum Technologies Co-Integration," *IEEE J. Electron Devices Soc.*, vol. 6, pp. 594-600, 2018, doi: [10.1109/JEDS.2018.2828465](https://doi.org/10.1109/JEDS.2018.2828465).
- [34]. A. Beckers, F. Jazaeri and C. Enz, "Theoretical Limit of Low Temperature Subthreshold Swing in Field-Effect Transistors," *IEEE Electron Device Lett.*, vol. 41, no. 2, pp. 276-279, Feb. 2020, doi: [10.1109/LED.2019.2963379](https://doi.org/10.1109/LED.2019.2963379).
- [35]. A. Beckers, F. Jazaeri, A. Grill, S. Narasimhamoorthy, B. Parvais and C. Enz, "Physical Model of Low-Temperature to Cryogenic Threshold Voltage in MOSFETs," *IEEE J. Electron Devices Soc.*, vol. 8, pp. 780-788, 2020, doi: [10.1109/JEDS.2020.2989629](https://doi.org/10.1109/JEDS.2020.2989629).

- [36]. H. Oka, T. Inaba, S. Iizuka, H. Asai, K. Kato and T. Mori, "Effect of Conduction Band Edge States on Coulomb-Limiting Electron Mobility in Cryogenic MOSFET Operation," *2022 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)*, Honolulu, HI, USA, 2022, pp. 334-335, doi: [10.1109/VLSITechnologyandCir46769.2022.9830505](https://doi.org/10.1109/VLSITechnologyandCir46769.2022.9830505).
- [37]. H. Oka, T. Inaba, S. Shitakata, K. Kato, S. Iizuka, H. Asai, H. Fuketa, and T. Mori, "Origin of Low-Frequency Noise in Si n-MOSFET at Cryogenic Temperatures: The Effect of Interface Quality," *IEEE Access*, vol. 11, pp. 121567-121573, 2023, doi: [10.1109/ACCESS.2023.3327731](https://doi.org/10.1109/ACCESS.2023.3327731).
- [38]. R. Asanovski, A. Grill, J. Franco, P. Palesti, A. Beckers, B. Kaczer, and L. Selmi, "New insights on the excess 1/f noise at cryogenic temperatures in 28 nm CMOS and Ge MOSFETs for quantum computing applications," *2022 International Electron Devices Meeting (IEDM)*, San Francisco, CA, USA, 2022, pp. 30.5.1-30.5.4, doi: [10.1109/IEDM45625.2022.10019388](https://doi.org/10.1109/IEDM45625.2022.10019388).
- [39]. T. Inaba, H. Oka, H. Asai, H. Fuketa, S. Iizuka, K. Kato, S. Shitakata, K. Fukuda, and T. Mori, "Determining the low-frequency noise source in cryogenic operation of short-channel bulk MOSFETs," *2023 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)*, Kyoto, Japan, 2023, pp. 1-2, doi: [10.23919/VLSITechnologyandCir57934.2023.10185298](https://doi.org/10.23919/VLSITechnologyandCir57934.2023.10185298).
- [40]. H. Van Cong, "Fermi energy and band-tail parameters in heavily doped semiconductors," *J. Phys. Chem. Solids*, vol. 36, no. 11, pp. 1237-1240, Nov. 1975, doi: [10.1016/0022-3697\(75\)90197-3](https://doi.org/10.1016/0022-3697(75)90197-3).
- [41]. J. Singh and A. Madhukar, "The origin and nature of silicon band - gap states at the Si/SiO₂ interface," *Appl. Phys. Lett.*, vol. 38, no. 11, pp. 885-886, Jun. 1981, doi: [10.1063/1.92208](https://doi.org/10.1063/1.92208).
- [42]. S.M. Goodnick, R.G. Gann, D.K. Ferry, C.W. Wilmsen, and O.L. Krivanek, "Surface roughness induced scattering and band tailing," *Surf. Sci.*, vol. 113, no. 1-3, pp. 233-238, Jan. 1982, doi: [10.1016/0039-6028\(82\)90591-X](https://doi.org/10.1016/0039-6028(82)90591-X).
- [43]. A. Beckers, F. Jazaeri and C. Enz, "Inflection Phenomenon in Cryogenic MOSFET Behavior," *IEEE Trans. Electron Devices*, vol. 67, no. 3, pp. 1357-1360, March 2020, doi: [10.1109/TED.2020.2965475](https://doi.org/10.1109/TED.2020.2965475).
- [44]. H. . -L. Chiang *et al.*, "How Fault-Tolerant Quantum Computing Benefits from Cryo-CMOS Technology," *2023 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)*, Kyoto, Japan, 2023, pp. 1-2, doi: [10.23919/VLSITechnologyandCir57934.2023.10185325](https://doi.org/10.23919/VLSITechnologyandCir57934.2023.10185325).
- [45]. S. M. Sze, Y. Li, and K. K. Ng, "Physics of Semiconductor Devices," 3rd ed., Wiley, 2021.

- [46]. Y. Taur and T. H. Ning, “Fundamentals of Modern VLSI Devices,” 3rd ed., Cambridge University Press, 2021, (宮本恭幸、内田建 (監訳)、タウア・ニン 最新 VLSI の基礎 第 3 版、丸善出版、2024)
- [47]. A. Beckers, F. Jazaeri, and C. Enz, “Cryogenic MOS Transistor Model,” *IEEE Trans. Electron Devices*, vol. 65, no. 9, pp. 3617-3624, Sep. 2018, doi: [10.1109/TED.2018.2854701](https://doi.org/10.1109/TED.2018.2854701)
- [48]. Y. P. Varshni, “Temperature dependence of the energy gap in semiconductors,” *Physica*, vol. 34, no. 1, pp. 149-154, 1967, doi: [10.1016/0031-8914\(67\)90062-6](https://doi.org/10.1016/0031-8914(67)90062-6).
- [49]. M. A. Green, “Intrinsic concentration, effective densities of states, and effective mass in silicon,” *J. Appl. Phys.*, vol. 67, no. 6, pp. 2944-2954, Mar. 1990, doi:[10.1063/1.345414](https://doi.org/10.1063/1.345414).
- [50]. C. Kittel, “Introduction to Solid State Physics,” 7th ed., Wiley, New York, 1996, (宇野良清、森田章、津屋昇、山下次郎 (訳) 固体物理学入門 第 7 版、丸善出版、1998)
- [51]. 内田建, “基礎講座 <今さら聞けない? 基礎中の基礎>半導体に不純物が入ると? 材料による違いは?,” 応用物理 第 79 巻 第 1 号 2010.
- [52]. 内田建, “クライオ CMOS 素子の物理 ～過渡応答特性を中心として～”, 電子情報通信学会シリコン材料・デバイス研究会 8 月研究会、北海道大学、2024 年 8 月 6 日.
- [53]. H. Bohuslavskyi, A. G. M. Jansen, S. Barraud, V. Barral, M. Cassé, and L. Le Guevel, “Cryogenic Subthreshold Swing Saturation in FD-SOI MOSFETs Described With Band Broadening,” *IEEE Electron Device Lett.*, vol. 40, no. 5, pp. 784-787, May 2019, doi: [10.1109/LED.2019.2903111](https://doi.org/10.1109/LED.2019.2903111).
- [54]. A. Kamgar, “Subthreshold behavior of silicon MOSFETs at 4.2 K,” *Solid-State Electron.*, vol. 25, no. 7, pp. 537-539, Jul. 1982, doi: [10.1016/0038-1101\(82\)90052-1](https://doi.org/10.1016/0038-1101(82)90052-1).
- [55]. M. S. Kang, K. Toprasertpong, M. Takenaka, H. Oka, T. Mori, and S. Takagi, “Verification of influence of tail states and interface states on sub-threshold swing of Si n-channel MOSFETs over a temperature range of 4–300 K,” *Jpn. J. Appl. Phys.* vol. 61, pp. SC1032-1–6, Feb. 2022, doi: [10.35848/1347-4065/ac4444](https://doi.org/10.35848/1347-4065/ac4444).
- [56]. M. S. Kang, K. Toprasertpong, M. Takenaka, H. Oka, T. Mori, and S. Takagi, “Verification of influence of tail states and interface states on sub-threshold swing of Si n-channel MOSFETs over a temperature range of 4–300 K,” *Jpn. J. Appl. Phys.* vol. 61, pp. SC1032-1–6, Feb. 2022, doi: [10.35848/1347-4065/ac4444](https://doi.org/10.35848/1347-4065/ac4444).
- [57]. M. S. Kang, K. Toprasertpong, H. Oka, M. Takenaka, T. Mori, and S. Takagi, “Characterization and quantitative understanding of subthreshold swing of Si metal–oxide–semiconductor field effect transistors at cryogenic temperatures,” *J. Appl. Phys.* vol. 136, no. 19, pp. 1-12, Nov. 2024, doi: [10.1063/5.0233899](https://doi.org/10.1063/5.0233899).

- [58]. H. Oka, A. Asai, T. Inaba, S. Shitakata, H. Yui, H. Fuketa, S. Iizuka, K. Kato, T. Nakayama, and T. Mori, "Milli-Kelvin Analysis Revealing the Role of Band-edge States in Cryogenic MOSFETs," *2023 International Electron Devices Meeting (IEDM)*, San Francisco, CA, USA, 2023, pp. 1-4, doi: [10.1109/IEDM45741.2023.10413872](https://doi.org/10.1109/IEDM45741.2023.10413872).
- [59]. Q. Xing, Y. Su, J. Lai, B. Li, B. Li, J. Bu, and G. Zhang, "Investigation of Self-Heating Effects in UTBB FD-SOI MOSFETs by a Modified Thermal Conductivity Model," *IEEE Trans. Electron Devices*, vol. 69, no. 8, pp. 4129-4137, Aug. 2022, doi: [10.1109/TED.2022.3183556](https://doi.org/10.1109/TED.2022.3183556).
- [60]. S. Takagi, A. Toriumi, M. Iwase and H. Tango, "On the universality of inversion layer mobility in Si MOSFET's: Part I-effects of substrate impurity concentration," *IEEE Trans. Electron Devices*, vol. 41, no. 12, pp. 2357-2362, Dec. 1994, doi: [10.1109/16.337449](https://doi.org/10.1109/16.337449).
- [61]. L. Petit, J. M. Boter, H. G. J. Eenink, G. Droulers, M. L. V. Tagliaferri, R. Li, D. P. Franke, K. J. Singh, J. S. Clarke, R. N. Schouten, V. V. Dobrovitski, L. M. K. Vandersypen, and M. Veldhorst, "Spin Lifetime and Charge Noise in Hot Silicon Quantum Dot Qubits," *Phys. Rev. Lett.*, vol. 121, no. 076801, pp. 1-5, Aug. 2018, doi: [10.1103/PhysRevLett.121.076801](https://doi.org/10.1103/PhysRevLett.121.076801)
- [62]. A. Acovic, G. L. Rasa, and Y.-C. Sun, "A Review of hot-carrier degradation mechanisms in MOSFETs," *Microelectron. Reliab.*, vol. 36, no. 7-8, pp. 845-869, July/Aug. 1996, doi: [10.1016/0026-2714\(96\)00022-4](https://doi.org/10.1016/0026-2714(96)00022-4).
- [63]. R. B. Fair and R. C. Sun, "Threshold-voltage instability in MOSFET's due to channel hot-hole emission," *IEEE Trans. Electron Devices*, vol. 28, no. 1, pp. 83-94, Jan. 1981, doi: [10.1109/T-ED.1981.20287](https://doi.org/10.1109/T-ED.1981.20287).
- [64]. M. Mastrapasqua, J. Bude, M. Pinto, L. Manchanda and K. F. Lee, "Temperature and channel-length dependence of impact ionization in p-channel MOSFETs," *Proc. 1994 VLSI Technology Symposium*, Honolulu, HI, USA, 1994, pp. 125-126, doi: [10.1109/VLSIT.1994.324425](https://doi.org/10.1109/VLSIT.1994.324425).
- [65]. E. Simoen, B. Diericx, M.-H. Gao, and C. Claeys, "Influence of hot-carrier stress on the kink/hysteresis behaviour of NMOST's operating at liquid temperatures," *Microelectron. Eng.*, vol. 15, no. 1-4, pp. 457-560, Oct. 1991, doi: [10.1016/0167-9317\(91\)90264-E](https://doi.org/10.1016/0167-9317(91)90264-E).
- [66]. E. Simoen and C. Claeys, "Hot-carrier degradation of nMOSTs stressed at 4.2 K," *Solid-State Electron.*, vol 36, no. 4, pp. 527-532, Apr. 1993, doi: [10.1016/0038-1101\(93\)90262-Q](https://doi.org/10.1016/0038-1101(93)90262-Q).
- [67]. A. Grill, E. Bury, J. Michl, S. Tyaginov, D. Linten, T. Grasser, "Reliability and Variability of Advanced CMOS Devices at Cryogenic Temperatures," *2020 IEEE International Reliability Physics Symposium (IRPS)*, Dallas, TX, USA, 2020, pp. 1-6, doi: [10.1109/IRPS45951.2020.9128316](https://doi.org/10.1109/IRPS45951.2020.9128316).

- [68]. Y. Zhang, J. Xu, T. -T. Lu, Y. Zhang, C. Luo and G. Guo, "Hot Carrier Degradation in MOSFETs at Cryogenic Temperatures Down to 4.2 K," *IEEE Trans. Device Mater. Reliab.*, vol. 21, no. 4, pp. 620-626, Dec. 2021, doi: [10.1109/TDMR.2021.3124417](https://doi.org/10.1109/TDMR.2021.3124417).
- [69]. S. Ogura, C. F. Codella, N. Rovedo, J. F. Shepard and J. Riseman, "A half micron MOSFET using double implanted LDD," *1982 International Electron Devices Meeting*, San Francisco, CA, USA, 1982, pp. 718-721, doi: [10.1109/IEDM.1982.190395](https://doi.org/10.1109/IEDM.1982.190395).
- [70]. J. W. Lyding K. Hess, and I. C. Kizilyalli, "Reduction of hot electron degradation in metal oxide semiconductor transistors by deuterium processing," *Appl. Phys. Lett.*, vol. 68, pp. 2526-2528, Apr. 1996, doi: [10.1063/1.116172](https://doi.org/10.1063/1.116172).
- [71]. C. G. Van de Walle, and W. B. Jackson, "Comment on "Reduction of hot electron degradation in metal oxide semiconductor transistors by deuterium processing" [Appl. Phys. Lett. 68, 2526 (1996)]," *Appl. Phys. Lett.*, vol. 69, p. 2441, Oct. 1996. doi: [10.1063/1.117664](https://doi.org/10.1063/1.117664).
- [72]. K. O. Jeppson and C. M. Svensson, "Negative bias stress of MOS devices at high electric fields and degradation of MNOS devices," *J. Appl. Phys.*, vol. 48, no. 5, pp. 2004-2014, May 1997, doi: doi.org/10.1063/1.323909.
- [73]. V. Huard C. Parthasarathy, N. Rallet, C. Guerin, M. Mammase, D. Barge, and C. Ouvrard, "New characterization and modeling approach for NBTI degradation from transistor to product level," *2007 IEEE International Electron Devices Meeting*, Washington, DC, USA, 2007, pp. 797-800, doi: [10.1109/IEDM.2007.4419068](https://doi.org/10.1109/IEDM.2007.4419068).
- [74]. G. Ribes, J. Mitard, M. Denais, S. Bruyere, F. Monsieur, C. Parthasarathy, E. Vincent, G. Ghibaudo, "Review on high-k dielectrics reliability issues," *IEEE Trans. Device Mater. Reliab.*, vol. 5, no. 1, pp. 5-19, March 2005, doi: [10.1109/TDMR.2005.845236](https://doi.org/10.1109/TDMR.2005.845236).
- [75]. J. Michl, A. Grill, B. Stampfer, D. Waldhoer, C. Schleich, T. Knobloch, E. Ioannidis, H. Enichlmair, R. Minixhofer, B. Kaczer, B. Parvais, B. Govoreanu, I. Radu, T. Grassler, and M. Waltl "Evidence of Tunneling Driven Random Telegraph Noise in Cryo-CMOS," *2021 IEEE International Electron Devices Meeting (IEDM)*, San Francisco, CA, USA, 2021, pp. 31.3.1-31.3.4, doi: [10.1109/IEDM19574.2021.9720501](https://doi.org/10.1109/IEDM19574.2021.9720501).
- [76]. L. Contamin, M. Cassé, X. Garros, F. Gaillard, M. Vinet, P. Galy, A. Juge, E. Vincent, S. de Franceschi, and T. Meunier, "Fast Measurement of BTI on 28nm Fully Depleted Silicon-On-Insulator MOSFETs at Cryogenic Temperature down to 4K," *2022 IEEE International Reliability Physics Symposium (IRPS)*, Dallas, TX, USA, 2022, pp. 7A.3-1-7A.3-6, doi: [10.1109/IRPS48227.2022.9764571](https://doi.org/10.1109/IRPS48227.2022.9764571).
- [77]. R. Degraeve, G. Groeseneken, R. Bellens, M. Depas and H. E. Maes, "A consistent model for the thickness dependence of intrinsic breakdown in ultra-thin oxides," *Proc. of International Electron Devices Meeting*, Washington, DC, USA, 1995, pp. 863-866, doi: [10.1109/IEDM.1995.499353](https://doi.org/10.1109/IEDM.1995.499353).

- [78]. A. Amin, S. Gupta, P. Srinivasan, O. H. Gonzalez, F. Guarin and A. Dixit, "Time-Dependent Dielectric Breakdown in 45-nm PD-SOI N-Channel FETs at Cryogenic Temperatures for Quantum Computing Applications," *IEEE Trans. Device Mater. Reliab.*, vol. 23, no. 4, pp. 503-509, Dec. 2023, doi: [10.1109/TDMR.2023.3312735](https://doi.org/10.1109/TDMR.2023.3312735).
- [79]. 例えば synopsys 社の Sentaurus: <https://www.synopsys.com/ja-jp/silicon/tcad.html> や Silvaco 社の Victory TCAD Solution: <https://silvaco.com/ja/tcad/> (2024/11/19 アクセス)
- [80]. Y. Kobayashi, H. Asai, S. Iizuka, J. Hattori, T. Ikegami, K. Fukuda, T. Nikuni, and T. Mori, "TCAD analysis of conditions for DIBL parameter misestimation in cryogenic MOSFETs," *Jpn. J. Appl. Phys.*, vol. 63, no. 9, pp. 094001-1-5, Sep. 2024, doi: [10.35848/1347-4065/ad606d](https://doi.org/10.35848/1347-4065/ad606d).
- [81]. Y. Qing, J. Zhao, V. De Smedt and J. Prinzie, "Cryogenic Modeling of 22nm FDSOI MOSFET," *2024 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD)*, San Jose, CA, USA, 2024, pp. 1-4, doi: [10.1109/SISPAD62626.2024.10733147](https://doi.org/10.1109/SISPAD62626.2024.10733147).
- [82]. J. Yoo, Z. Chen, F. Arute, S. Montazeri, M. Szalay, C. Erickson, E. Jeffrey, R. Fatemi, M. Giustina, M. Ansmann, E. Lucero, J. Kelly, and J. C. Bardin, "34.2 A 28-nm Bulk-CMOS IC for Full Control of a Superconducting Quantum Processor Unit-Cell," *2023 IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, USA, 2023, pp. 506-508, doi: [10.1109/ISSCC42615.2023.10067292](https://doi.org/10.1109/ISSCC42615.2023.10067292).
- [83]. H. Fuketa, I. Akita, T. Ishikawa, H. Koike and T. Mori, "A Cryogenic CMOS Current Integrator and Correlation Double Sampling Circuit for Spin Qubit Readout," *IEEE Trans. Circuits and Systems I: Regular Papers (TCAS-I)*, vol. 70, no. 12, pp. 5220-5228, Dec. 2023, doi: [10.1109/TCSI.2023.3317895](https://doi.org/10.1109/TCSI.2023.3317895).
- [84]. L. L. Guevel, C. Wang and J. C. Bardin, "29.1 A 22nm FD-SOI <1.2mW/Active-Qubit AWG-Free Cryo-CMOS Controller for Fluxonium Qubits," *2024 IEEE International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, USA, 2024, pp. 1-3, doi: [10.1109/ISSCC49657.2024.10454522](https://doi.org/10.1109/ISSCC49657.2024.10454522).
- [85]. P. A. T Hart, M. Babaie, E. Charbon, A. Vladimirescu and F. Sebastiano, "Subthreshold Mismatch in Nanometer CMOS at Cryogenic Temperatures," *IEEE J. Electron Devices Soc.*, vol. 8, pp. 797-806, 2020, doi: [10.1109/JEDS.2020.2988730](https://doi.org/10.1109/JEDS.2020.2988730).
- [86]. H. -C. Han, Z. Zhao, S. Lehmann, E. Charbon and C. Enz, "Analytical Modeling of Cryogenic Subthreshold Currents in 22-nm FDSOI Technology," *IEEE Electron Device Lett.*, vol. 45, no. 1, pp. 92-95, Jan. 2024, doi: [10.1109/LED.2023.3331022](https://doi.org/10.1109/LED.2023.3331022).
- [87]. S. K. Singh, S. Gupta, R. A. Vega and A. Dixit, "Accurate Modeling of Cryogenic Temperature Effects in 10-nm Bulk CMOS FinFETs Using the BSIM-CMG Model," *IEEE*

Electron Device Lett., vol. 43, no. 5, pp. 689-692, May 2022, doi: [10.1109/LED.2022.3158495](https://doi.org/10.1109/LED.2022.3158495).

- [88]. M. Aoki, S. Hanamura, T. Masuhara and K. Yano, "Performance and hot-carrier effects of small CRYO-CMOS devices," *IEEE Trans. Electron Devices*, vol. 34, no. 1, pp. 8-18, Jan. 1987, doi: [10.1109/T-ED.1987.22880](https://doi.org/10.1109/T-ED.1987.22880).
- [89]. S. Selberherr, "MOS device modeling at 77 K," *IEEE Trans. Electron Devices*, vol. 36, no. 8, pp. 1464-1474, Aug. 1989, doi: [10.1109/16.30960](https://doi.org/10.1109/16.30960).
- [90]. Y. Feng, P. Zhou, H. Liu, J. Sun, and T. Jiang, "Characterization and modelling of MOSFET operating at cryogenic temperature for hybrid superconductor-CMOS circuits," *Semicond. Sci. Technol.*, vol. 19, pp. 1381-1385, Oct. 2004, doi: [10.1088/0268-1242/19/12/009](https://doi.org/10.1088/0268-1242/19/12/009).
- [91]. A. Akturk, M. Peckerar, M. Dornajafi, N. Goldsman, K. Eng, T. Gurrieri, and M. S. Carroll, "Impact Ionization and Freeze-Out Model for Simulation of Low Gate Bias Kink Effect in SOI-MOSFETs Operating at Liquid He Temperature," *2009 International Conference on Simulation of Semiconductor Processes and Devices*, San Diego, CA, USA, 2009, pp. 1-4, doi: [10.1109/SISPAD.2009.5290227](https://doi.org/10.1109/SISPAD.2009.5290227).
- [92]. S. R. Ekanayake, T. Lehmann, A. S. Dzurak, R. G. Clark and A. Brawley, "Characterization of SOS-CMOS FETs at Low Temperatures for the Design of Integrated Circuits for Quantum Bit Control and Readout," *IEEE Trans. Electron Devices*, vol. 57, no. 2, pp. 539-547, Feb. 2010, doi: [10.1109/TED.2009.2037381](https://doi.org/10.1109/TED.2009.2037381).
- [93]. Z. Chen, H. Wong, Y. Han, S. Dong, and B.L. Yang, "Temperature dependences of threshold voltage and drain-induced barrier lowering in 60 nm gate length MOS transistors," *Microelectron. Reliab.*, vol. 54, no. 6-7, pp. 1109-1114, Jun.-Jul. 2014, doi: [10.1016/j.microrel.2013.12.005](https://doi.org/10.1016/j.microrel.2013.12.005).
- [94]. H. Zhao and X. Liu, "Modeling of a standard 0.35 μ m CMOS technology operating from 77 K to 300 K," *Cryogenics*, vol. 59, pp. 49-59, Jan-Feb. 2014, doi: [10.1016/j.cryogenics.2013.10.003](https://doi.org/10.1016/j.cryogenics.2013.10.003).
- [95]. N. C. Dao, A. E. Kass, M. R. Azghadi, C.T Jin, J. Scott, and P. H. W. Leong, "An enhanced MOSFET threshold voltage model for the 6-300 K temperature range," *Microelectron. Reliab.*, vol. 69, pp. 36-39, Feb. 2017, doi: [10.1016/j.microrel.2016.12.007](https://doi.org/10.1016/j.microrel.2016.12.007).
- [96]. R. M. Incandela, L. Song, H. Homulle, E. Charbon, A. Vladimirescu and F. Sebastiano, "Characterization and Compact Modeling of Nanometer CMOS Transistors at Deep-Cryogenic Temperatures," *IEEE J. Electron Devices Soc.*, vol. 6, pp. 996-1006, 2018, doi: [10.1109/JEDS.2018.2821763](https://doi.org/10.1109/JEDS.2018.2821763).
- [97]. J. P. G. Van Dijk *et al.*, "A Scalable Cryo-CMOS Controller for the Wideband Frequency-Multiplexed Control of Spin Qubits and Transmons," *IEEE J. Solid-State Circ.*, vol. 55, no. 11, pp. 2930-2946, Nov. 2020, doi: [10.1109/JSSC.2020.3024678](https://doi.org/10.1109/JSSC.2020.3024678).

- [98]. J. Ning, M. Schormans and A. Demosthenous, "Towards an Improved Model for 65-nm CMOS at Cryogenic Temperatures," *2020 IEEE International Symposium on Circuits and Systems (ISCAS)*, Seville, Spain, 2020, pp. 1-5, doi: [10.1109/ISCAS45731.2020.9180666](https://doi.org/10.1109/ISCAS45731.2020.9180666).
- [99]. G. Pahwa, P. Kushwaha, A. Dasgupta, S. Salahuddin and C. Hu, "Compact Modeling of Temperature Effects in FDSOI and FinFET Devices Down to Cryogenic Temperatures," *IEEE Trans. Electron Devices*, vol. 68, no. 9, pp. 4223-4230, Sept. 2021, doi: [10.1109/TED.2021.3097971](https://doi.org/10.1109/TED.2021.3097971).
- [100]. W. Chakraborty *et al.*, "Characterization and Modeling of 22 nm FDSOI Cryogenic RF CMOS," *IEEE J. Explor. Solid-State Comput. Devices and Circuits*, vol. 7, no. 2, pp. 184-192, Dec. 2021, doi: [10.1109/JXCDC.2021.3131144](https://doi.org/10.1109/JXCDC.2021.3131144).
- [101]. Z. Tang, Z. Wang, A. Guo, L. Liu, C. Cao, S. Luo, W. Wu, Y. Guo, Z. Zhi, Y. Hu, Y. Cao, G. Shang, L. Yu, S. Hu, S. Chen, Y. Zhao, and X. Kou, "Cryogenic CMOS RF Device Modeling for Scalable Quantum Computer Design," *IEEE J. Electron Devices Soc.*, vol. 10, pp. 532-539, 2022, doi: [10.1109/JEDS.2022.3186979](https://doi.org/10.1109/JEDS.2022.3186979).
- [102]. K. Okamoto, T. Tanaka, M. Miyamura, H. Ishikuro, K. Uchida, T. Sakamoto, and M. Tada, "Cryogenic CMOS Performance Analysis Including BEOL Characteristics at 4K for Quantum Controller Application," *2022 IEEE International Interconnect Technology Conference (IITC)*, San Jose, CA, USA, 2022, pp. 139-141, doi: [10.1109/IITC52079.2022.9881293](https://doi.org/10.1109/IITC52079.2022.9881293).
- [103]. A. D. Gaidhane, R. Saligram, W. Chakraborty, S. Datta, A. Raychowdhury and Y. Cao, "Design Exploration of 14 nm FinFET for Energy-Efficient Cryogenic Computing," *IEEE J. Explor. Solid-State Comput. Devices and Circuits*, vol. 9, no. 2, pp. 108-115, Dec. 2023, doi: [10.1109/JXCDC.2023.3330767](https://doi.org/10.1109/JXCDC.2023.3330767).
- [104]. Q. Xue, Y. Zhang, M. Wen, X. Zhai, Y. Chen, T. Lu, C. Luo, and G. Guo, "Cryo-CMOS modeling and a 600 MHz cryogenic clock generator for quantum computing applications," *Chip*, vol. 2, no. 4, pp. 1-8, Dec. 2023, doi: [10.1016/j.chip.2023.100065](https://doi.org/10.1016/j.chip.2023.100065).
- [105]. A. Gatti and F. Tavernier, "Cryogenic Small Dimension Effects and Design-Oriented Scalable Compact Modeling of a 65-nm CMOS Technology," *IEEE J. Electron Devices Soc.*, vol. 12, pp. 369-378, 2024, doi: [10.1109/JEDS.2024.3394167](https://doi.org/10.1109/JEDS.2024.3394167).
- [106]. T. Inaba, Y. Chiashi, H. Oka, M. Ogura, H. Asai, S. Iizuka, K. Kato, S. Shitakata, H. Fuketa, and T. Mori, "Neural Network Prediction of Cryogenic BSIM4 Model Parameters Utilizing a Small Experimental Data Set," *2024 International Conference on Solid-State Devices and Materials*, Himeji, Japan, Sep. 2024.
- [107]. P. Avouris, R.E. Walkup, A.R. Rossi, T.-C. Shen, G.C. Abeln, J.R. Tucker, J.W. Lyding, "STM-induced H atom desorption from Si(100): isotope effects and site selectivity," *Chem. Phys. Lett.*, vol. 257, no. 1-2, pp. 148-154, Jul. 1996, doi: [10.1016/0009-2614\(96\)00518-0](https://doi.org/10.1016/0009-2614(96)00518-0)

- [108]. A. Reisman, J. M. Aitken, A. K. Ray, M. Berkenblit, C. J. Merz, and R. P. Havreluk, "On the removal of insulator process induced radiation damage from insulated gate field effect transistors at elevated pressure," *J. Electrochem. Soc.*, vol. 128, no. 7, 1981, doi: [10.1149/1.2127693](https://doi.org/10.1149/1.2127693).
- [109]. A. Reisman, and C. J. Merz. "The Effects of Pressure, Temperature, and Time on the Annealing of Ionizing Radiation Induced Insulator Damage in N - channel IGFET's." *J. Electrochem. Soc.*, vol. 130, no. 6, pp. 1384-1390, Jun. 1983, doi: [10.1149/1.2119958](https://doi.org/10.1149/1.2119958).
- [110]. J. Lee, K. Cheng, Z. Chen, J. W. Lyding, Y.-K. Kim, H.-S Lee, Y.-W. Kim, and K.-P. Suh, "Application of high pressure deuterium annealing for improving the hot carrier reliability of CMOS transistors," *IEEE Electron Device Lett.*, vol. 21, no. 5, pp. 221-223, May 2000, doi: [10.1109/55.841302](https://doi.org/10.1109/55.841302).
- [111]. H. Park, B. Lee, M. Gardner, H. Hwang, "Effects of high pressure hydrogen and deuterium annealing on nMOSFET with Hf-base gate dielectrics," *Ext. Abstr. Int. Conf. Solid State Device and Materials*, pp. 748-749, 2004, doi: [10.7567/SSDM.2004.B-8-2](https://doi.org/10.7567/SSDM.2004.B-8-2).
- [112]. H. Park, M. S. Rahman, M. Chang, B. H. Lee, R. Choi, C. D. Young, and H. Hwang, "Improved interface quality and charge-trapping characteristics of MOSFETs with high- κ gate dielectric," *IEEE Electron Device Lett.*, vol. 26, no. 10, pp. 725-727, Oct. 2005, doi: [10.1109/LED.2005.855422](https://doi.org/10.1109/LED.2005.855422).
- [113]. H. Park, R. Choi, B. H. Lee, and H. Hwang, "Improved Hot Carrier Reliability Characteristics of Metal Oxide Semiconductor Field Effect Transistors with High- k Gate Dielectric by Using High Pressure Deuterium Post Metallization Annealing," *Jpn. J. Appl. Phys.*, vol. 46, no. 33, pp. L786-L788, Aug. 2007, doi: [10.1143/JJAP.46.L786](https://doi.org/10.1143/JJAP.46.L786).
- [114]. Y. Son, M. Chang, H. Park, M. S. Rahman, S. Beak, and H. Hwang, "Improved Electrical Characteristics of Fully Depleted Ultrathin SOI MOSFETs Annealed in High-Pressure Hydrogen Ambient," *Electrochem. Solid-State Lett.*, vol. 10, no. 11, pp. H324-H326, Aug. 2007, doi: [10.1149/1.2773963](https://doi.org/10.1149/1.2773963).
- [115]. S.-M. Cho, J.-H. Lee, M. Chang, M.-S. Jo, H.-S. Hwang, J. Lee, S.-B. Hwang, and J.-H. Lee, "High-Pressure Deuterium Annealing Effect on Nanoscale Strained CMOS Devices," *IEEE Trans. Device Mater. Reliab.*, vol. 8, no. 1, pp. 153-159, March 2008, doi: [10.1109/TDMR.2007.914014](https://doi.org/10.1109/TDMR.2007.914014).
- [116]. C. Diouf, A. Cros, P. Morin, S. Renard, X. Federspiel, M. Rafik, A. Bianchi, J. Rosa, and G. Ghibaudo, "On the understanding of the effects of high pressure deuterium and hydrogen final anneal," *2012 13th International Conference on Ultimate Integration on Silicon (ULIS)*, 2012, pp. 9-12, doi: [10.1109/ULIS.2012.6193344](https://doi.org/10.1109/ULIS.2012.6193344).
- [117]. S. -I. Oh, G. Choi, H. Hwang, W. Lu and J. -H. Jang, "Hydrogenated IGZO Thin-Film Transistors Using High-Pressure Hydrogen Annealing," *IEEE Trans. Electron Devices*, vol. 60, no. 8, pp. 2537-2541, Aug. 2013, doi: [10.1109/TED.2013.2265326](https://doi.org/10.1109/TED.2013.2265326).

- [118]. T.-W. Kim, H.-M. Kwon, S. H. Shin, C.-S. Shin, W.-K. Park, E. Chiu, M. Rivera, J. I. Lew, D. Veksler, T. Orzali, and D.-H. Kim, "Impact of H₂ High-Pressure Annealing Onto InGaAs Quantum-Well Metal–Oxide–Semiconductor Field-Effect Transistors With Al₂O₃/HfO₂ Gate-Stack," *IEEE Electron Device Lett.*, vol. 36, no. 7, pp. 672-674, July 2015, doi: [10.1109/LED.2015.2438433](https://doi.org/10.1109/LED.2015.2438433).
- [119]. H. Arimura, D. Cott, R. Loo, W. Vanherle, Q. Xie, F. Tang, X. Jiang, J. Franco, S. Sioncke, L.-Å. Ragnarsson, E. Chiu, X. Lu, J. Geypen, H. Bender, J. W. Maes, M. Givens, A. Sibaja-Hernandez, K. Wostyn, G. Boccardi, J. Mitard, N. Collaert, and D. Mocuta "Si-passivated Ge nMOS gate stack with low Dit and dipole-induced superior PBTI reliability using 3D-compatible ALD caps and high-pressure anneal," *2016 IEEE International Electron Devices Meeting (IEDM)*, San Francisco, CA, USA, 2016, pp. 33.4.1-33.4.4, doi: [10.1109/IEDM.2016.7838534](https://doi.org/10.1109/IEDM.2016.7838534).
- [120]. J. Franco, B. Kaczer, A. Chasin, H. Mertens, L.-Å. Ragnarsson, R. Ritzenthaler, S. Mukhopadhyay, H. Arimura, Ph. J. Roussel, E. Bury, N. Horiguchi, D. Linten, G. Groeseneken, and A. Thean, *Proc. International Reliability Physics Symposium (IRPS)*, 2016, p. 4B-2-1.
- [121]. H. Arimura, L. Witters, D. Cott, H. Dekkers, R. Loo, J. Mitard, L.-Å. Ragnarsson, K. Wostyn, G. Boccardi, E. Chiu¹, A. Subirats, P. Favia, E. Vancoille, V. De Heyn, D. Mocuta, and N. Collaert, "Performance and electrostatic improvement by high-pressure anneal on Si-passivated strained Ge pFinFET and gate all around devices with superior NBTI reliability," *2017 Symposium on VLSI Technology*, Kyoto, Japan, 2017, pp. T196-T197, doi: [10.23919/VLSIT.2017.7998169](https://doi.org/10.23919/VLSIT.2017.7998169).
- [122]. G. Hiblot, H. Arimura, L. Witters, E. Chiu, Y. Liu, J. Mitard, N. Horiguchi, N. Collaert, G. Van der Plas, "Observation of Plasma-Induced Damage in Bulk Germanium p-Type FinFET Devices and Curing in High-Pressure Anneal," *IEEE Trans. Device and Mater. Reliab.*, vol. 19, no. 2, pp. 468-470, June 2019, doi: [10.1109/TDMR.2019.2906997](https://doi.org/10.1109/TDMR.2019.2906997).
- [123]. T. I. Lee, M.-C. Nguyen, H. J. Ahn, M. J. Kim, E. J. Shin, W. S. Hwang, H. -Y. Yu, R. Choi, and B. J. Cho, "H₂ High Pressure Annealed Y-Doped ZrO₂ Gate Dielectric With an EOT of 0.57 nm for Ge MOSFETs," *IEEE Electron Device Lett.*, vol. 40, no. 9, pp. 1350-1353, Sept. 2019, doi: [10.1109/LED.2019.2928026](https://doi.org/10.1109/LED.2019.2928026).
- [124]. A. Chasin, J. Franco, E. Bury, R. Ritzenthaler, E. Litta, A. Spessot, N. Horiguchi, D. Linten, and B. Kaczer "Relevance of fin dimensions and high-pressure anneals on hot-carrier degradation," *2020 IEEE International Reliability Physics Symposium (IRPS)*, Dallas, TX, USA, 2020, pp. 1-6, doi: [10.1109/IRPS45951.2020.9129584](https://doi.org/10.1109/IRPS45951.2020.9129584).
- [125]. G. Yang, D. Kim, J. W. Yang, S. Barraud, L. Brevard, G. Ghibaudo, and J. W. Lee, "Reduction of random telegraph noise by high-pressure deuterium annealing for p-type omega-gate nanowire FET," *Nanotechnol.*, vol. 31, no. 41, pp. , Jul. 2020, doi: [10.1088/1361-6528/ab9e90](https://doi.org/10.1088/1361-6528/ab9e90).

- [126]. J.-M. Yu, J.-Y. Park, T. J. Yoo, J.-K. Han, D.-H. Yun, G.-B. Lee, S.-Y. Kim, B. H. Lee, Y.-K. Choi, "Quantitative Analysis of High-Pressure Deuterium Annealing Effects on Vertically Stacked Gate-All-Around SONOS Memory," *IEEE Trans. Electron Devices*, vol. 67, no. 9, pp. 3903-3907, Sept. 2020, doi: [10.1109/TED.2020.3008882](https://doi.org/10.1109/TED.2020.3008882).
- [127]. K. Lee, L. Jung, and H. Hwang, "Study of high-pressure hydrogen annealing effects on InGaZnO thin-film transistors," *Appl. Phys. Lett.*, vol. 121, no. 7, pp. 072104-1-7, Aug. 2022, doi: [10.1063/5.0098444](https://doi.org/10.1063/5.0098444).
- [128]. D. -H. Jung, W. C. Shin, M. -K. Kim, J. -Y. Ku, D. -H. Wang, K. -S. Lee, and J. -Y. Park, "High Pressure Deuterium Annealing for Improved Immunity Against Stress-Induced Threshold Voltage Degradation," *IEEE Trans. Device and Mater. Reliab.*, vol. 22, no. 3, pp. 457-461, Sept. 2022, doi: [10.1109/TDMR.2022.3194504](https://doi.org/10.1109/TDMR.2022.3194504).

第2章 実験方法

本章では用いたデバイスの作製方法、測定方法を説明する。

2.1 使用したデバイス

図 2.1 に本研究で用いたデバイスを示す。本研究ではシリコンウエハ上に作製した n-MOSFET を用いた。ゲートスタックは $\text{SiO}_2/\text{poly-Si}$ であり、セルフアラインプロセスで作製されている。デバイス構造はシングルドレイン型である。

本研究で用いたデバイスの主な違いは、配線形成後に実施したアニールプロセスにある。

- 第3章では水素フォーミングガスアニールを行ったデバイスを用い、極低温下でのホットキャリア劣化の起源を調査した。
- 第4章では、重水素アニールの極低温下での効果を検証すべく、重水素フォーミングガスアニールを行ったデバイスを用い、第3章で用いた水素フォーミングガスアニールを行ったデバイスとの比較実験を行った。
- 第5章では高圧水素アニールの極低温下での効果を検証すべく、水素アニール後に追加のアニールを異なる圧力で行ったデバイスを用いた。極低温下での電流電圧特性の調査には(110)面に作製した MOSFET を、ホットキャリア効果の調査には(100)面に作製した MOSFET を使用した。

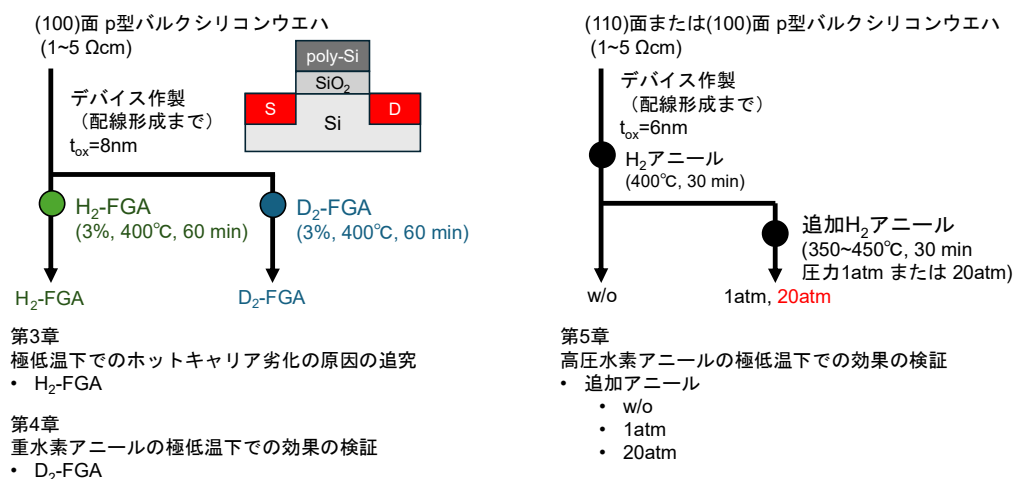


図 2.1 本研究で用いたデバイス。第3章では水素フォーミングガスアニールを行ったデバイスを用い、極低温下でのホットキャリア劣化の起源を調査した。第4章では重水素フォーミングガスアニールを行ったデバイスを用い、第3章でも使用した水素フォーミングガスアニールを行ったデバイスとの比較実験を行った。第5章では追加の水素アニールを行ったデバイスを用い、高圧水素アニールの極低温下での効果を検証した。

2.2 デバイス作製方法

デバイス作製の大部分は国立研究開発法人産業技術総合研究所の共用クリーンルームである未踏デバイス試作共用ライン(Communal Fabrication Line for Outstanding Modern Devices; COLOMODE; コロモデ)[1]にて行った。本施設は4インチシリコンウェハの流動が可能な製造装置を備えた、クラス1000のクリーンルームである。図2.2にクリーンルーム内でのプロセスフローを示す。以下では、まずプロセスフローの詳細を説明し、その後用いた装置を紹介する。

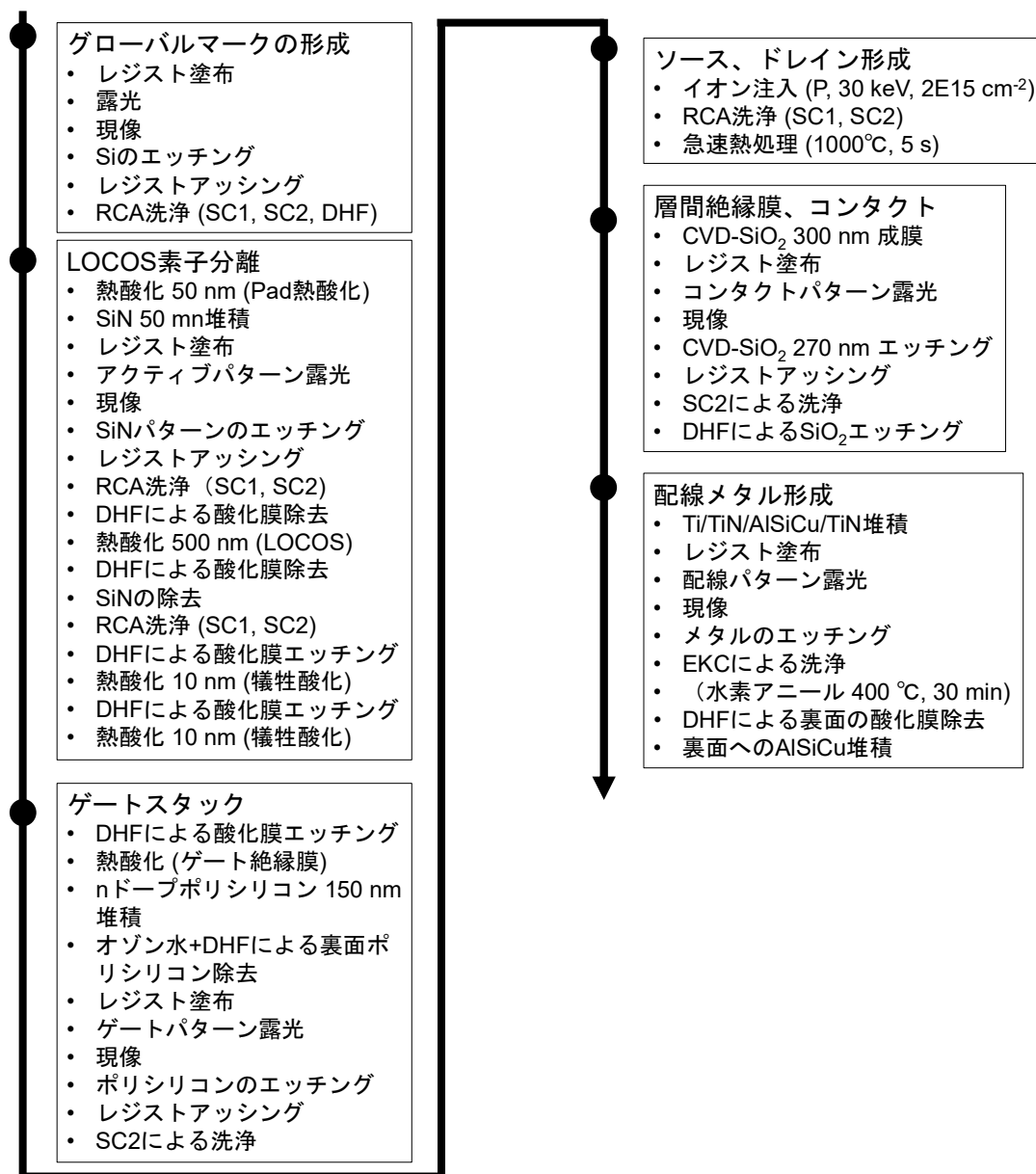


図 2.2 クリーンルームでのデバイス試作のフロー図

2.2.1 素子分離

素子分離は LOCOS (LOcal Oxidation Of Silicon) [2]で行った。このプロセスは基板のシリコンウエハに局所的な酸化を行い、電氣的に活性な箇所（アクティブ）を形成する方法である。隣接する素子を電氣的に絶縁するために必要である。図 2.3 に用いたフローの模式図を示す。模式図は厚さや幅について不正確に描かれていることに注意されたい（仮に 10 nm の膜を紙面上に 1 cm で描いた場合、4 インチシリコンウエハの厚みを紙面上で正確に示すと 525 m となる）。まずシリコンウエハを酸化し、50 nm の酸化膜(SiO_2)を成長させた。その後ウエハ前面に化学気相成長(Cheical Vapor Deposition: CVD)でシリコン窒化膜(SiN)を 50 nm 成膜した。次にリソグラフィとエッチングで SiN のパターンを形成した。残存する SiN のパターンが後のアクティブ領域となる。このプロセスでは SiN の代わりに poly-Si を使用することもある。その後希釈フッ化水素酸(DHF)によるエッチングで SiN 下以外の酸化膜を除去した。続いてウェット熱酸化により 500 nm の SiO_2 を成長させた。この際 SiN で覆われた部分は酸化が進行しない。ただしパターン端の部分から酸素が侵入し、図に示す鳥のくちばしのような形状に酸化される（バーズピーク）。このため、アクティブは設計した寸法より、ややラインが狭くなる。その後 SiN を SF_6 と CHF_3 混合ガスのエッチングにより除去し、DHF で酸化膜をエッチングし、シリコン表面を露出させた。図示はしていないが、LOCOS 後のリボン[3]構造の影響を除去するため、犠牲酸化と DHF による酸化膜エッチングを二度繰り返した。なお、LOCOS は 1990 年代後半まで先端半導体プロセスに用いられた。1990 年代後半以降は CMP 技術の採用に伴い、LOCOS に代わって Shallow Trench Isolation (STI) が主流となった[4]。

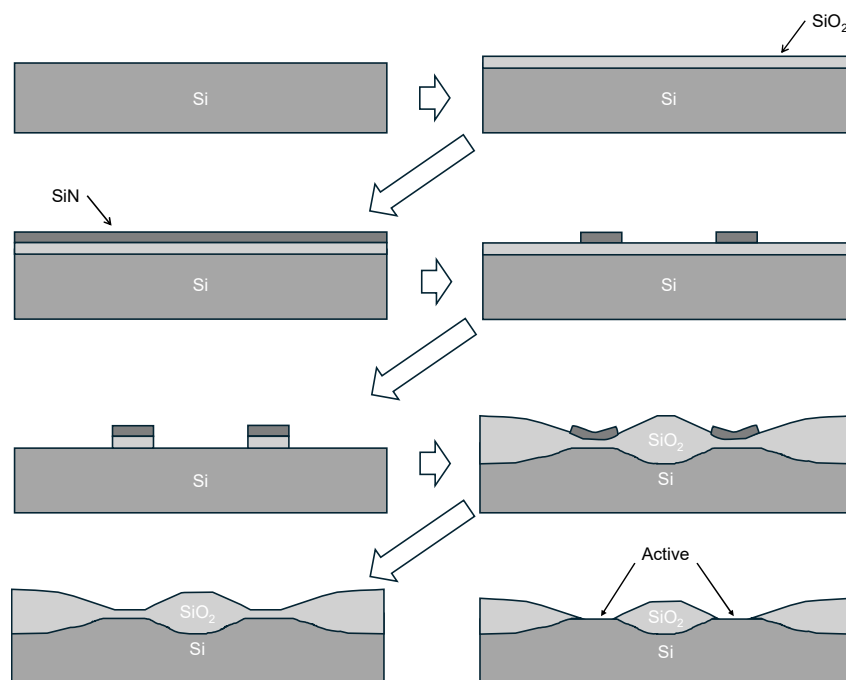


図 2.3 LOCOS 分離の模式図。

2.2.2 ゲートスタック

アクティブが形成された後に、MOS 構造を作製した。半導体上のゲート絶縁膜、ゲートメタルをまとめてゲートスタックと呼ぶ。本研究で用いたゲートスタックは $\text{SiO}_2/\text{poly-Si}$ である。 SiO_2 は熱酸化で成長させ、poly-Si は CVD で成膜した。 SiO_2 膜厚は 8 nm、poly-Si の膜厚は 150 nm である。

2.2.3 ソース・ドレイン領域の形成

ソース・ドレイン領域の形成はセルフアラインプロセスで行った。この方法は poly-Si 膜をエッチングによりゲートの形状に加工し、この poly-Si をマスクとして自己整合的 (Self-aligned) にソース・ドレインを形成する方法である [5]。図 2.4 にプロセスの模式図を示す。poly-Si をエッチングした後、この poly-Si をマスクとしてイオン注入を行う。そのためパターンの重ね合わせのずれの影響がない。本研究では、n-MOSFET のソース・ドレイン形成のために P イオン注入を用いた。ソース・ドレイン領域の形成のためのイオン注入はこの一回であり、シングルドレイン構造である。エクステンションなどの構造は設けていない。イオン注入の条件は加速電圧 30 keV、ドーズ $2 \times 10^{15} \text{ cm}^{-2}$ 、チルト 7°

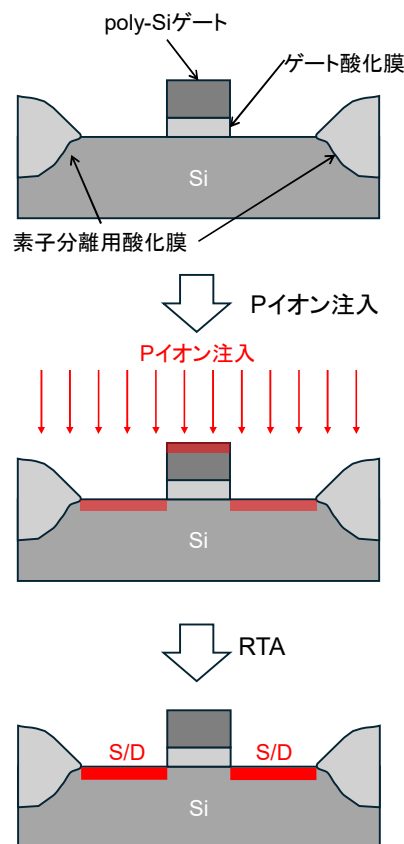


図 2.4 セルフアラインプロセスによるソース・ドレイン領域形成の断面模式図。

である。チルトを行う理由は、注入されたイオンがシリコン原子に衝突せず、シリコン原子間の隙間を通ることにより、イオンの飛程が大きくなる、チャネリングと呼ばれる現象の防止のためである[6]。イオンの入射面をシリコンウェハに対して 7-10° 傾けることで、シリコン原子配列がランダムに見え、チャネリングが抑制される。イオン注入だけでは、P はドナーとして機能しない。またイオン注入に伴い結晶性が崩れ、アモルファスとなる。P イオンの活性化、また結晶の回復を目的にアニールを行った。アニールは 950-1000°C の温度に急速に上昇させ、数秒から数十秒保持する急速熱処理 (Rapid thermal annealing: RTA) で行った。なお、このようにゲートを先に形成し、その後ソース・ドレイン領域を形成する技術はゲートファースト方式と呼ばれる。対照的にソース・ドレイン領域形成後にゲートを形成する技術はゲートラスト方式と呼ばれる。ゲートラスト方式ではダミーのゲートを形成しておき、ソース・ドレイン領域を形成し、その後ダミーゲートを除去し、ゲートスタックを形成するリプレイスメントゲート[7]などの技術が用いられる。

2.2.4 層間絶縁膜堆積、配線コンタクト

ゲート、ソース、ドレインそれぞれと電氣的に接触を取る必要がある。図 2.5 にフローの模式図を示す。層間絶縁膜を堆積し、電極を形成する。プラズマ CVD で層間絶縁膜となる SiO₂ を 300 nm 堆積した。その後リソグラフィでコンタクトのパターンを形成し、ドライエッチングと DHF でゲートの poly-Si, ソース・ドレインのアクティブを露出させた。その後スパッタで配線メタルを成膜した。用いた金属は Ti/TiN/AlSiCu/TiN の構造で厚さはそれぞれ 5/15/300/15 nm である。Ti は下地材料との密着性がよく、また低い接触抵抗を実現できる。また Al の拡散バリアとしても一定の機能を持つ。Ti と AlSiCu 間の TiN は Al の拡散バリアとして採用している。厚い AlSiCu は導電性に優れており、配線材料として用いた。Si が添加されている理由は Al の拡散抑制のため、Cu の添加の理由はエレクトロマイグレーション耐性向上のためである[8]。表面は TiN で保護されており、大気中での表面酸化の防止に効果がある。また反射防止の効果もあり、後のリソグラフィに影響を与えない。リソグラフィ、エッチングで配線メタルをパターンニングした。配線メタルは個別デバイスについて電極パッドの形状に横方向へ引き出されるように加工されている。メタルのエッチング後、ストリッパで洗浄を行った。図 2.5 右下はパターンニング後の光学顕微鏡像である。

2.2.5 水素アニール

一部のデバイスは配線形成後、水素雰囲気下で、400°C の温度で 30 分間アニールを行った。

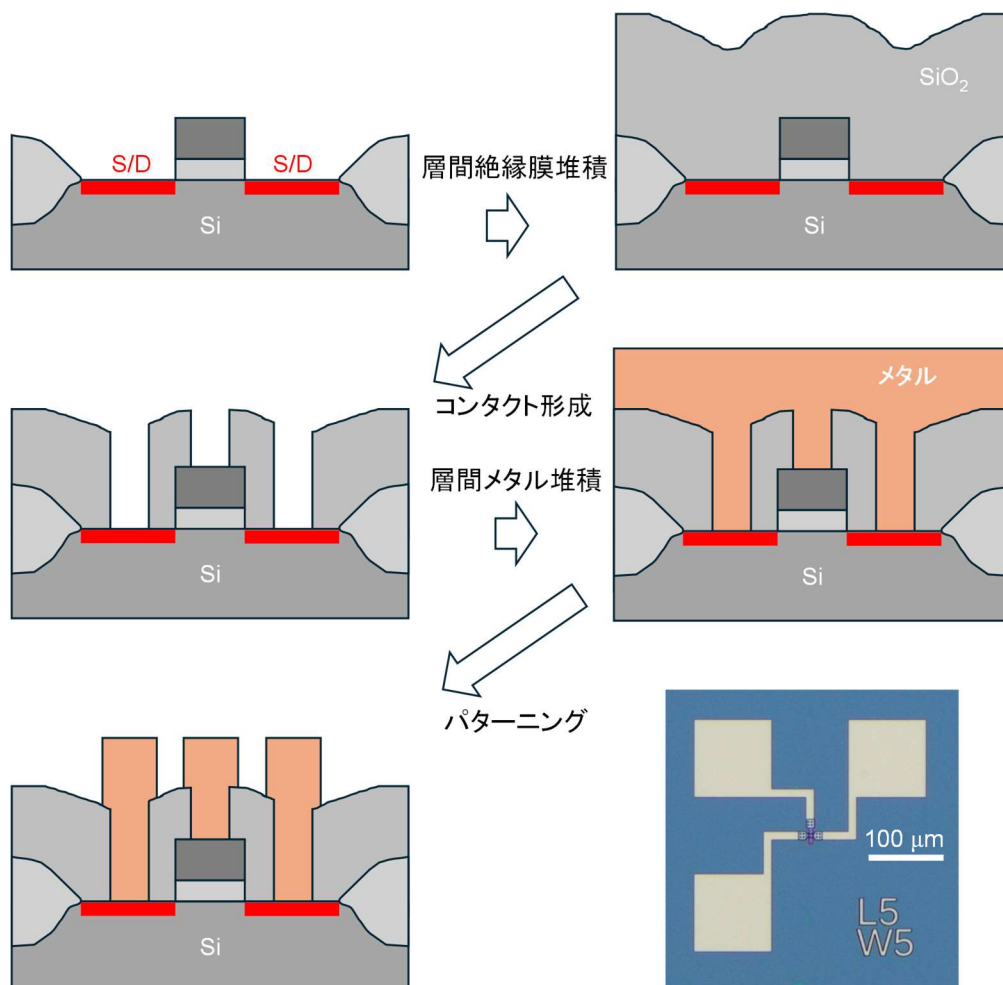


図 2.5 層間絶縁膜堆積、コンタクト形成、配線メタル堆積、エッチングの工程の断面模式図。右下の光学顕微鏡像は上から観察したものである。

2.2.6 裏面コンタクトの形成

MOSFET はゲート、ソース、ドレインに加え、基板裏面から電圧を印加することでもポテンシャルを変調できる。裏面に半導体・金属の接合を形成した。ウエハ裏面の酸化膜を DHF 洗浄で除去し、裏面にスパッタにより Al を 100 nm 成膜した。

以上がクリーンルーム内でのデバイス作製工程である。作製したデバイスは図 2.6 に示すように、ユニバーサル移動度に近い良好な移動度を示すことを確認した。また図 2.7 に作製した 45 ダイの面内ばらつきを示す。良好な面内ばらつきを示すことを確認した。

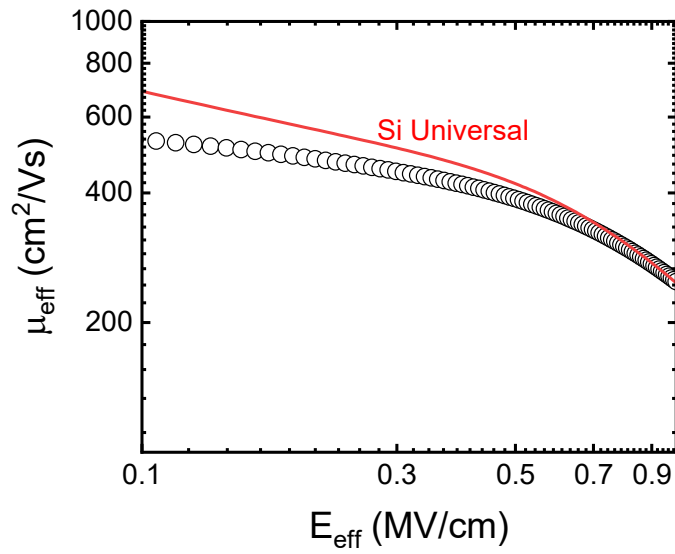


図 2.6 作製した長チャネル MOSFET ($L/W=100/100\ \mu\text{m}$)の室温での実効移動度。赤線はユニバーサル移動度である。

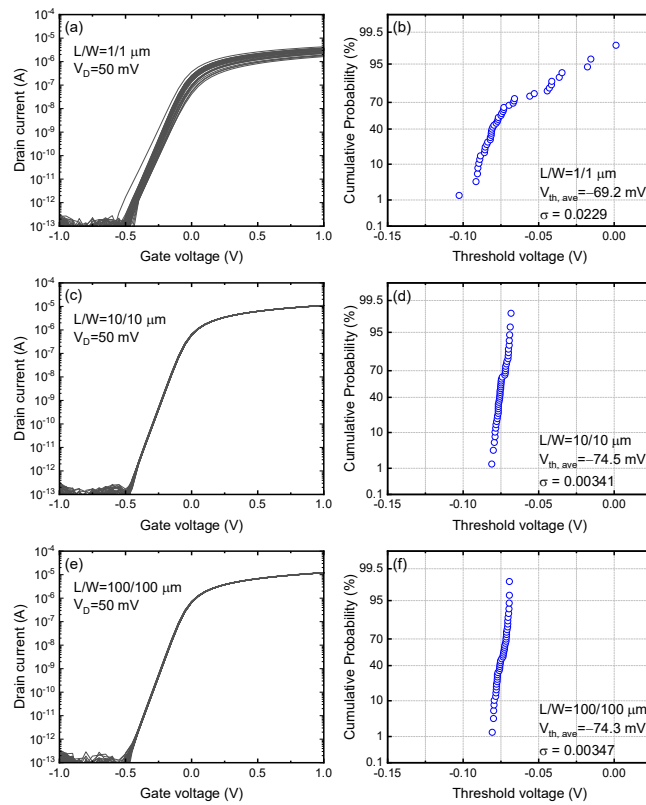


図 2.7 4 インチウエハに作製した MOSFET の 45 ダイ分の I_D - V_G 特性としきい値電圧の累積確率分布。 L/W がそれぞれ(a), (b) 1/1、(c), (d) 10/10、(e), (f)100/100 μm のものを示す。

2.2.7 重水素アニール

重水素アニールを実施するため、小型のアニール炉を導入、設置した。装置構成は図 2.8 のようである。ランプ式加熱装置（アドバンス理工製 MILA-5050Z）、ドライポンプ（檜山工業製 NeoDry7G）、チラー（SMC 製 HRS030-A-20-BT）から構成される。ガスは窒素（パージ用）、 H_2/N_2 (3%/97%) 混合ガス（水素フォーミングガス）、 D_2/N_2 (3%/97%) 混合ガス（重水素フォーミングガス）の三種である。アニールはガスを導入し、室温から 400°C に $1^\circ\text{C}/\text{s}$ で昇温し、任意の時間保持することで実施した。投入できる試料サイズは最大 5 cm 角であるため、デバイスが作製されたウエハをへき開し、熱処理を行った。

電極形成後、水素フォーミングガスアニールを 400°C で 60 分間行ったデバイスを第 3 章の実験に、重水素フォーミングガスアニールを 400°C で 60 分間行ったデバイスを第 4 章の実験に用いた。



図 2.8 フォーミングガスアニール実施のための装置構成。

2.2.8 高圧水素アニール

高圧での熱処理は特殊なプロセスであるため、本研究では外部委託で高圧水素アニールを実施した。半導体製造装置ではなく、高圧下で水素熱処理が可能な装置を用いてアニールを行った。雰囲気は水素（純度：99.99999%）である。所望の温度・圧力で 30 分間保持したが、昇降温を含めると全体のプロセス時間は約 28 時間であった。

電極形成後、まず通常の水素アニールを 400°C で 30 分間行い、その後、追加の水素アニールを 1 atm または 20 atm の圧力で、 350°C または 450°C の条件で 30 分間実施し

た。追加の水素アニールを行わないデバイス (w/o) と、1 atm または 20 atm でアニールを行ったデバイス (1 atm, 20 atm) の 3 種類を比較し、第 5 章で実験結果を示す。

2.3 デバイス作製に用いた装置

2.3.1 枚葉式洗浄装置

洗浄装置はシリコンウエハを洗浄する装置である。「枚葉式」はウエハを一枚ずつ処理することをいう。対になる方式が、ウエハを複数枚一括で処理する「バッチ式」である。装置の外観を図 2.9 に示す。本装置はシリコンウエハをステージに保持し、回転させながらウエハの上から薬液を滴下し、洗浄を行う装置である。洗浄後は純水でリンスし、スピン乾燥、また一部洗浄を除いて窒素でブローを行っている。本装置で使用可能な薬液は、純水、温純水、アンモニア水過酸化水素水混合溶液、塩酸過酸化水素水混合溶液、硫酸過酸化水素水混合溶液、希フッ化水素酸、オゾン水、オゾン水フッ化水素酸混合溶液、ストリッパーである。アンモニア水過酸化水素混合溶液は、ウエハ表面の有機物やパーティクルを除去するために用いられる。この混合溶液は Standard Clean 1 (SC1) として知られている[9]。この洗浄では、ウエハ表面を薄くエッチングしパーティクルを除去しながら、



図 2.9 枚葉式洗浄装置 (MTK 製 CL43D105)。手前に見える開閉部内にウエハカセットをセットし、洗浄を行う。奥に見えるキャビネットから薬液が供給される。

かつ表面のゼータ電位を負とすることでパーティクルの再付着を防ぎながら洗浄が行える。ただし金属汚染には敏感である。溶液内に残存する金属イオンは容易にシリコンウエハに付着する。そのため、SC1 洗浄後には金属汚染除去のための洗浄が必要となる。アンモニア水過酸化水素混合溶液は 60°C に昇温して使用した。塩酸過酸化水素水混合溶液は Standard Clean 2 (SC2) として知られている [9]。この洗浄は金属汚染の除去を目的としている。金属汚染は容易にシリコンと反応し、可動イオンとなったり [10]、シリコンバンドギャップ中に深い準位を形成したりする [12]。そのため、金属汚染は厳しく管理されなければならない。塩酸過酸化水素水混合溶液は 70°C に昇温して使用した。以上の SC1、次いで SC2 を行う洗浄方法は発明会社の名前を冠して RCA 洗浄として広く知られる [9]。硫酸過酸化水素混合溶液は高い酸化力を持ち、有機物の分解・除去が可能である [12]。例えばアッシング後のレジスト残渣の除去に用いられる。また金属汚染の除去についても一定の効果がある。希フッ化水素酸は主に SiO_2 をエッチングする用途で用いた。また SiO_2 エッチング時にパーティクルや金属汚染も同時に除去することが知られている [12]。オゾン水は純水中にオゾンを一定程度（数から数十 ppm オーダー）溶解させた薬液であり、酸化力を持つため、有機物の分解に用いられる。またこのオゾン水とフッ化水素酸を混合したオゾン水フッ化水素酸混合溶液は、オゾン水の高い酸化力と、フッ化水素酸の SiO_2 エッチングの効果により、シリコンを酸化しながらエッチングすることができる。そのため、オゾン水フッ化水素酸混合溶液は裏面に堆積した poly-Si の除去に用いた。ストリッパーはほとんどの材料を低速度でエッチングすることができる。配線メタル形成のエッチング後に表面の残渣除去、洗浄に用いた。

2.3.2 汚染検査装置

ウエハ表面の金属汚染の評価は、図 2.10 に示す全反射蛍光 X 線分析装置を用いて行った。本分析は、単色化された X 線を浅い角度でウエハに入射し、各金属元素に特有の特性 X 線を検出・解析する方法である[13]。X 線はウエハ表面に対して浅い角度で入射し全反射されるため、ウエハ表面付近の情報を選択的に取得できる。この特性により、表面汚染に関する情報を低バックグラウンドで得ることが可能である。



図 2.10 全反射蛍光 X 線分析装置（リガク製 TXRF3760/SP1）。

2.3.3 熱処理装置

2.3.3.1 横型炉

酸化、熱処理、水素アニールは横型炉で行った。図 2.11 に横型炉の外観を示す。横型炉は石英製のウエハ保持・搬送治具（ボートと呼ばれる）にウエハを垂直に保持し、熱処理を行う装置である。複数枚のウエハを一括で処理することができるバッチ式の装置である。示した横型炉は三つの炉を持っており、目的に応じて使用される。上段の炉はシリコンの熱酸化用である。酸素雰囲気、または水蒸気雰囲気で行うことでシリコンを酸化させる。酸素雰囲気での酸化はドライ酸化と呼ばれ、水蒸気雰囲気での酸化はウェット酸化またはパロジェニック酸化と呼ばれる。ウェット酸化はドライ酸化と比較して酸化膜の成長速度が速い[14]。中段の炉は加熱処理用であり、主に窒素雰囲気での熱処理を行うことができる。例えばシリコン中に不純物をイオン注入した後の結晶回復、ならびに不純物の活性化・拡散や[15]、high-k 膜成膜後の熱処理（ポストデポアニール）に用いられる[16]。上段酸化炉と中段加熱炉を目的別に分けているのは、上段酸化炉の炉内の汚染を避けるためである。金属汚染されたシリコンを高温に曝すと、容易に反応してしまう。下段の炉は、配線形成後の水素アニール用の炉である[17]。この処理は金属配線後に行われるため、汚染を避けるため専用化されている。



図 2.11 横型炉（ジェイテクトサーモシステム製 280A-M300）。上段が酸化炉、中段が加熱炉、下段が水素アニール炉。中央に見える石英ボートにウエハをセットし処理を行う。

2.3.3.2 急速熱処理装置

急速熱処理装置は、横型炉とは対照的に、短時間で 1000°C 程度の高温処理を行うことができる装置である。本装置は枚葉式の装置であり、ソース・ドレインの活性化アニールで使用した。高温での保持時間を数秒から数十秒の短時間とすることで、不純物の固溶度を上げながら、かつ不純物拡散を抑えることができる[18]。急速熱処理装置の外観を図 2.12 に示す。



図 2.12 急速熱処理装置（ジェイテクトサーモシステム製 RLA-3104-V）。装置前面中段の取り出し口にウェハカセットをセットし、枚葉で処理を行う。

2.3.4 成膜装置

2.3.4.1 熱 CVD 装置

シリコン窒化膜、poly-Si の成膜は化学気相成長（Chemical vapor deposition: CVD）で行った。装置の外観を図 2.13 に示す。これら装置はガスを導入し、熱によって化学反応を行い、所望の膜を基板に成長させる熱 CVD の装置である。本装置はバッチ式である。窒化膜はジクロロシラン、アンモニアを導入し、800°Cで反応させる。Poly-Si はモノシランに加え、ホスフィンを導入することで n 型にドーピングされた poly-Si を 580°Cで成膜可能である。熱 CVD の特徴として高い段差被覆性、高い膜質があげられる。



図 2.13 熱 CVD 装置（ジェイテクトサーモシステム製 VF-3000LP）。手前が窒化膜成膜用、奥が poly-Si 成膜用。装置前面中央にウエハカセットをセットし、装置内ボートに搬送し、バッチで処理を行う。

2.3.4.2 プラズマ CVD 装置

またプラズマを用いた CVD 方式も存在する。図 2.14 にプラズマ CVD 装置の外観を示す。プラズマ CVD は原料となるガスを導入し、プラズマによって分解、基板に堆積する方法である。本方式は熱 CVD と対照的に、低温でのプロセスが可能である。例えばソース・ドレイン形成後は接合の不純物プロファイルを変化させたくないため、低温でのプロセスが望ましい。プラズマ CVD は 400°C以下の低温で絶縁膜（ SiO_2 ）を成膜できるた



図 2.14 プラズマ CVD 装置（サムコ製 PD-2201LC）。装置前面の中央段の取り出し口にウエハカセットをセットし、枚葉で処理を行う。

め、ゲートスタック、ソース・ドレイン形成後の層間絶縁膜の堆積にプラズマ CVD による SiO_2 堆積を用いた。ガスはシランと N_2O の混合ガスである。ただし、熱酸化での成長と比較すると、膜は疎であり、エッチングレートも大きくなりやすい。

2.3.4.3 スパッタ装置

配線となる金属の成膜にはスパッタリング法を用いた。スパッタリング法は成膜したい材料（ターゲットと呼ばれる）にイオンをぶつけることでターゲット原子（分子）をたたき出し、基板に堆積させる方法である。図 2.15 にスパッタ装置の外観を示す。本装置はトレイにウエハを保持し、回転させながら成膜することで高い面均一性を実現できる。チャンバーは二つあり、片方は TiN や TaN のゲート金属材料の成膜、もう片方は Al 、 Ti などの配線材料の成膜、と目的別にチャンバーを使い分けている。これもまたシリコンの金属汚染防止のためである。ターゲットは Ti 、 AlSiCu を用いた。 Ar プラズマでスパッタすることにより、ターゲット原子（分子）の成膜が可能である。また導入するガスに窒素を混ぜることで、 TiN のような窒化物の成膜が可能である。この技術は反応性スパッタ（古くは化成スパッタ）と呼ばれる。



図 2.15 スパッタ装置（キャノンアネルバ製 EC7001）。左に見えるウエハトレイに 3 枚ずつウエハをセットし、装置前面中央のチャンバーにセット、トレイごと搬送し、処理を行う。

2.3.5 エッチング装置

2.3.5.1 反応性イオンエッチング装置

エッチングには図 2.16 に示す反応性イオンエッチング装置を用いた。図 2.16(a)はシリコン、シリコン酸化膜、窒化膜といったシリコン材料のエッチングに使用した。図 2.16(b)は配線金属のエッチングに用いた。これもまたシリコンの金属汚染防止のためである。

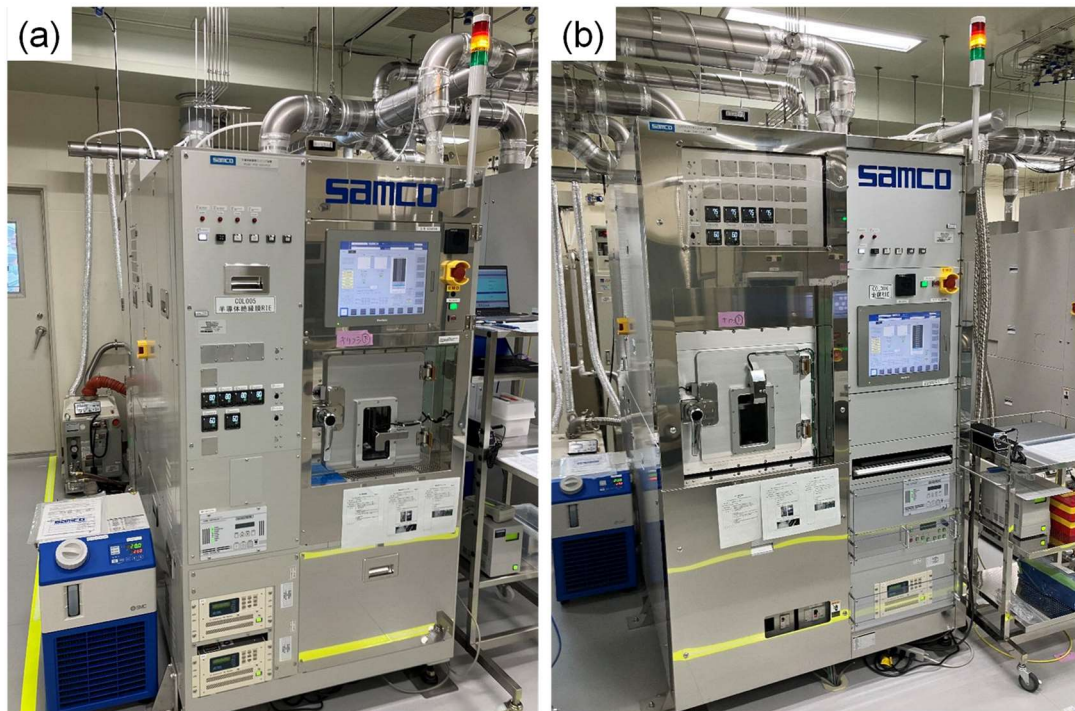


図 2.16 反応性イオンエッチング装置。(a)フロントエンド用（サムコ製 RIE-400iPCS）、(b)配線金属用（サムコ製 RIE-230LC）。装置前面中央の取り出し口にウエハカセットをセットし、枚葉で処理を行う。(a)は ICP（誘導性結合型プラズマ）方式であり、(b)は CCP（容量結合型プラズマ）方式である。

2.3.5.2 アッシング装置

エッチング後にレジストを除去するためにアッシングを用いた。アッシングでは残存したレジストを酸素プラズマで灰化し除去する。図 2.17 にアッシング装置の外観を示す。なお本装置は二つのチャンバーを持ち、片方はアッシング用、もう片方は窒化膜のエッチングに専用化されている。アッシング後はレジスト残渣や、レジストに微量含まれている金属が残存するため、洗浄を行った。



図 2.17 アッシング・等方性エッチング装置（キャノンマーケティングジャパン製 MAS-8220AT）。左右の取り出し口にウエハカセットをセットし、枚葉で処理を行う。

2.3.6 リソグラフィ

パターン形成にはリソグラフィを用いた。フォトレジストと呼ばれるポリマー、感光剤、溶剤からなる液状の材料をシリコンウエハに塗布し、光を部分的に照射し、その個所を感光させる。その後現像液で不要部分を取り除く。光が当たった箇所が溶解するフォトレジストをポジ型、当たった箇所が残存するフォトレジストをネガ型と呼ぶ。任意の形状に光を当てる方法については、産業的によく用いられているものは、フォトマスクと呼ばれる、石英に Cr でパターンが形成されたものを通してパターンを転写する方法である。またフォトマスクを用いず直接的にパターンを描画する方法も存在する。電子線やレーザーを小さく絞り、照射位置を精密に制御することでパターンを形成する方法や、多数の微細な鏡を集積したデジタルマイクロミラーを制御しパターンを形成する方法がある。本研究で用いたレジスト塗布・現像装置、デジタルマルチミラーを用いたマスクレス露光装置の外観を図 2.18 に示す。レジスト塗布・現像装置はシリコンウエハを枚葉式に扱い、塗布処理の場合はウエハ疎水化のための HMDS 塗布、レジスト塗布、90°Cでのベークを、現像処理の場合はベーク、TMAH での現像、100°Cでのベークを続けて行う。用いたフォトレジストは東京応化 THMR-iP3650 HP 8cp であり、ポジ型である。マスクレス露光装置はデジタルマルチミラーを制御しながら、レンズで縮小し露光、ウエハを保持したス

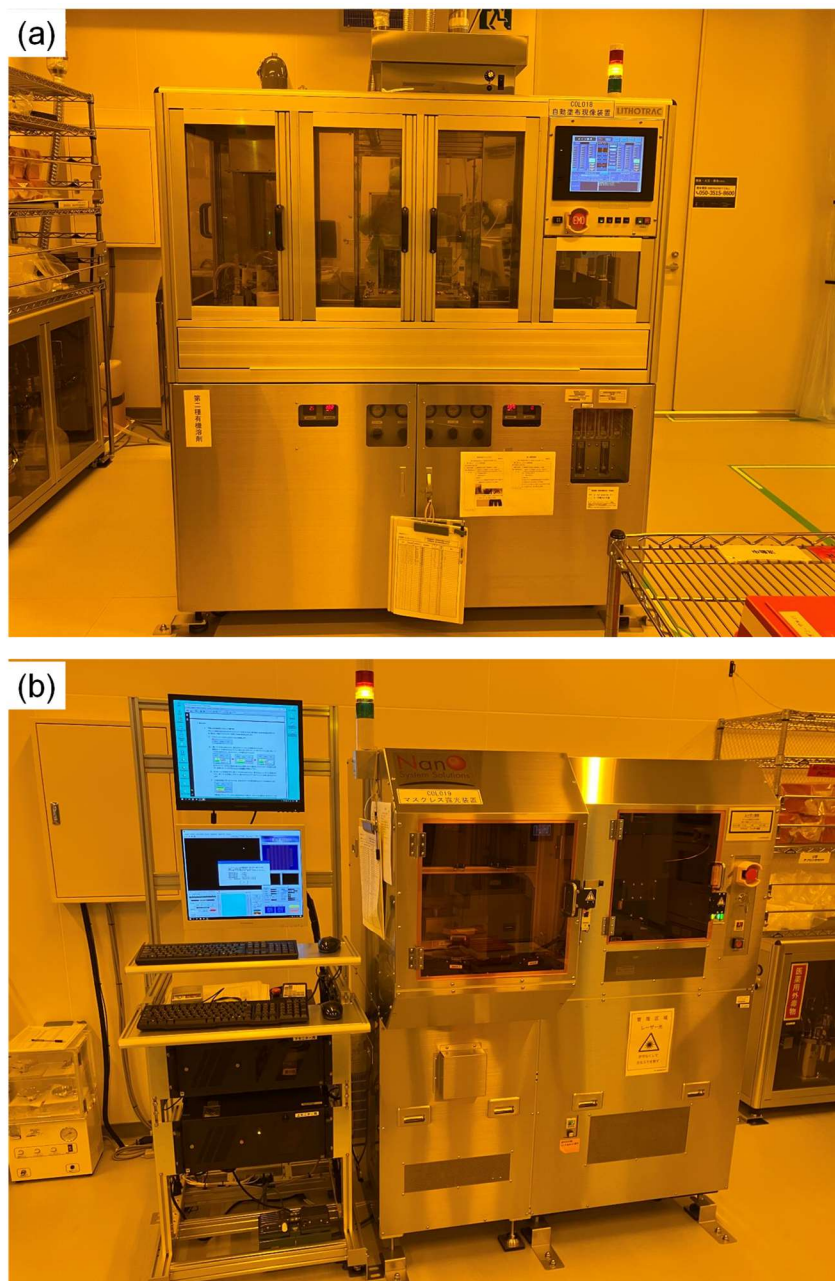


図 2.18 (a)レジスト塗布・現像装置（リソテックジャパン製 LITHOTRAC Dual-1000）。左右の取り出し口にウエハカセットをセットし、枚葉で連続処理を行う。(b)マスクレス露光装置（ナノシステムソリューションズ製 DL-1000HPA1R2）。装置前面の取り出し口にウエハカセットをセットし、枚葉で処理を行う。レジストの意図しない感光を防ぐため、リソグラフィに関連する装置は紫外線の影響が排除されたイエローブースに配置されている。

ステージを走査させることで露光を行う。位置合わせはウエハ左右両端に形成したグローバルマークの座標を交互に認識することで行っている。露光パターンは作成した GDS II ファイルを装置付帯ソフトウェアで露光装置が使用可能な形式に変換している。リソグ

ラフィによってシリコンウエハ上に任意のフォトリソパターンを形成し、このレジストをマスクとしてエッチングを行うことで任意の微細構造を形成した。

2.4 低温特性評価方法

2.4.1 装置構成

極低温特性の評価は、国立研究開発法人産業技術総合研究所に設置された、クライオスタットと半導体パラメータアナライザを用いて行った。測定のセットアップの模式図を図 2.19 に示す。測定デバイスを約 1 cm 角に切り出し、導電性の接着剤で PCB 基板に貼り付け、ワイヤボンディングにより電氣的配線を行った。PCB 基板は 12 端子の接続端子を持ち、端子のひとつは試料裏面との接触に使われている。残り 11 端子は自由に接続することができる。PCB 基板に配線されたデバイスは、クライオスタット内で低温に保持される。クライオスタットは PCB 基板の裏面とピンで接触している。電気特性評価は外部に配置した半導体パラメータアナライザからトライアキシャルケーブルでスイッチボックスまで配線がなされ、スイッチボックスからクライオスタットへは Fischer ケーブルで配線されている。PCB 基板から半導体パラメータアナライザまでの配線は、端子 1 から 10 まではコンスタンタンであり $90\ \Omega$ の配線抵抗であることを確認している。端子 11, 12 は銅材で、配線抵抗は $2.6\ \Omega$ であることを確認している。本研究では、微小電流の測定では端子 1 から 10 をソース・ドレインの配線に使用し、比較的大きな電流が流れる測定（ホットキャリア注入のための電氣的ストレス印加など）では、配線抵抗が印加バイアスを変化させるため、抵抗の小さい、端子 11, 12 をソース・ドレインの配線に使用した。

クライオスタットは Oxford 製 OptistatDry を使用した。ギフォード・マクマホン (GM) 冷凍機を搭載しており、最低到達温度は 2.3 K である。GM 式冷凍機はシリンダー内でヘリウムの圧縮・膨張を繰り返し、都度々蓄冷材との熱交換を行うことで、熱が蓄冷材を介してくみ上げられる方式で冷凍を行うものである。液体寒冷剤を使うことなく、

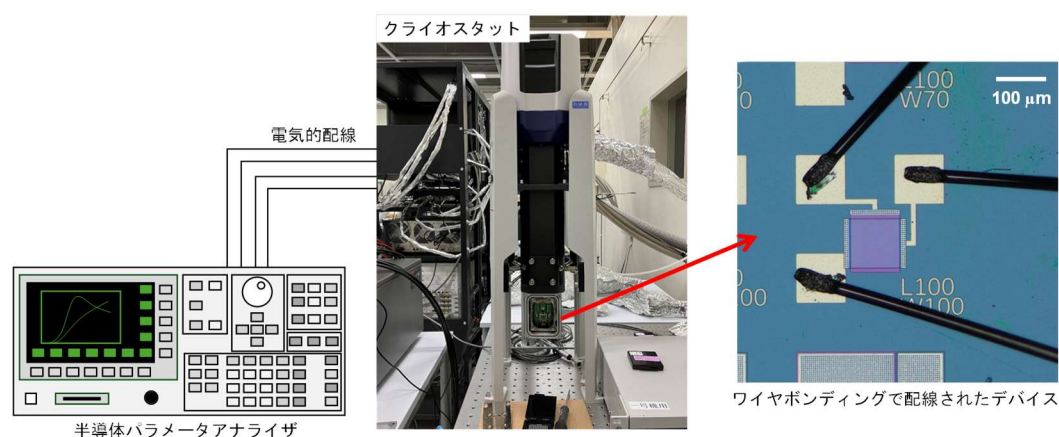


図 2.19 低温測定装置の模式図。

極低温を実現できる。ただし冷凍に可動部品を用いているため、約 1Hz の振動が発生しており、後に述べるノイズに影響する。

半導体パラメータアナライザは、fA から A の広い電流範囲、広い電圧範囲での I - V 測定や C - V 測定、またパルス測定を行うことが可能であり、電気デバイスの評価に広く用いられている。メインフレームに複数の SMU（ソース・メジャー・ユニット）や CMU（キャパシタンス・メジャー・ユニット）のモジュールを取り付けることができる。現行の半導体パラメータアナライザは、内蔵 PC 内に専用の測定ソフトウェアが搭載されており、簡便に測定が可能である。本研究では Keithley 4200A-SCS、Keysight B1500A の二種の半導体パラメータアナライザを用いた。

2.4.2 サブスレッショルドスイングの実験的導出

サブスレッショルドスイングはその名の通り、しきい値電圧（threshold voltage）以下の特性であり、電流の立ち上がりの急峻さを表す。よく使われる単位は mV/dec であり、電流値を一桁上昇させるのに必要な電圧値を示す。また、サブスレッショルドスロープは片対数プロットの I_D - V_G 特性の立ち上がりの傾きを示し、サブスレッショルドスイングとは逆数の関係にある。そのためサブスレッショルドスイングは逆サブスレッショルドスロープ（Inverse subthreshold slope）とも呼称される。本論文ではサブスレッショルドスイング（mV/dec）を SS と略して呼称している。第 1 章で述べたように、また単位系からも予想できるように、 $SS = d(\log_{10} I_D)/dV_G$ と定義される。 I_D - V_G 特性から SS を導出するには、測定点 2 点でドレイン電流の比の 10 を底とする対数を取り、これをゲート電圧の差分で割れば、そのドレイン電流値での SS が求められる。求めた SS をドレイン電

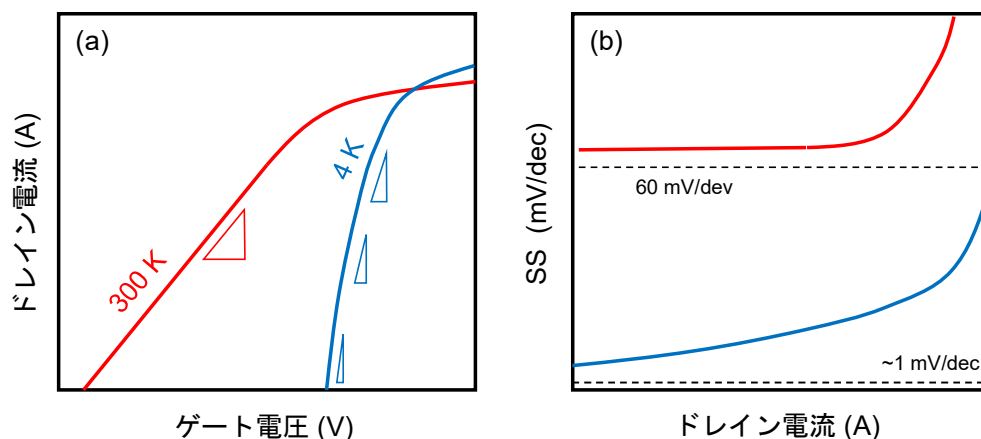


図 2.20 SS の導出方法の模式図。(a)片対数プロットでの I_D - V_G 特性から、説明した手順から(b) SS- I_D プロットを得る。横軸のドレイン電流は対数表示であり、縦軸の SS は線形表示である。室温動作ではサブスレッショルド電流は片対数プロットで直線となり、SS は一意に決定される。典型的に 20–30 K 以下の極低温下ではサブスレッショルド電流が片対数プロットで直線にならないインフレクション現象が確認される。

流に対してプロットすることで $SS-I_D$ 特性が議論できる。室温動作では、サブスレッショルド領域での電流立ち上がりの傾きは一定であり、 SS は一つの値に決定される。これは $SS-I_D$ プロットにおいてカーブがプラトーを持った形状になることを示す。極低温下では前述したように、 SS のインフレクションが起こりカーブはプラトーを持たず右肩上がりとなる。そのため極低温下での SS は、一点（例えば $I_D=10^{-10}$ A のときの値）で定義したり、ある範囲での平均値で定義したりすることが多い。

2.4.3 しきい値電圧の実験的抽出

第 1 章でしきい値電圧はチャネル表面のバンドの曲がり、表面ポテンシャルが $2\psi_B$ となったときのゲート電圧と定義したが、表面ポテンシャルを電流電圧特性から直接求めることはできない。そのため実験的にしきい値電圧を決定する必要がある。しきい値電圧の導出方法は様々なものが提案されている。線形外挿法は、MOSFET が線形領域で動作するよう小さなドレイン電圧を印加し、 I_D-V_G 特性の外挿からしきい値電圧を求める方法である。この方法は線形バイアスでは MOSFET のドレイン電流が、

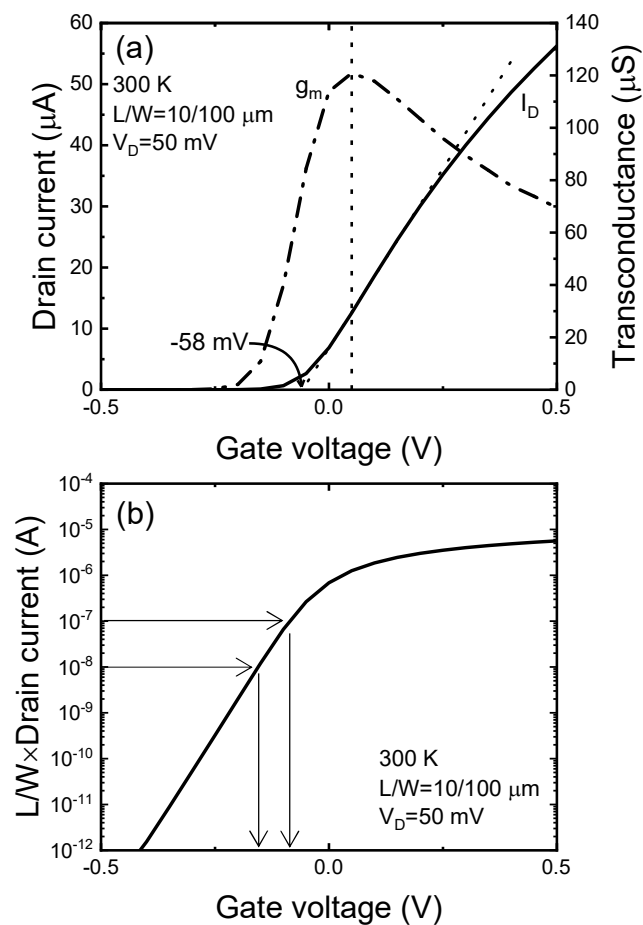


図 2.21 しきい値電圧の導出方法の図的説明。(a)線形外挿法、(b)定ドレイン電流法。

$$I_D = \frac{W\mu_{\text{eff}}C_{\text{OX}}}{L}(V_G - V_{\text{th}} - 0.5V_D)V_D \quad (2.1)$$

と表されることに着目する。しきい値電圧 V_{th} ではドレイン電流がゼロとなるとすると、 $V_{\text{th}} = V_G - 0.5V_D$ と定義される。外挿は相互コンダクタンスが最大になる点からドレイン電流をフィッティングし、その直線を $I_D=0$ へ外挿する方法がよく用いられている[19]。例えば図 2.21(a)に示すデバイスでは、 $V_{\text{th}} = -58 - 50/2 = -83 \text{ mV}$ と求められる。また、図 2.21(b)に示す定ドレイン電流法では、一定のドレイン電流値を示すゲート電圧をしきい値電圧と決定する。定ドレイン電流法ではしきい値電圧となる電流値を適切に設定する必要がある。

2.4.4 移動度の実験的測定

オン電流の指標となる移動度を算出するためには、伝導に寄与しているキャリア数を見積もる必要がある。これはスプリット CV法[20]による、MOSFET のゲートチャネル間の容量(C_{gc})測定から得ることができる。図 2.22 に測定の模式図を示す。反転電荷は MOSFET のソースまたはドレインから供給されるため、比較的高い周波数信号にも応答する。ソース・ドレインを持たない MOS キャパシタで反転電荷による容量を測定するには、一般に低周波数（典型的には 100 Hz 以下）での測定が必要であることに注意されたい。容量の測定はチャネル抵抗や測定周波数に依存するので適切に条件を設定する必要がある。Chen らは温度低下でチャネル抵抗の影響が顕在化することを指摘し、準静的ス

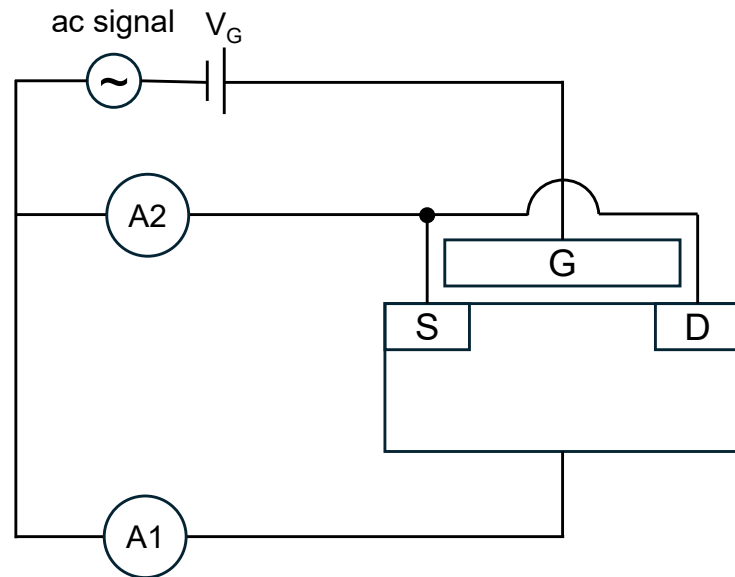


図 2.22 スプリット CV 測定の模式図。ゲート電圧には交流信号が重畳される。ソース、ドレインは結線されている。電流計 A1、A2 が別々に配線されており、A1 では空乏電荷の微分成分、A2 では反転電荷の微分成分が得られる。

プリット CV を用いて低温での移動度を評価している[21]。また Jin らはチャネル抵抗の補正方法を提案し、極低温下での移動度の見積りに用いている[22]。

図 2.23 に様々な温度で測定した結果を示す。(a)は単位面積当たりの C_{gc} のゲート電圧依存性を示す。300 K での測定では、ゲート電圧増加に伴い、 C_{gc} は緩やかに増加し、一定値に近づく様子が確認される。温度を低下させていくと、 C_{gc} の立ち上がりが急峻に、また正方向にシフトしていくことが確認される。これはフェルミ準位の温度依存性を主な要因とするもので、しきい値電圧の節で説明されている。 C_{gc} の測定から得られた反転電荷 Q_i を示したものが(b)である。これは $Q_i = \int_{-\infty}^{V_G} C_{gc} dV_G$ の関係から得られる。ここで、MOSFET の線形バイアス時の電流が、ドリフト電流と拡散電流の組み合わせで、

$$I_D = \frac{W}{L} \mu_{eff} Q_i V_D - \frac{W}{L} \mu_{eff} \frac{kT}{q} \frac{dQ_i}{dx}, \quad (2.2)$$

で表されることを利用する。右辺第二項は、長チャネル MOSFET を用いた低いドレイン電圧での測定（典型的には 100 mV 以下）であることにより、電荷密度の勾配がほとんどないものとして無視できる。これより、以下の関係式が得られ、移動度を見積もることができる。

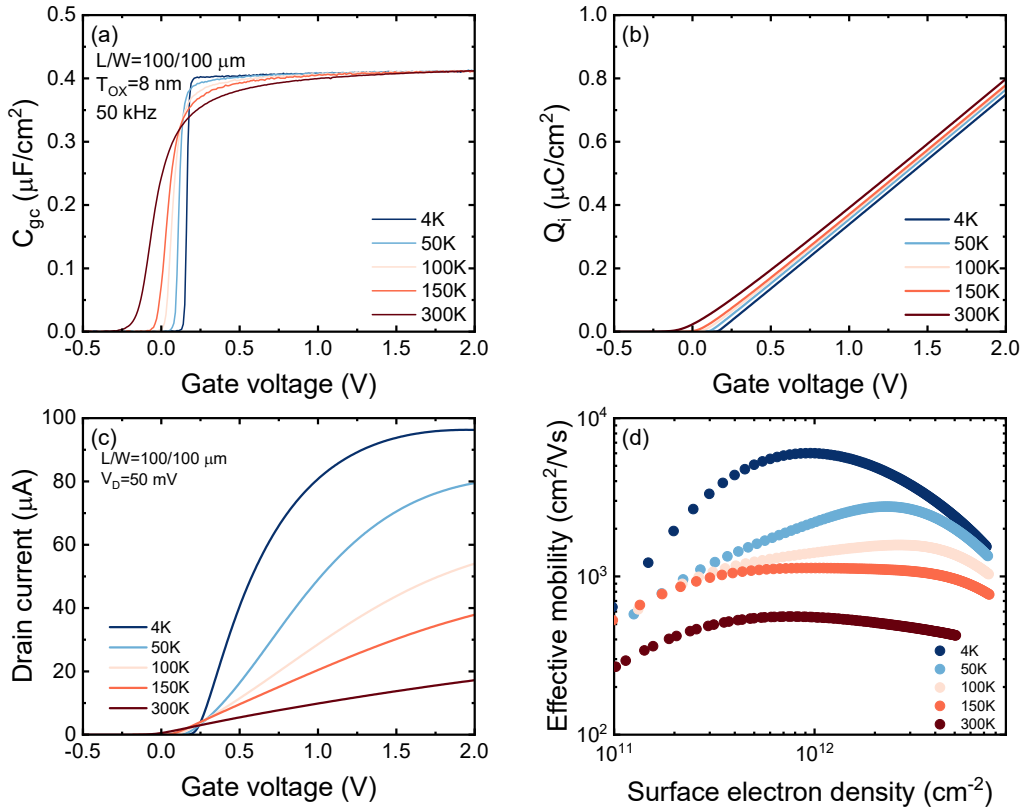


図 2.23 (a)様々な動作温度で測定した C_{gc} 特性、(b) (a)から得られた反転電子密度のゲート電圧依存性、(c)様々な温度で測定した線形バイアスでの I_D - V_G 特性、(d) これらを使って求めた実効移動度。

$$\mu_{\text{eff}} = \frac{L}{W} \frac{1}{Q_i} \frac{I_D}{V_D}. \quad (2.3)$$

得られた移動度は実効電界や反転電子密度に対してプロットされる。図 2.23(d) は様々な温度で見積もられた実効移動度を表面電子密度に対してプロットしている。温度低下で実効移動度が向上していることが確認できる。

また、電界効果移動度 μ_{FE} との違いを述べておきたい。Si-MOSFET ではあまり使われることはないが、SiC などの界面準位が多い材料で用いられることがある。電界効果移動度は以下のように表される。

$$\mu_{\text{FE}} = \frac{L}{W} \frac{g_m}{C_{\text{OX}} V_D}. \quad (2.4)$$

電界効果移動度では、反転電荷による容量を測定から見積もっておらず、 Q_i がしきい値電圧以降に立ち上がり、 $Q_i = C_{\text{OX}}(V_G - V_{\text{th}})$ で書けるものとして見積もっている。 $g_m = dI_D/dV_G$ であるため、二つの移動度 (μ_{eff} , μ_{FE}) は同じ単位であることがわかる。しきい値電圧が異なるデバイスの I_D - V_G 特性から移動度の大小を比較する際に、 g_m で議論していることが度々ある (例えばホットキャリア注入の議論の際の g_m 変化の議論など)。このことを覚えておくと理解しやすい。

2.4.5 チャージポンピング法

MOSFET をテストストラクチャとして界面準位を測定するひとつの方法がチャージポンピング法である [23]。測定の模式図を図 2.24 に示す。ソースとドレインを結線し、ゲートにパルス状の電圧を印加する。このパルスの繰り返し印加時に、半導体絶縁膜界面

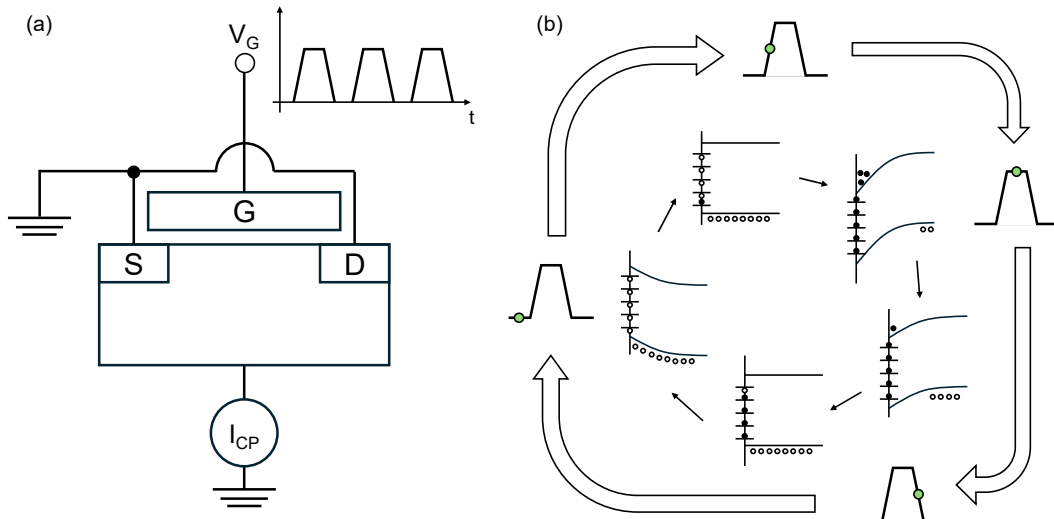


図 2.24 (a)チャージポンピング測定の模式図。ソースとドレインが繋がれ、ゲートにパルス状の電圧が印加される。(b)パルス印加時のエネルギーバンドダイアグラムの模式図。

の界面トラップに電子が捕獲されたり放出されたりすることを利用した測定方法である。まずパルスがベースの時、半導体は蓄積状態である。パルスが立ち上がる時には、表面は反転に変化する。この際界面トラップは電子を捕獲する。パルスが立ち下るとき、チャネルの電子はソース・ドレインにドリフトする。またエネルギーが伝導帯下端に近い界面トラップに捕獲されている電子も伝導帯に放出され、ソース・ドレインにドリフトする。伝導帯下端から離れている界面トラップに捕獲されている電子は、伝導帯への放出が間に合わないため界面トラップに捕獲されたままである。パルスが立ち下り蓄積状態に戻ると、ホールが表面に流れてきて、その一部は電子で占められている界面トラップに捕獲される。最終的にはすべての界面トラップがホールで占められる。再度パルスが立ち上がると、ホールの一部は価電子帯に放出される。この過程が繰り返されることで、界面トラ

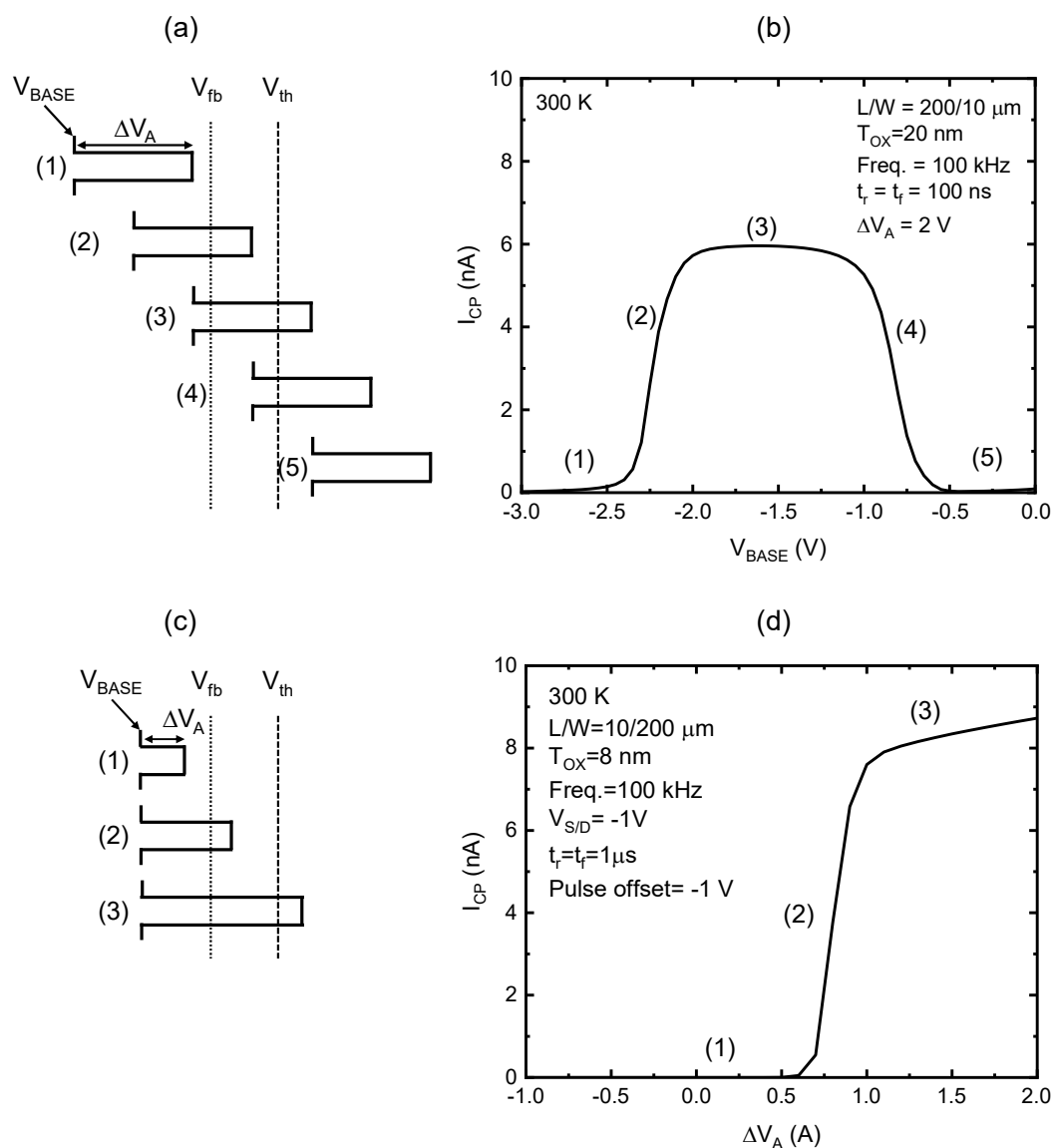


図 2.25 (a)ベーススイープチャージポンピング法のパルスの条件と V_{fb} , V_{th} との関係と (b)典型的な測定結果。(c)アンプリチュードスイープチャージポンピング法のパルスの条件と V_{fb} , V_{th} との関係と (b)典型的な測定結果。

ップ数に比例したチャージポンピング電流 I_{CP} が流れる。この電流を基板またはソース・ドレインでモニタする。ソース・ドレインに微小なバイアスを印加する場合や、ゲートを設置し、ソース・ドレイン側でチャージポンピング電流をモニタする場合もある。チャージポンピング電流は測定する MOSFET のゲート面積 A_G 、パルス印加の周波数 f 、界面トラップ密度 N_{it} に比例し、 $I_{CP} = qA_G f N_{it}$ と表される。

本研究で用いたチャージポンピング法の測定方法を図 2.25 に示す。(a), (b) に示すベーススイープチャージポンピング法は、パルスの振幅 ΔV_A を固定し、パルスの基準電圧 V_{BASE} をスイープする方法である。パルスの電圧範囲と、フラットバンド電圧、しきい値電圧の関係で 5 つの領域に分類される。図 2.25(a) 中(1)ではパルスの基準電圧が低く、かつトップ電圧がフラットバンド電圧に達していない。この条件では表面はパルス印加中すべての時間で蓄積である。そのため界面トラップへの電子の捕獲・放出のサイクルは生じず、 I_{CP} は流れない。基準電圧をスイープしていき、(2)で示す基準電圧はフラットバンド電圧以下で、トップ電圧がフラットバンド電圧を超えた場合、表面はパルスにより蓄積から空乏・弱反転を繰り返すため、 I_{CP} が流れ始める。(3)では基準電圧がフラットバンド電圧以下、トップ電圧がしきい値電圧を超えており、この条件では表面は蓄積から強反転を繰り返すため、 I_{CP} は最大値をとる。(4)は基準電圧がフラットバンド電圧を超えたため、表面は空乏・弱反転から強反転を繰り返す。パルスによる表面のポテンシャル変化が小さくなるため、 I_{CP} は減少する。(5)は基準電圧がしきい値電圧を超えており、表面は反転のままであるため I_{CP} は流れない。典型的な測定結果を図 2.25 (b) に示す。パルスの基準電圧を横軸に、チャージポンピング電流 I_{CP} を縦軸に示している。パルスの振幅 ΔV_A を 2 V としているため、例えば横軸が -2.5 V のとき、パルスは -2.5 V から -0.5 V の範囲である。基準電圧が小さいとき、 I_{CP} は確認されないが、基準電圧の増加に伴い、 I_{CP} が増加していくことが確認できる。基準電圧が約 -2 V から約 -1 V の範囲では、 $I_{CP}-V_{BASE}$ 曲線はプラトーを示す。この一定の値が界面トラップ密度の見積りに用いられる。基準電圧が -1 V を超えると減少していき、 -0.5 V 以上では I_{CP} は確認されない。また(c), (d) に示すアンプリチュードスイープチャージポンピング法では、パルスの基準電圧を固定し、振幅 ΔV_A を変化させる。この方法もパルスの電圧範囲と、フラットバンド電圧、しきい値電圧の関係で 3 つの状態に分けられる。まず、基準電圧はフラットバンド電圧より小さく設定している。図 2.25(c) 中の(1)のようにパルスの振幅が小さく、パルスストップがフラットバンド電圧以下のとき、既に議論したように I_{CP} は流れない。(2)のようにパルスストップがフラットバンド電圧を超えると I_{CP} が増加しはじめる。(3)のようにフラットバンド電圧、しきい値電圧を横切るようにパルスが印加されると、 I_{CP} は最大値を示す。(d) に典型的な測定結果を示す。 ΔV_A によって、前述した I_{CP} の変化が起きていることがわかる。

チャージポンピング法の過程の中では、電子、ホール伝導帯または価電子帯への放出があり、これはパルスの立ち下がり時間、立ち上がり時間、また温度や捕獲断面積に依存する。チャージポンピング電流に寄与する界面トラップのエネルギーは以下のように表される [23, 24]。ホールが放出される上限のエネルギーを $E_{em,h}$ 、電子の放出される下限のエネルギーを $E_{em,e}$ と表記する。

$$E_{em,h} = E_i + kT \ln \left(\sigma_p v_{th} n_i \frac{|V_{fb} - V_{th}|}{\Delta V_A} t_r \right) \quad (2.5)$$

$$E_{em,e} = E_i - kT \ln \left(\sigma_n v_{th} n_i \frac{|V_{fb} - V_{th}|}{\Delta V_A} t_f \right) \quad (2.6)$$

ここで E_i はミッドギャップ準位であり、シリコンの場合バンドギャップのほぼ中央に位置する。 σ は捕獲断面積であり、添え字の p と n はそれぞれホール、電子に対することを示す。 v_{th} は熱速度で、 n_i は真性電子密度である。 ΔV_A はパルスの振幅、 t_r , t_f はそれぞれパルスの立ち上がり時間、立ち下がり時間を示す。チャージポンピング電流に寄与するエネルギーはパルスの立ち上がり、立ち下がり時間の関数であることがわかる。図 2.26(a)に $E_{em,h}$ 、 $E_{em,e}$ のパルスの立ち上がり、立ち上がり時間の依存性を示す。二線間のエネルギーが、チャージポンピング電流に寄与するエネルギーである。立ち下がり時間 t_f を小さくしていくと、 $E_{em,e}$ が伝導帯下端に近づくことがわかる。これはパルスのトップ時に界面トラップに捕獲されている電子が、パルスの立ち下がり時にソース・ドレインに放出される時間が短くなるためである。また、温度の関数であることもわかる。 $E_{em,h}$ 、 $E_{em,e}$ の温度依存性を図 2.26(b)に示す。温度低下でチャージポンピング電流に寄与するエネルギーが広がっていくことがわかる。これは温度で熱放出されるエネルギー帯が変化するためである。高温であればより深いトラップに捕獲されたキャリアも放出され、低温では浅いトラップに捕獲されたキャリアしか放出されない。

また、チャージポンピング電流に寄与するエネルギーの(1)パルスの立ち上がり、立ち下がり時間の依存性と、(2)温度依存性を用いることで界面準位密度のエネルギー分解を行う方法が分光チャージポンピングである[24]。この方法では複数のパルスの立ち上がり、立ち下がり時間でのチャージポンピング電流を、温度を変化させながら測定する。パルスの立ち上がり、立ち下がり時間の違いによるエネルギーウインドウ ΔE の範囲が温度で変化することから、各温度でのチャージポンピング電流の差分が ΔE の範囲に存在する界面準位（単位は $\text{cm}^{-2}\text{eV}^{-1}$ ）に由来するものとエネルギー分光を行う。

なおチャージポンピング測定では基板からホールの供給を行っているため、極低温下では基板がフリーズアウトし、測定は困難となる。チャンネル不純物濃度が 10^{16} cm^{-3} 程度

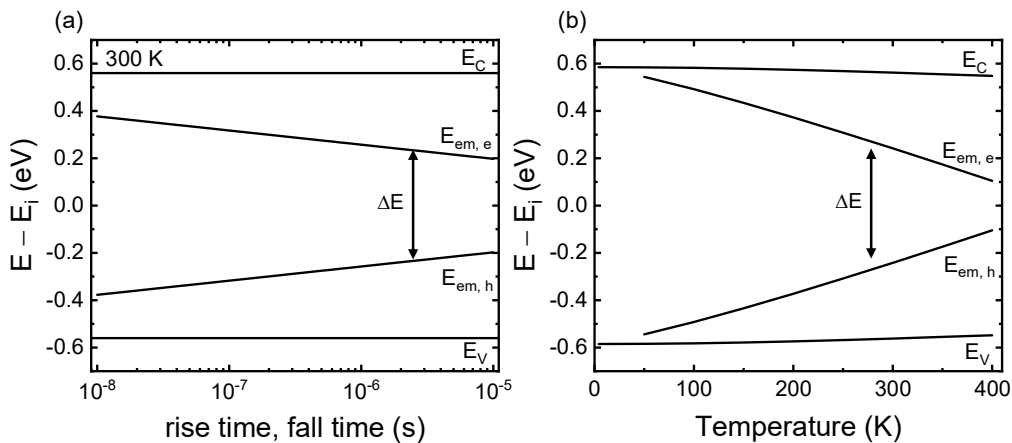


図 2.26 (a) 300 K での $E_{em,h}$ 、 $E_{em,e}$ のパルスの立ち上がり、立ち下がり時間依存性。(b) $E_{em,h}$ 、 $E_{em,e}$ の温度依存性。矢印で示した、 $E_{em,h}$ 、 $E_{em,e}$ 間のエネルギー ΔE がチャージポンピング電流に寄与するエネルギー範囲である。

のデバイスでは、パルスの立ち上がり立ち下がり時間にもよるが、30 K 以下での測定ではチャージポンピング電流の測定が困難であった。

2.4.6 ホットキャリア注入

実験的にホットキャリア注入を行うためには、デバイスに通常動作より高いバイアスを印加し、加速試験を行う方法が多く用いられている。これには電氣的ストレスを一定時間印加し、その後電気特性を評価し、その後また電氣的ストレスを一定時間印加し、電気特性を評価する、といったサイクルを総ストレス印加時間が設定したストレス時間になるまで繰り返す Measure–stress–measure (MSM)法が用いられる。MSM 法の測定手順を図 2.27 に示す。測定は測定ソフトウェアに搭載されたライブラリを選択することで実施した。この測定により相互コンダクタンス、線形外挿で求めたしきい値電圧、定ドレイン電流法で求めたしきい値電圧、飽和電流、といったパラメータのストレス印加時間依存性を抽出した。

電氣的ストレス印加の条件は前述したように、n-MOSFET では大きな V_D を印加したとき、基板電流の絶対値が最大となるバイアス条件と知られている。基板電流のゲート電圧依存性を図 2.28 に示す。ゲート電圧の増加に伴い、2.3 V あたりで基板電流が最大値を取り、さらにゲート電圧を大きくすると基板電流が減少していく様子が確認される。ゲート電圧を上げていくと、横方向の電界が大きくなる。電子が空乏層に入ると、一部がインパクトイオン化を生じ、生じた正孔が基板電流として流れ出ることで基板電流が観測される。このふるまいはゲート電圧が $V_D/3 - V_D/2$ になるまで見られる。さらにゲート電圧を大きくすると、線形バイアスになり、横方向電界が弱まるため基板電流は減少する。実験的に基板電流が最大となるバイアス条件を求め、このバイアス条件で任意の時間電氣的ストレスを印加した。このような条件で生じるホットキャリアはドレインアバランシェホットキャリア(DAHC)である。

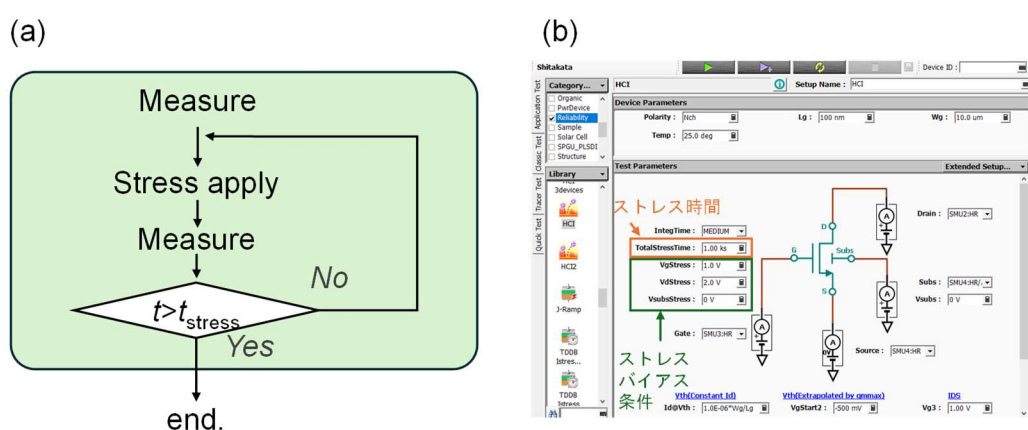


図 2.27 (a)MSM 法での測定フロー図。(b)測定ソフトウェアに搭載された HCI ライブラリの画面。ストレス時間、ストレスバイアス条件を設定し、実行することで各種パラメータのストレス時間依存性を抽出する。

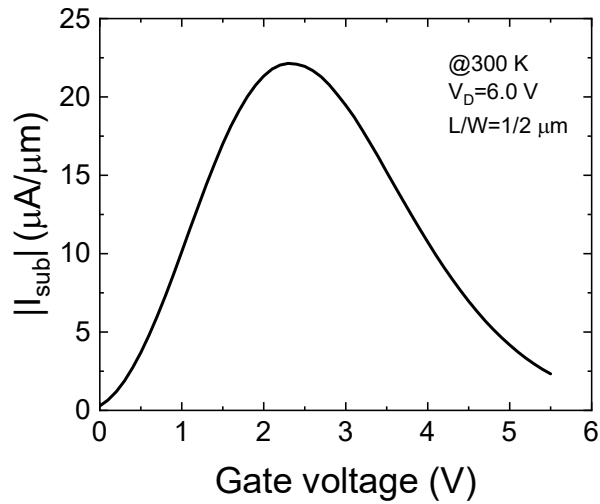


図 2.28 基板電流のゲート電圧依存性の例。

2.4.7 ノイズ測定

ノイズ測定には Keysight E4727B を使用した。測定装置の外観とセットアップの模式図を図 2.29 に示す。E4727B は PXI Express インターフェイスモジュールを介してコントローラおよびデジタイザを搭載したモジュールと接続されている。さらに、E4727B は B1500A とトライアキシャルケーブルで接続されており、これにより外部 DC 電源として B1500A を利用することができる。

E4727B は測定デバイスのドレイン、ソース、ゲート、基板端子に接続されており、 I_D - V_G 測定、 I_D - V_D 測定、ノイズ測定、ランダムテレグラフシグナルの測定が可能である。ノイズ測定では、任意のドレイン電流となるバイアス条件で電圧を維持しながら電流値を

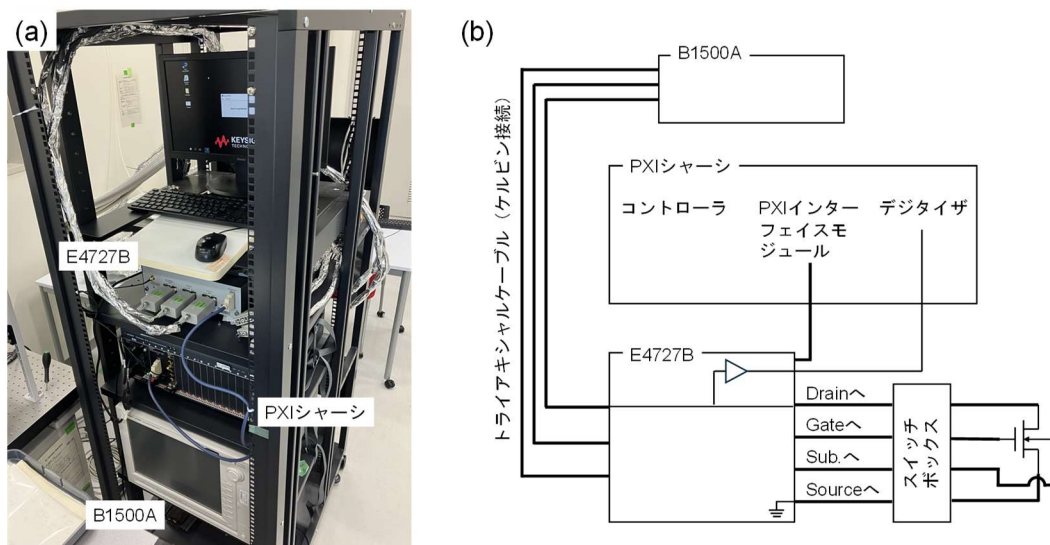


図 2.29 (a)測定装置の外観。(b)本研究で用いた測定系の模式図。

サンプリングする。この電流値は E4727B 内蔵のアンプで増幅され、デジタイザに渡される。その後、専用ソフトウェアでフーリエ変換を行い、ノイズスペクトルを得る。測定周波数帯ごとにサンプリング時間を自動的に変更し、測定を行う。測定可能周波数は 0.03 Hz-100 MHz であるが、本測定系は被試験デバイスとアンプまでの配線長さが長いことから、MOSFET の $1/f$ ノイズはサイズにもよるが、約 1000 Hz あたりでバックグラウンドノイズに埋もれる。

参考文献

- [1]. 産総研 COLOMODE 未踏デバイス試作共用ライン, <https://unit.aist.go.jp/d-tech/colomode/>. (2024/12/1 アクセス)
- [2]. J. A. Appels, E. Kooi, M. M. Paffen, J. J. H. Schatorje, and W. H. C. G. Verkuylen, *Philips Res. Repts.*, vol. 25, pp. 118-132, 1970.
- [3]. E. Kooi, J. G. van Lierop, and J. A. Appels, "Formation of Silicon Nitride at a Si-SiO₂ Interface during Local Oxidation of Silicon and during Heat-Treatment of Oxidized Silicon in NH₃ Gas," *J. Electrochem. Soc.*, vol. 123, no. 7, pp. 1117-1120, Jul. 1976, doi: [10.1149/1.2133008](https://doi.org/10.1149/1.2133008).
- [4]. M. Nandakumar, A. Chatterjee, S. Sridhar, K. Joyner, M. Rodder and I. -C. Chen, "Shallow trench isolation for advanced ULSI CMOS technologies," *International Electron Devices Meeting 1998. Technical Digest (Cat. No.98CH36217)*, San Francisco, CA, USA, 1998, pp. 133-136, doi: [10.1109/IEDM.1998.746297](https://doi.org/10.1109/IEDM.1998.746297).
- [5]. R. W. Bower, "Field-effect device with insulated gate," US3472712A, 1966-10-10-27.
- [6]. M. T. Robinson and O. S. Oen, "Computer Studies of the Slowing Down of Energetic Atoms in Crystals." *Phys. Rev.* vol., 132, no. 6, pp. 2385-2398, Dec. 1963, doi: doi.org/10.1103/PhysRev.132.2385.
- [7]. A. Chatterjee, R. A. Chapman, G. Dixit, J. Kuehne, S. Hattangady, H. Yang, G. A. Brown, R. Aggarwal, U. Erdogan, Q. He, M. Hanratty, D. Rogers, S. Murtaza, S. J. Fang, R. Kraft, A. L. P. Rotondaro, J. C. Hu, M. Terry, W. Lee, C. Fernando, A. Konecni, G. Wells, D. Frystak, C. Bowen, M. Rodder, and I. -C. Chen, "Sub-100 nm gate length metal gate NMOS transistors fabricated by a replacement gate process," *International Electron Devices Meeting. IEDM Technical Digest*, Washington, DC, USA, 1997, pp. 821-824, doi: [10.1109/IEDM.1997.650507](https://doi.org/10.1109/IEDM.1997.650507).
- [8]. M. Sekiguchi, K. Sawada, M. Fukumoto, and T. Kouzaki, "Electromigration in AlSiCuITiN/Ti interconnects with Ti and TiN additional layers," *J. Vac. Sci. Technol. B*, vol. 12, no. 5, pp. 2992-2996, Sep. 1994, doi: [10.1116/1.587548](https://doi.org/10.1116/1.587548).
- [9]. W. Kern and D. Puotinen, "*Cleaning Solutions Based on Hydrogen Peroxide for Use in Silicon Semiconductor Technology*," RCA Review, vol. 31, no. 2, pp. 187-206, Jun. 1970.
- [10]. S. I. Raider, L. V. Gregor, and R. Flitsch, "Transfer of Ions from Aqueous Solutions to the Silicon Dioxide Surface," *J. Electrochem. Soc.*, vol. 120, no. 3, pp. 425-431, Mar. 1973, doi: [10.1149/1.2403470](https://doi.org/10.1149/1.2403470).
- [11]. H. Feichtinger, J. Wautl, and A. Gschwandtner, "Localization of the Fe^o -level in silicon," *Solid State Communications*, vol. 27, no. 9, pp. 867-871, Sep. 1978, doi: [10.1016/0038-1098\(78\)90194-1](https://doi.org/10.1016/0038-1098(78)90194-1).

- [12]. W. Kern, "The Evolution of Silicon Wafer Cleaning Technology," *J. Electrochem. Soc.*, vol. 137, no. 6, pp. 1887-1892, Jun. 1990, doi: [10.1149/1.2086825](https://doi.org/10.1149/1.2086825).
- [13]. Y. Mori, "TXRF for semiconductor applications." *Adv. X-Ray Anal.* 45, 523-532, 2002.
- [14]. B. E. Deal and A. S. Grove, "General Relationship for the Thermal Oxidation of Silicon," *J. Appl. Phys.*, vol. 36, no. 12, pp. 3770-3778, Dec. 1965, doi: doi.org/10.1063/1.1713945.
- [15]. J. F. Gibbson, "Ion Implantation in Semiconductors—Part II: Damage production and annealing," *Proc. of the IEEE*, vol. 60, no. 9, pp. 1062-1096, Sept. 1972, doi: [10.1109/PROC.1972.8854](https://doi.org/10.1109/PROC.1972.8854).
- [16]. T. Emoto, K. Akimoto, Y. Yoshida, A. Ichimiya, T. Nabatame, and A. Toriumi, "Strain relaxation near high-k/Si interface by post-deposition annealing," *Appl. Surf. Sci.*, vol. 244, no. 1-4, pp. 55-60, Jan. 2005, doi: [10.1016/j.apsusc.2004.10.088](https://doi.org/10.1016/j.apsusc.2004.10.088).
- [17]. D. M. Brown and P. V. Gray, "Si-SiO₂ Fast Interface State Measurements," *J. Electrochem. Soc.*, vol. 115, no. 7, pp. 760-766, Jul. 1968, doi: [10.1149/1.2411420](https://doi.org/10.1149/1.2411420).
- [18]. J. Narayan and O. W. Holland, "Rapid thermal annealing of ion-implanted semiconductors," *J. Appl. Phys.*, vol. 56, no. 10, pp. 2913-2921, Nov. 1984, doi: [10.1063/1.333831](https://doi.org/10.1063/1.333831).
- [19]. D. K. Schroder, "Semiconductor Material and Device Characterization," 3ed ed., Wiley, 2006. (嶋田恭博 (訳)、半導体材料・デバイスの評価、第3版、シーエムシー出版、2012)
- [20]. J. Koomen, "Investigation of the MOST channel conductance in weak inversion," *Solid-State Electron.*, vol. 16, no. 7, pp. 801-810, Jul. 1973, doi: [10.1016/0038-1101\(73\)90177-9](https://doi.org/10.1016/0038-1101(73)90177-9).
- [21]. Y. Chen, Z. Jin, X. Han, H. Oka, T. Mori, K. Toprasertpong, M. Takenaka, and S. Takagi, "Accurate Evaluation of Effective Mobility in Si nMOSFETs at Cryogenic Temperature by Introducing Quasi-Static C-V Method," *Extended Abstracts of the 2024 International Conference on Solid State Devices and Materials*, 2024, pp. 51-52.
- [22]. Z. Jin, Y. Chen, X. Han, H. Oka, T. Mori, K. Toprasertpong, M. Takenaka, and S. Takagi, "A Correction Method of Split C-V Characteristics in MOSFETs by Using Transmission Line Model for Accurate Extraction of Effective Mobility," *Extended Abstracts of the 2024 International Conference on Solid State Devices and Materials*, 2024, pp. 53-54.
- [23]. G. Groeseneken, H. E. Maes, N. Beltran and R. F. De Keersmaecker, "A reliable approach to charge-pumping measurements in MOS transistors," *IEEE Trans. Electron Devices*, vol. 31, no. 1, pp. 42-53, Jan. 1984, doi: [10.1109/T-ED.1984.21472](https://doi.org/10.1109/T-ED.1984.21472).
- [24]. G. Van den bosch, G. V. Groeseneken, P. Heremans and H. E. Maes, "Spectroscopic charge pumping: A new procedure for measuring interface trap distributions on MOS

transistors," *IEEE Trans. Electron Devices*, vol. 38, no. 8, pp. 1820-1831, Aug. 1991, doi:
[10.1109/16.119021](https://doi.org/10.1109/16.119021).

第3章 極低温下でのホットキャリア劣化の起源

3.1 序論

ホットキャリア注入による特性劣化 (HCD) は一般に温度低下に伴い増加する[1]。これは温度低下に伴い、フォノン散乱の影響が小さくなるため、キャリアが散乱されにくくなり、大きなエネルギーを得やすくなるためである。ホットキャリア注入の温度依存性については多くの報告があるが、77 K での動作についての報告がほとんどであり[1, 2, 3]、量子コンピュータ向けクライオ CMOS 動作温度である 4 K での報告例はわずかである[4, 5]。本章では極低温下でのホットキャリア注入による特性劣化のメカニズムを明らかにすべく、実験的な検証を行った。

3.2 実験方法

本章では 300 K と 4 K でのホットキャリア劣化効果を検証する。デバイス作製の最終工程として、水素 3% のフォーミングガスによるアニール (FGA) を 400°C で 60 分間行ったデバイスを用いた。用いた試料のゲート長 L は設計長で 1 μm である。なお、デバイス数の制限のため、ストレスを印加したデバイスは W が 4–10 μm のバリエーションを持つ。 W による依存は無視できるものとして仮定している。

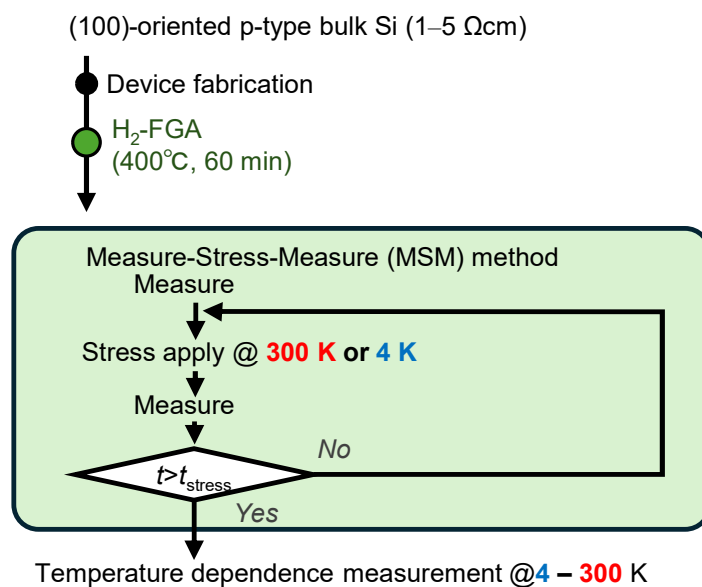


図 3.1 用いたデバイスと実験手順。詳細なプロセスフローは第2章に記載した。ストレス印加は Measure–Stress–Measure (MSM) 法で行い、ストレス印加後のデバイスに対して、動作温度を変化させて電気特性評価を行っている。

3.3 結果と考察

3.3.1 ストレスバイアス条件の決定

n-MOSFET におけるホットキャリア劣化が最大となる条件は、DAHC 条件である。図 3.2(a)に、300 K で測定された、基板電流のゲート電圧依存性を示す。ゲート電圧を 0 から増加させていくと、基板電流が増加し、あるゲート電圧でピークに至り、より大きなゲート電圧では基板電流が減少していく、ベル型のカーブが確認された。ピーク後に電流値が減少するのは、ゲート電圧の増大に伴い、ドレインからの空乏層が短くなるためである。まずはこの測定を、異なる温度下で行った。図 3.2(b)に最大基板電流と、その最大基板電流を与えるゲート電圧の温度依存性を示す。まず最大基板電流は、300 K から温度を低下させると増加することが確認された。これは温度低下に伴い、キャリアの移動度が增大するためだと考えられる。このふるまいは約 100 K 以上の温度範囲で確認された。さらに温度を低下させていくと、約 100 K から 50 K の温度範囲では、最大基板電流が飽和し、40 K 以下の温度範囲では、最大基板電流が急激に減少する様子が確認された。この原因は基板のフリーズアウトと考えられる。最大基板電流を与えるゲート電圧を確認すると、40 K 以上の温度範囲では 2.3–2.5 V と大きくは変化していないことがわかる。4 K での測定では、基板フリーズアウトの影響により基板電流が測定できなかったため、300 K で最大基板電流を与える条件 ($V_{D, stress}=6.0$ V, $V_{G, stress}=2.3$ V) を 300, 4 K でのストレス印加条件とした。4 K でのストレス印加は劣化が最大となる条件 ($V_G@I_{sub, max}$) からやや外れていることが予想されるが、後述されるように劣化の度合いとしては 4 K でのストレス印加で大きかったため、有効な比較ができているものと考えられる。

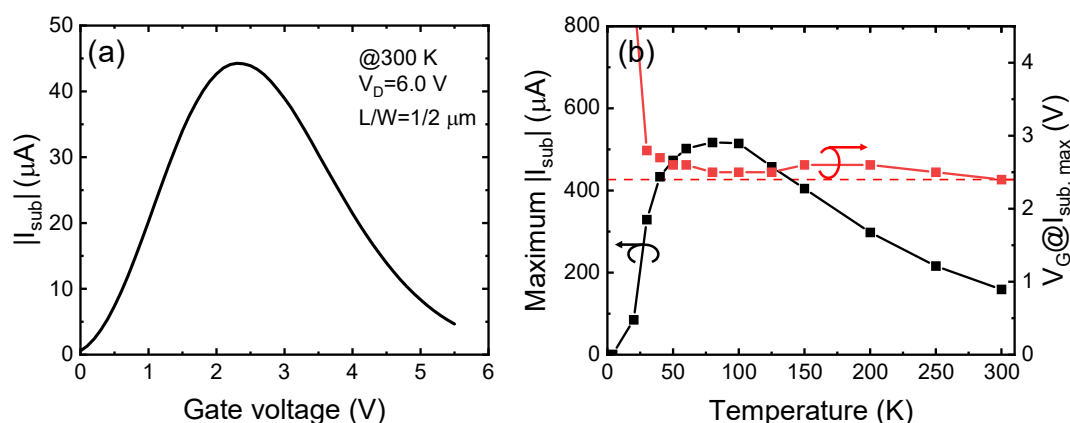


図 3.2 (a)300 K での基板電流のゲート電圧依存性($I_{sub}-V_G$)。 (b)最大基板電流 $I_{sub, max}$ と、最大基板電流を与えるゲート電圧 $V_G@I_{sub, max}$ の温度依存性。4 K における最大基板電流を与えるゲート電圧 (赤プロット) はフリーズアウトのため測定できなかった。

3.3.2 300 K と 4 K における MSM による評価

300 K または 4 K での MSM 法による各特性変動のストレス時間依存性を図 3.3 に示す。まず図 3.3 (a)の線形バイアス時のしきい値電圧のシフトについては、4 K でのストレ

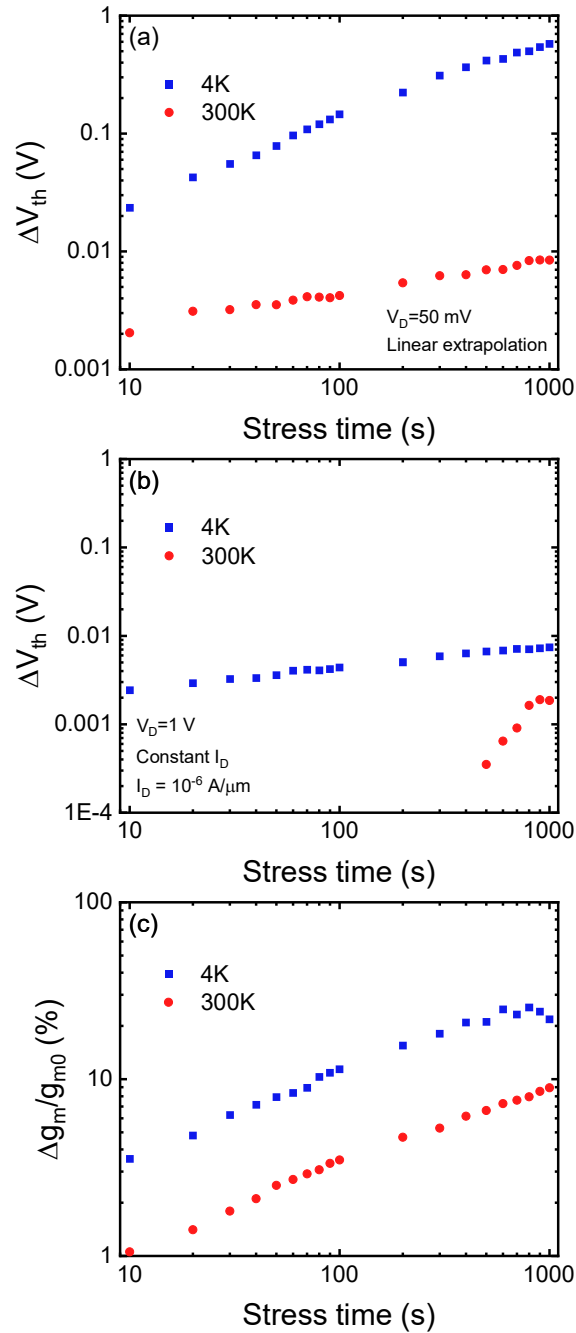


図 3.3 MSM 法による 300 K と 4 K での(a)線形バイアス($V_D = 50$ mV)の I_D - V_G 特性から線形外挿法で求められたしきい値電圧シフト、(b)飽和バイアス($V_D = 1$ V)の I_D - V_G 特性から定ドレイン電流法で求められたしきい値電圧シフト、(c) 線形バイアス($V_D = 50$ mV)での最大相互コンダクタンス $g_{m,max}$ の減少割合のストレス時間依存性。

ス印加では、300 K でのストレス印加と比較して 10 から 100 倍と顕著に増加していることが確認された。しかし、図 3.3(b)の飽和バイアスでのしきい値電圧シフトは、線形バイアス時と比較して非常に小さいことが確認された。これはホットキャリア注入による特性劣化がドレイン端近傍で起こっていることを示すものと考えられる。これについては後述する。図 3.3(c)の、相互コンダクタンスの劣化は、傾向としては図 3.3(a)のと同じく、4 K で劣化が大きい結果を示した。これはストレス印加により、移動度が劣化したものと考えられる。電界効果移動度 μ_{FE} が、 $\mu_{FE} = (L/W)(g_m/C_{ox}V_D)$ で表されることを考えると、 g_m の劣化は移動度の劣化を示すものとして判断できる。

次に、300 K または 4 K での、異なるストレス印加時間で測定された I_D - V_G 特性を図 3.4 に示す。まず 300 K でのストレス印加時のふるまいについて述べる。図 3.4(a)の線形バイアス時の I_D - V_G 特性からは、ストレス印加時間の増加に伴い、オン電流が低下していくことが確認された。しきい値電圧は、図 3.3(a)に示したように、ほとんど変化していないように見える。図 3.4(b)の飽和バイアス印加時でも同様に、しきい値電圧のシフトはほとんど確認されず、オン電流がわずかに低下していることが確認された。対して 4 K でのストレス印加の場合では、図 3.4(c)の線形バイアスでの I_D - V_G 特性では、ストレス印加

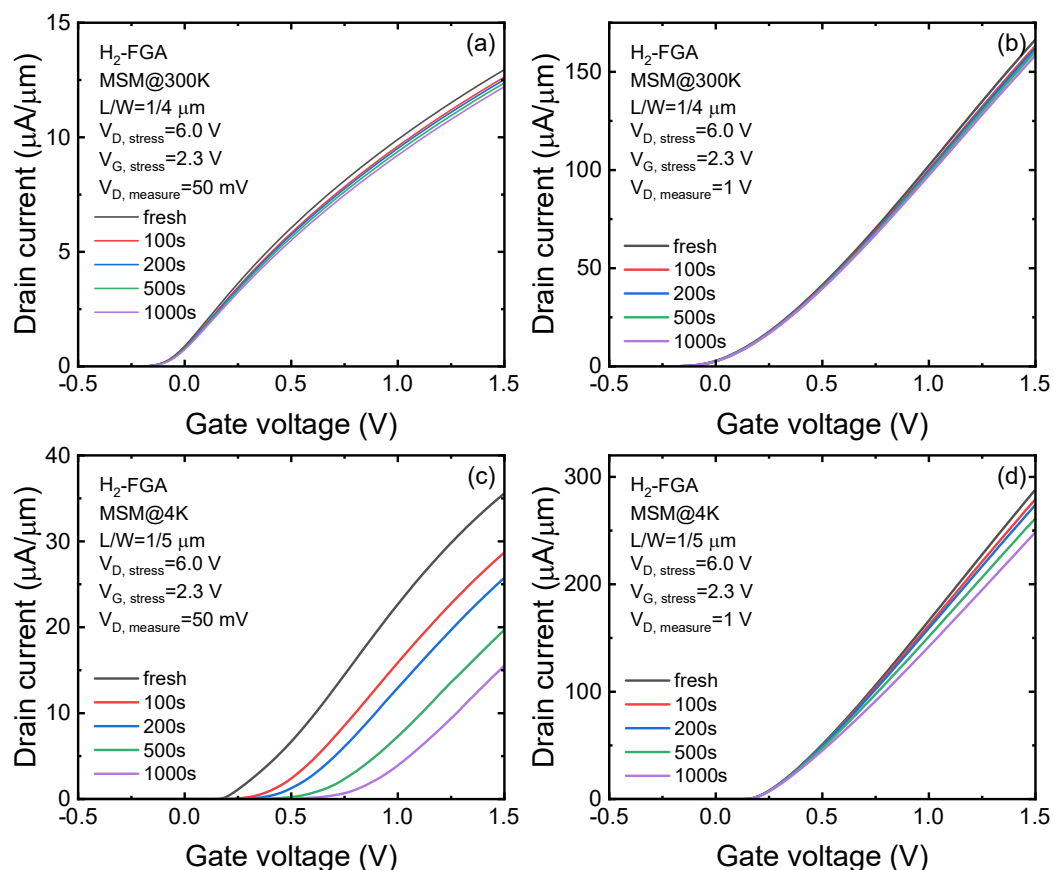


図 3.4 異なるストレス印加時間での I_D - V_G 特性。(a)300 K での $V_D=50$ mV、(b) 300 K での $V_D=1$ V、(c) 4 K での $V_D=50$ mV、(d) 4 K での $V_D=1$ V での I_D - V_G 特性を示している。これら I_D - V_G 特性の測定から図 3.3 の特性のストレス印加時間依存性が抽出された。

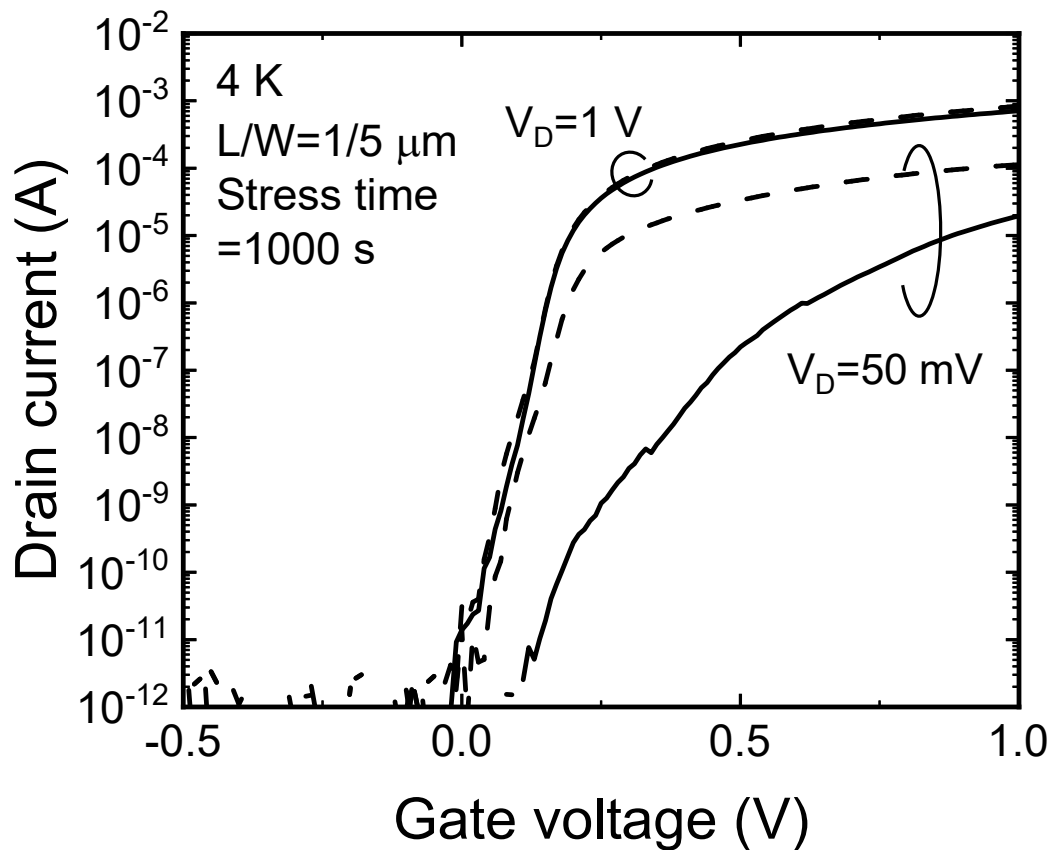


図 3.5 ストレス印加前後の I_D - V_G 特性。測定は 4 K で行った。破線はストレス印加前、実線はストレス印加後の特性を示す。ストレス印加による I_D - V_G 特性の劣化が確認されるが、その様子がドレイン電圧によって異なることが確認できる。

時間の増加に伴い、しきい値電圧が大きく正にシフトしていることが確認された。しかし図 3.4(d)の飽和バイアス印加時では、オン電流の若干の低下は確認できるものの、しきい値電圧はほとんど変化していない様子が確認された。4 K でのストレス印加前後の I_D - V_G 特性について、 $V_D=50$ mV, 1 V の場合をまとめて図 3.5 に示す。 $V_D=1$ V のバイアス印加時ではストレス印加前後で変化が小さいことが確認されるが、 $V_D=50$ mV の線形バイアス時では、ドレイン電流の立ち上がりの正シフト、サブスレッショルド特性の劣化の大きな変化が確認された。 V_D が大きい場合には、特性劣化が小さく見えるようである。これは室温動作でよく知られているように、ホットキャリア劣化が生じる箇所がドレイン近傍で起こることから説明できる現象と思われる。ホットキャリア劣化によって生じた界面準位や固定電荷がドレイン近傍に存在している場合、ドレイン電圧の増加でドレインから伸びる空乏層が広がっていき、ドレイン近傍の劣化を生じさせる物理的原因は空乏層によって排除される。そのため I_D - V_G 特性は V_D 依存性を示すとよく理解されている。このことから、4 K でのストレス印加でも、従来報告されてきたように、特性を変化させる原因はドレイン近傍に集中して生成されると考えられる。以上の議論を踏まえ、特性劣化を評価するためには、 V_D が小さい線形バイアスでの議論が必要であることが分かった。

3.3.3 ストレス印加後の動作温度依存性

以上の議論より、4 Kでのストレス印加による特性劣化を議論するには、線形バイアス印加時の特性変化を考えるべきであることがわかった。図 3.3(a), (c), 図 3.4(a), (c)からわかった現象は、4 Kでのストレス印加では 300 Kでのストレス印加と比較して、移動度の劣化を伴ってしきい値電圧が大きく増加することである。

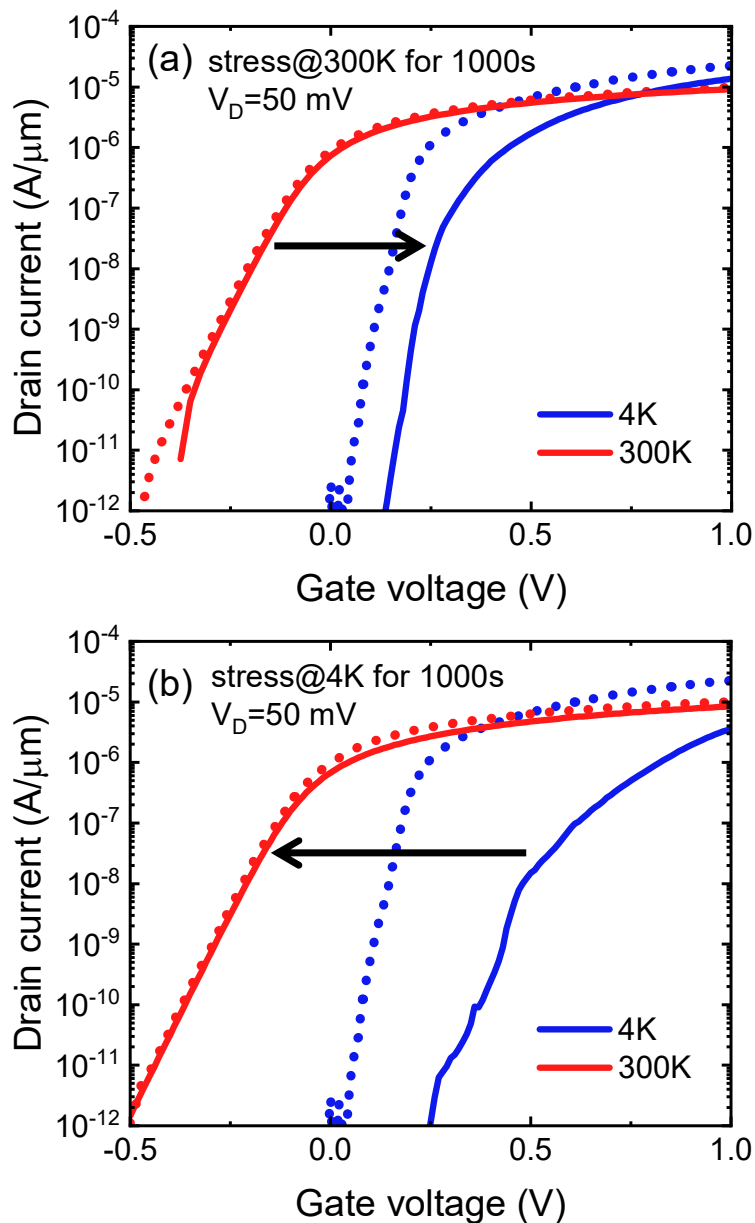


図 3.6 異なる温度で測定したストレス印加後のデバイスの I_D - V_G 特性。(a) 300 K でストレスを印加し、その後 4 K に冷却して測定した場合、(b) 4 K でストレスを印加し、その後 300 K に昇温して測定した場合。点線はストレス印加なしの場合の参照デバイスの特性を示す。矢印は測定の順序を示す。

この大きな特性劣化の起源を明らかにすべく、ストレス印加後のデバイスについて動作温度を変化させて特性を評価した。300 K で 1000 s 間ストレスを印加し、その後 4 K に冷やして測定した場合と、4 K でストレスを 1000 s 間印加し、その後 300 K に昇温し測定した I_D - V_G 特性を図 3.6 に示す。図 3.6 (a) の場合、300 K での MSM では図 3.3(a) から確認されるように、特性劣化が小さいことが確認された。しかしながらこのデバイスを 4 K で測定した場合、サブスレッショルド特性の劣化、カーブの正側へのシフトといった大きな特性劣化が確認された。

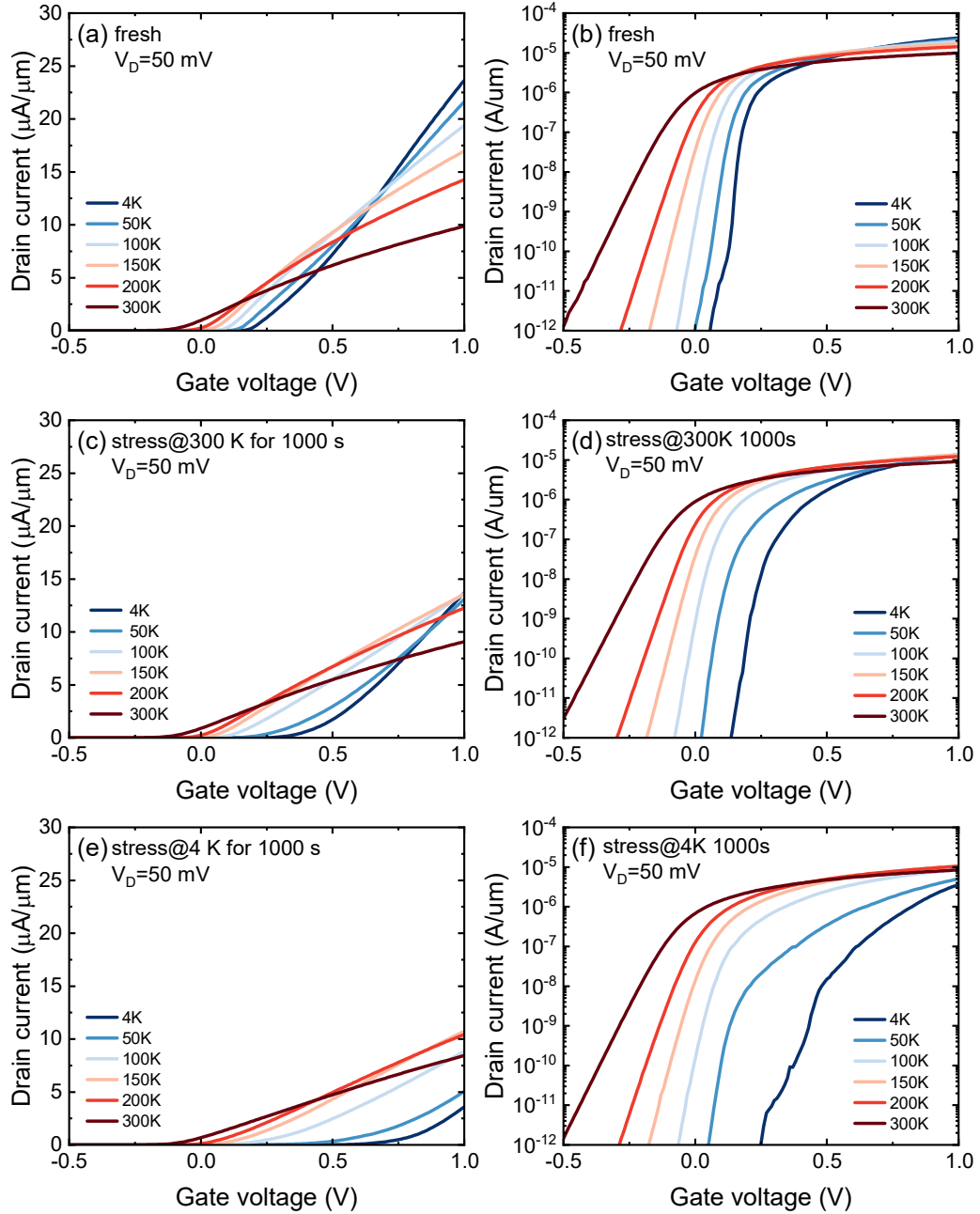


図 3.7 デバイスの異なる温度での I_D - V_G 特性。(a, b) ストレス印加なし、(c, d) 300 K で 1000 s のストレスを印加させた場合、(e, f) 4 K で 1000 s のストレスを印加させた場合。それぞれ線形プロット、片対数プロットを示している。

対して、4 K でストレス印加した場合 (図 3.6 (b)), 先に述べたように 4 K での測定では大きな I_D - V_G の特性劣化が確認される。しかしこのデバイスを 300 K で測定した場合、サブスレッショルド特性やシフトといった劣化が微小になっている様子が確認された。ストレス印加による影響は、ストレスを印加した温度に関係なく、極低温で測定した場合に顕在化している可能性が示唆される。つまり、ストレス印加は極低温特性を顕著に劣化させる原因を生じさせているものと考えられる。また、異なる温度でストレスを印加した後の 4 K における I_D - V_G 特性を比較すると (図 3.6(a), (b) の青実線を比較)、(a) の 300 K でストレスを印加し、4 K で測定した特性よりも、4 K でストレスを印加し、4 K で測定した特性の方がより大きな I_D - V_G カーブの正シフト、サブスレッショルドスイングの明らかな増加が確認される。これから、300 K でのストレス印加と比較し、4 K でのストレス印加はより I_D - V_G 特性を劣化させることが示唆される。これは温度低下によるフォノン散乱低下により、キャリアがより大きなエネルギーを得やすくなったためだと考えられる。前述したように 4 K でのストレス印加条件は、劣化が最大となる条件からやや外れているものと考えられるが、これを補っても余りあるほどに温度低下が特性劣化を決定する要因だといえる。

劣化の起源を明らかにするため、ストレス印加後の特性をさらに検討した。図 3.7 にストレス印加なしのデバイス、300 K でストレスを印加した後のデバイス、4 K でストレスを印加した後のデバイスそれぞれについて、動作温度を変化させた I_D - V_G 特性を示す。ストレス印加なしのデバイスでは、温度低下に伴い、オン電流の増加、しきい値電圧の正シフトが確認された。これは第 2 章で示した通りの温度依存である。片対数プロットでは、50 K 以下の温度範囲で 10^{-10} A 以下のドレイン電流の範囲で立ち上がりが二段のようになっている様子が確認された。この現象は、このデバイス的高温動作では確認されなかった挙動であり、寄生トランジスタのようなものだと考えられる。しかし、この挙動はドレイン電流が大きい場合、ほとんど影響していないものと考えている。次に 300 K でストレスを印加したデバイスを確認すると、300 K から温度を低下させていき、150 K に至るまでは、温度低下に伴って、オン電流は増加していることが確認された。しかし、150 K 以下の温度範囲では、しきい値電圧の増大が大きく影響していることがわかる。片対数プロットからは、50 K 以下の温度範囲でサブスレッショルド特性の劣化が明確に確認される。4 K でストレスを印加したデバイスでは、300 K でストレスを印加したデバイスよりも、特性劣化が大きく、かつより高温で劣化が顕在化することがわかる。

これらの測定から得られた、しきい値電圧の温度依存性をまとめて図 3.8 に示す。300 K での測定では、ストレス印加によるしきい値電圧シフトは小さい。しかし 4 K での測定では、より大きなしきい値電圧シフトが確認された。注目すべきは、すべてのストレス印加条件で、 V_{th} - T 曲線が約 100 K 以下で大きな変化を示すことである。このふるまいはストレス印加温度に関係なく発現しており、特性劣化の起源がその印加温度に関係なく、ストレス印加によって生成されることを示唆している。過去の文献では、極低温下でしきい値電圧が増大するふるまいはバンド端準位の影響であることが示されており [6, 7]、今回確認された V_{th} - T 曲線の変化は、バンド端準位の影響増大による可能性が高い。また同じストレス印加時間を比較した場合、300 K でのストレス印加と比較して、4 K でのス

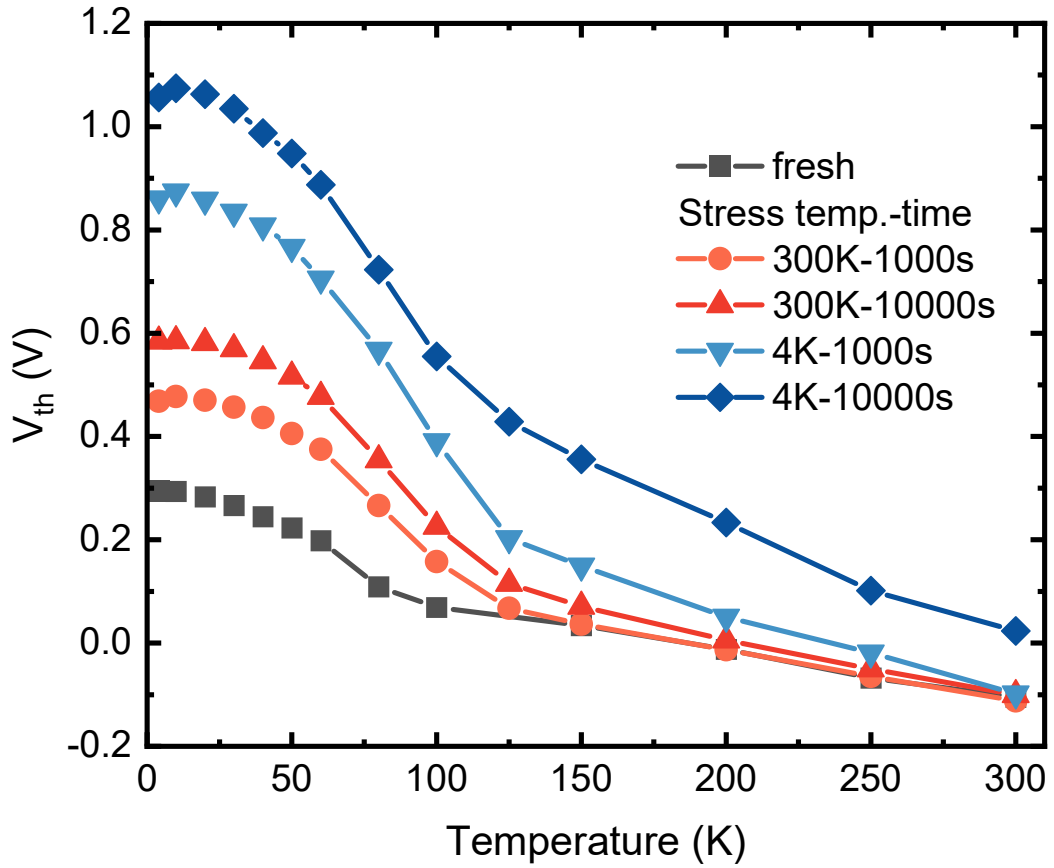


図 3.8 異なる温度、時間でストレス印加を印加した後のしきい値電圧の温度依存性。
しきい値電圧は図 3.7 のデータから得た。

トレス印加ではしきい値電圧のシフト量大きいことが確認される。これは低温でのストレス印加が、より大きな特性劣化を引き起こしているものと考えられる。

3.3.3 モデルを用いたしきい値電圧の温度依存性の見積り

図 3.8 で示した $V_{th}-T$ 曲線についてより詳細な議論、特にしきい値電圧増大の原因についての議論を進めるべく、簡単ではあるが、ホットキャリア注入により発生した界面準位がしきい値電圧を変化させるモデルを用いた $V_{th}-T$ 曲線の見積もりを行った。準位はエネルギー的にバンド端近傍の準位と、深い準位の二種類を想定した。前者はバンド端準位を想定している。これらの準位に電荷がトラップされ、そのトラップされた電荷がしきい値電圧を変化させると考えると、しきい値電圧は次のように表される。

$$\begin{aligned}
 V_{th} &= V_{fb} + 2\psi_B + \frac{Q_{dep}(2\psi_B)}{C_{OX}} + \Delta V_{state} \\
 &= V_{fb} + 2\psi_B + \frac{\sqrt{4\epsilon_{Si}qN_A\psi_B}}{C_{OX}} + \frac{Q_{state}}{C_{OX}}.
 \end{aligned} \tag{3.1}$$

ここで、 V_{fb} はフラットバンド電圧、 ψ_B はバルクのポテンシャル、 Q_{dep} は単位面積当たりの空乏電荷、 C_{ox} は単位面積当たりの MOS 構造の容量である。 ϵ_{Si} 、 q 、 N_A はそれぞれ、シリコンの誘電率、電荷素量、アクセプタ濃度である。 Q_{State} がモデルで想定した準位のトラップにより生成した、単位面積当たりの界面トラップ電荷である。 Q_{State} は想定した準位の状態密度 $DOS(E)$ と分布関数 $f(E)$ を用いると、次のように表される。

$$Q_{State} = \int_{-\infty}^{E_{inv}} DOS(E) f(E) dE \quad (3.2)$$

E_{inv} は表面ポテンシャルの曲がり角が $2\psi_B$ となるエネルギーである。準位の性質としてはそれぞれ以下のようにした。(1) バンド端準位は伝導帯下端を中心にガウス分布する。(2) 深い準位は伝導帯下端とミッドギャップ (E_i) の中間を中心としてガウス分布する。 E_{state} は準位のガウス分布の中心として記述すると、バンド端準位の場合、 $E_{state} = E_C$ 、深い準位の場合、 $E_{state} = (E_i + E_C)/2$ とした。想定した二つの準位の模式図を図 3.9 に示す。ガウス分布するバンド端準位、深い準位は、 W_0, N_0 を、準位の形状、状態密度を決定するパラメータとして、標準偏差 σ が $W_0/2$ 、最大値が $N_0/\sigma\sqrt{2\pi}$ となるとした[10]。ここで、温度変化に伴う各変数の変化について述べておきたい。 ψ_B はボルツマン近似の形で、温度 T の関数として $\psi_B = k_B T/q \times \ln(N_A/n_i)$ と表される。ここで k_B はボルツマン定数、 n_i は真性キャリア密度である。真性キャリア密度 n_i も温度で変化する。第 2 章を参照されたい。 V_{fb} は高濃度にドーパされた poly-Si がゲートであるため、バルクのフェルミ準位 ψ_B が温度変化すること、またシリコンのバンドギャップがわずかながら温度変化することで仕事関数差が温度で変化することを考慮すると、 $V_{fb} = -E_G/2 - \psi_B$ となる。 ψ_B, V_{fb} を見積もるために必要な N_A は、MOSFET と同じウエハに作製された MOS キャパシタの 300 K での $C-V$ 測定から見積り、 $N_A = 10^{16} \text{ cm}^{-3}$ であった。計算に用いた ψ_B, V_{fb} の温度依存性を図 3.10 に示す。 Q_{state} は準位の状態密度と、分布関数 $f(E)$ の積の積分系を求める必要があるが、今回は簡単のため、ヘヴィサイドの階段関数とした。この形式は、バンド端準位の見積もりにおいては広い温度範囲で有効であることが示されている[8, 9]。以上から Q_{state} は誤差関数 erf を用いて記述でき、次のようになる[11-13]。

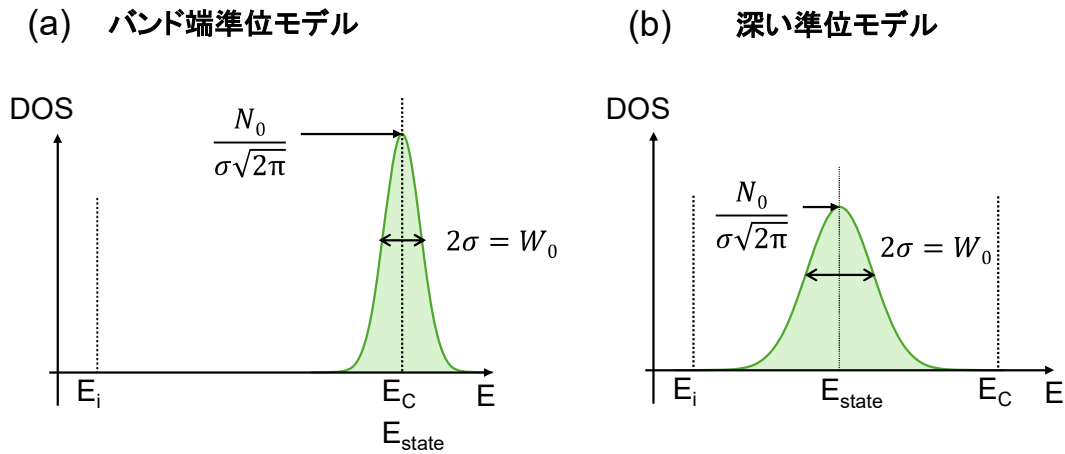


図 3.9 (a) バンド端準位モデルと (b) 深い準位モデルの模式図。

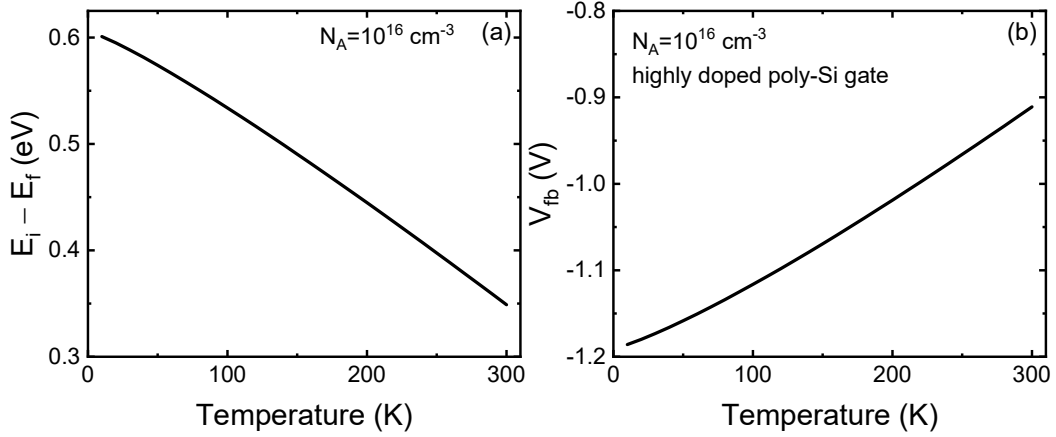


図 3.10 本見積で用いた(a) ψ_B と(b) V_{fb} の温度依存性。不純物濃度は $N_A = 10^{16} \text{ cm}^{-3}$ として見積もった。

$$Q_{\text{state}} = q \frac{N_0}{2} \left\{ \text{erf} \left(\frac{2\psi_B - E_{\text{state}}}{(W_0/2)\sqrt{2}} \right) + 1 \right\} \quad (3.3)$$

トラップされた電荷 Q_{state} の計算時に、分布関数をヘヴィサイドのステップ関数と近似した。この分布関数の近似の正当性について述べる。フェルミ・ディラック分布関数は高温でステップ関数から丸みを帯びた形になる。そのため、高温での差異は大きくなる。これらの議論から、深い準位モデルの Q_{state} の計算時には、分布関数の違いによる差異が大きいことが予想される。後述するが、バンド端準位モデルでは、低温でのみ準位の影響が現れるので差異は小さいことが予想される。そこで、最も差異が大きいと予想される深い準位モデル($W_0=100 \text{ meV}$)を想定したガウス分布を用いて、分布関数による差異を検証した。まず、状態密度関数に分布関数をかけ、そのエネルギーまで積分を行い比較した。フェルミ・ディラック分布関数の場合は、数値的に積分を行い、ステップ関数の場合では(3.3)式を用いた。図 3.11 に 300 K または 50 K で計算した結果を示す。まず 300 K の場合(図 3.11(a))、エネルギーが大きくなるにつれて(表面ポテンシャルが価電子帯上端から伝導帯下端に向かってスweepするにつれて)、どちらの関数を採用した場合も 0 から積分値が上昇し、伝導帯下端に近づくとも 1 になる様子が確認された。積分値が立ち上がるエネルギーは、フェルミ・ディラック分布関数の場合で低い。これはフェルミ・ディラック分布関数が kT/q で決まる裾野を持つことに起因するものである。300 K の場合、しきい値電圧条件における分布関数の違いによる積分値の差は 0.068 であった。ステップ関数での近似は少しだけ過大評価している。50 K の場合(図 3.11(b))、300 K の場合と比較して、分布関数の違いによる積分値の差異が小さいことが確認される。これは温度低下に伴い、フェルミ・ディラック分布関数の kT/q の裾野が小さくなり、形状が階段関数に近づいたためである。また、しきい値電圧条件は、より伝導帯下端に近づいていることが確認される。これはフェルミ準位の温度依存性から理解できる。このような条件下では、ガウス分布の状態密度はすべて占められており、積分値は 1 となっている。そのため、温度低下に伴い分布関数の違いによる差異は小さくなる。しきい値電圧条件での積分値の差異の温度依存性を図 3.12 に示す。温度低下に伴い、差異は小さくなり、100 K 以下で

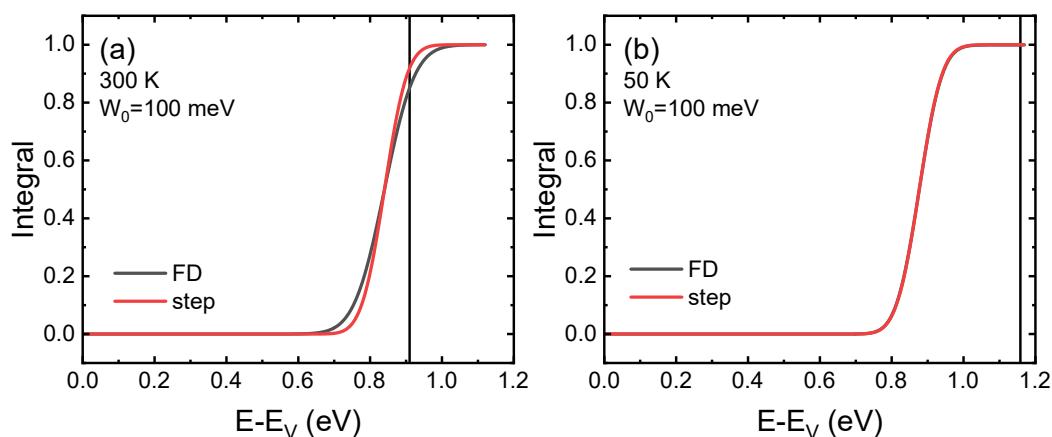


図 3.11 $W_0=100$ meV を想定した深い準位モデルにおける、異なる分布関数での積分値の計算。(a)300 K での計算結果。(b)50 K での計算結果。垂直の線はしきい値電圧条件($\psi_S = 2\psi_B$)でのエネルギーを示している。

は 0.01%未満となることが確認された。この差異には数値積分から生じる差も入っている。また 300 K での差異も 10%未満であることが確認された。これらより、分布関数の違いによる差異は小さく、特に低温での議論においては深い準位の W_0 が 100 meV 程度であれば有用であると考えられる。

図 3.13 に今回想定した準位それぞれに対して計算された $V_{th}-T$ 曲線を示す。バンド端準位モデルを用いた計算では、約 100 K 以下の温度範囲でしきい値電圧がその DOS に対応して、急上昇する様子が確認された。150 K 以上の温度では DOS の変化による差異はほとんどないことがわかる。この挙動は、しきい値電圧印加時のフェルミ準位の温度変化から説明できると思われる。高温では、しきい値電圧印加時のフェルミ準位は伝導帯下端から離れている。このためバンド端準位の影響は無視できる。しかし、温度低下に伴い、

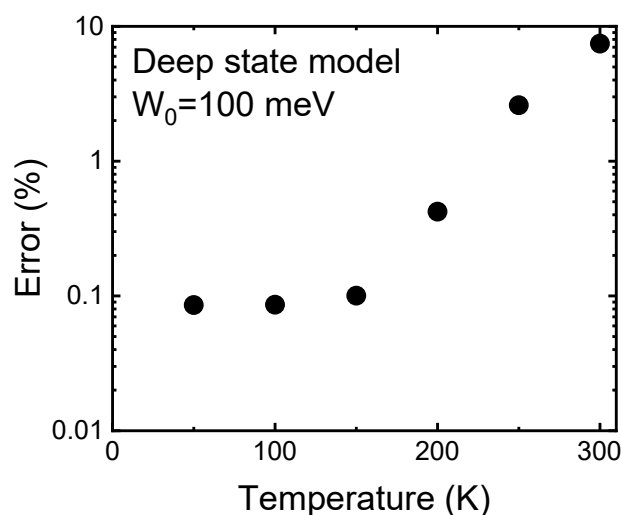


図 3.12 分布関数の違いによる差異の温度依存性。分布関数の違いによる差異は低温で小さくなることがわかる。

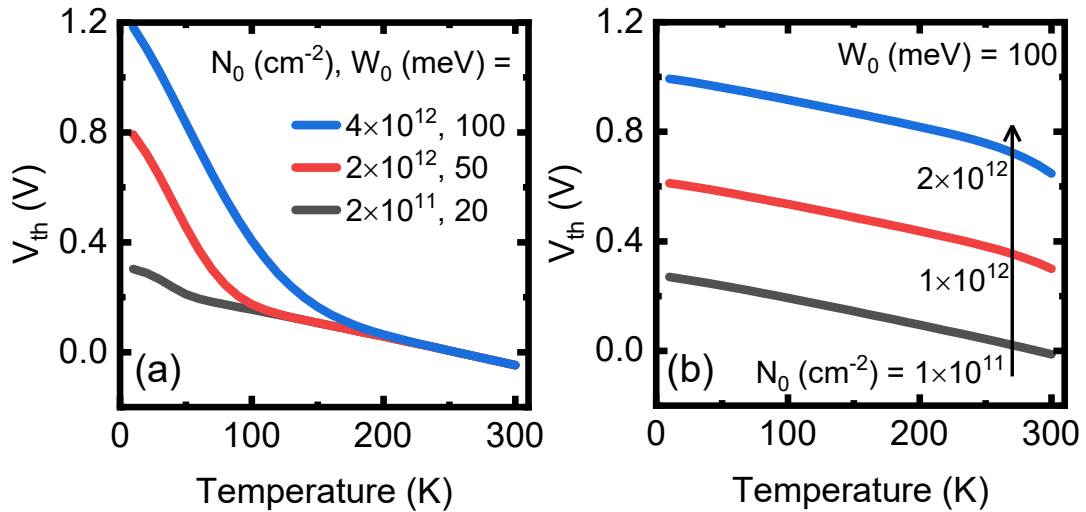


図 3.13 (a)バンド端準位モデル、(b)深い準位モデルに基づいて計算された V_{th} - T 曲線。バンド端準位モデルではその状態数の増加に応じて、低温領域でのみ V_{th} のシフトが確認される。一方深い準位モデルでは、すべての温度範囲においてほぼ様なシフトが確認される。

しきい値電圧印加時のフェルミ準位は伝導帯下端に近づき[10]、伝導帯下端近くに存在するバンド端準位の影響を強く受けることになる。

対照的に、深い準位モデルで計算した結果では、その DOS の変化に対して、しきい値電圧がすべての温度範囲において、様なシフトを示すことが確認された。この挙動もフェルミ準位の温度依存から説明できるものと思われる。300 K の温度でも、しきい値電圧印加時にはほとんどの深い準位が電子で占有され、 Q_{state} となっている。そのため温度低下に伴い、しきい値電圧印加時のフェルミ準位がより伝導帯下端に近づいていくが、これに伴う Q_{state} の増加はほとんどないため、このような挙動となる。

しきい値電圧印加時にどれだけの割合の界面準位が Q_{state} に寄与しているかの割合の温度依存性を図 3.14 に示す。深い準位モデルでは、300 K でも 90% 程度が Q_{state} に寄与している。分布関数の簡略化による差異は先に議論した通り 10% 以下と小さいことがわかっている。300 K でもすでにしきい値電圧条件では占有されているため、温度変化でほとんど変化せず、250 K 以下ではすべての界面準位が Q_{state} に寄与することが確認された。対してバンド端準位モデルでは、約 125 K 以上の温度範囲では Q_{state} に寄与する界面準位は存在しない。温度が低下し、125 K 以下となると Q_{state} に寄与する界面準位が増加することが確認された。

以上のモデルを用いたしきい値電圧のシフトを踏まえ、図 3.8 の結果を説明する。約 100 K 以下で確認された、温度低下に伴うしきい値電圧の急激な上昇はバンド端準位の密度増大によるものと考えられる。また 300 K でも見られるようなシフト、特にストレス印加を 4 K で 10000 s 行った結果で顕著に確認されたオフセットのような挙動は、深い準位の密度増大が影響した結果と考えられる。以上のことから、ホットキャリア注入は深い準位の発生に加え、バンド端準位も同時に発生させるものと示唆される。また今回、準位が電子をトラップしてしきい値電圧をシフトさせる、と考えた。これは発生した準位は局在準位と仮定しており、ホットキャリア注入で生じたバンド端準位はインモバイル

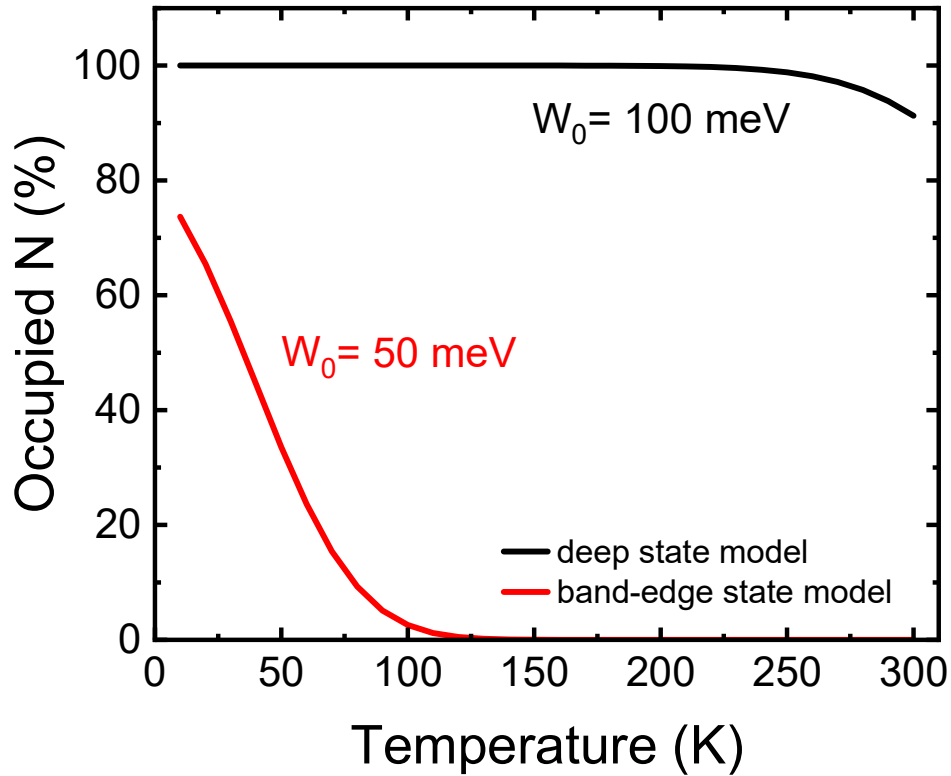


図 3.14 しきい値電圧印加時の界面準位の占有率。深い準位モデルでは 300 K の高温でも 80%以上がしきい値電圧シフトに寄与しており、温度低下による占有率変化が小さいことがわかる。対してバンド端準位モデルでは、約 100 K 以下で占有率が増加しはじめることがわかる。

な成分が大部分であることを意味している。仮にモバイル成分が生じる場合、片対数表示の I_D - V_G 特性はより小さい V_G で立ち上がり始めるが、このような現象は本実験では確認されなかった。

モデルを用いたしきい値電圧の温度依存性について、本論文では定性的な説明を試みた。今後定量的な評価を行うための指針を述べたい。図 3.8 に示したしきい値電圧の値は、線形外挿法で求めている。対して、図 3.13 に示したしきい値電圧の値は、表面ポテンシャルが $2\psi_B$ となる条件において Q_{state} がしきい値電圧をシフトするものとして求めている。前者の実験値は正確な定義通りには求められないことに注意されたい。実験では表面ポテンシャルは現れないため、しきい値電圧の求め方について、実験とモデルを用いた見積りには乖離がある。移動度劣化についても考慮できていない。またモデルは簡略なものであり、チャンネル全体に準位が生じるものとして見積りを行っている。実際は前述したように、ドレイン近傍のみに準位が発生しているものと考えられる。今回用いたモデルでは、準位のチャンネル位置依存性は取り扱えない。加えて、細かい部分にはなるが、 Q_{state} の計算においてフェルミ・ディラック分布関数をステップ関数と簡略化している。本論文では準位のエネルギー位置に焦点を当て、これによるしきい値電圧の温度依存性を定性的に説明した。今後正確にホットキャリア劣化を予測するには TCAD を用いた評価が必要と考えられる。準位のエネルギー位置や、準位が発生するチャンネル位置、また移動度劣化を取り入れた TCAD による I_D - V_G 特性の評価が効果的と考える。

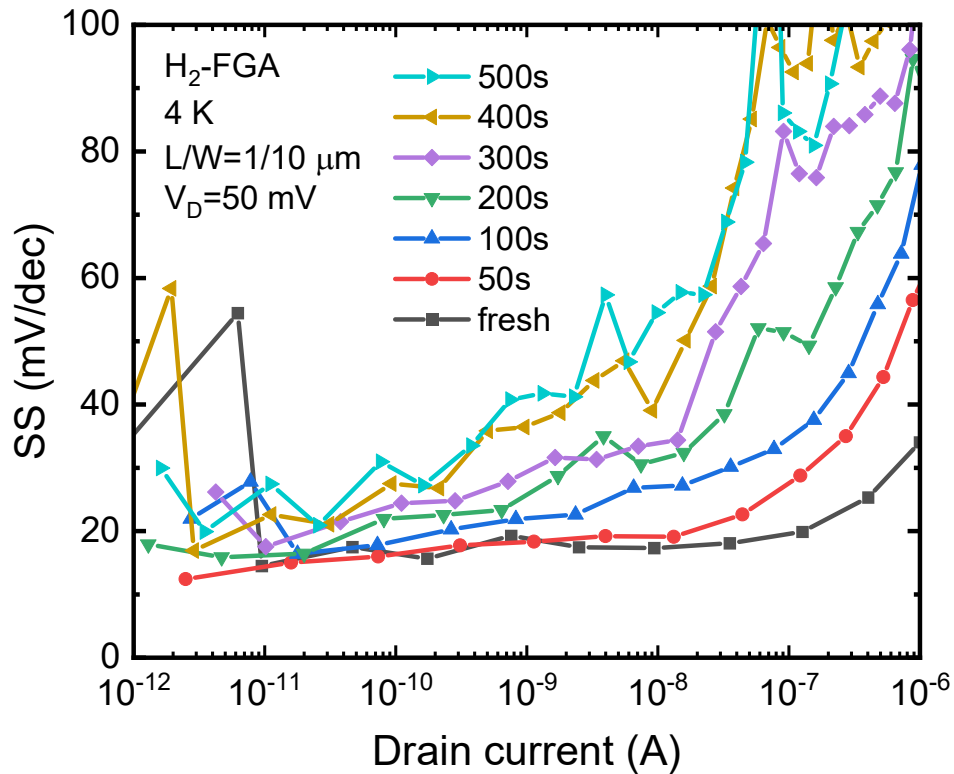


図 3.15 4 K での MSM (図 3.4(c)の結果) から得られた、異なるストレス印加時間での SS- I_D 特性。ストレス印加時間の増加に伴い SS のインフレクションが大きくなることが確認された。

さて、Beckers らによると、今回仮定したバンド端中心に存在するガウス分布界面準位は SS のインフレクションを引き起こす[11]。そこで 4 K での MSM で得られた I_D - V_G 特性から、SS- I_D 特性を確認した。図 3.15 に 4 K におけるさまざまなストレス印加時間での SS- I_D 特性を示す。ストレス印加なしの場合、ドレイン電流が 10^{-11} から 10^{-7} A の広い範囲において SS は約 20 mV/dec であることがわかる。ストレスを 50 s 印加すると、 10^{-9} A 以下のドレイン電流ではストレス印加なしのときの SS 値と同等であるが、ドレイン電流が 10^{-9} A を超えると、ドレイン電流の増加に伴い、SS が上昇していくインフレクション現象が確認された。ストレス印加時間が 100, 200 s と大きくなるにつれインフレクション現象の効果も増大していく様子が確認された。ストレス印加時間が 300 s を超えると、ドレイン電流の振動が大きくなり、データの微分である SS- I_D 特性の評価は困難となった。とはいえストレス印加に伴いインフレクション現象が増強されたことは、ホットキャリア注入によりバンド端準位が発生することのひとつの証拠だと考えられる。

3.4 結論

本章では極低温下での Si n-MOSFET のホットキャリア注入による特性劣化を実験的に検証した。4 K でのストレス印加では 300 K でのストレス印加と比較して、大きな特性劣化が確認された。ストレス印加後のデバイスの温度依存性の評価から、特性劣化は極低

温で顕在化することがわかった。しきい値電圧の温度依存性から、ストレス印加は従来知られていた深い準位に加え、バンド端準位も発生させることが新たに分かった。これらから、極低温下でのホットキャリア注入による特性劣化の起源は、バンド端準位の発生であることを新たに明らかにした。

参考文献

- [1]. S. Mahapatra and U. Sharma, "A Review of Hot Carrier Degradation in n-Channel MOSFETs—Part II: Technology Scaling," *IEEE Trans. Electron Devices*, vol. 67, no. 7, pp. 2672-2681, July 2020, doi: [10.1109/TED.2020.2994301](https://doi.org/10.1109/TED.2020.2994301).
- [2]. P. Heremans, G. Van den Bosch, R. Bellens, G. Groeseneken and H. E. Maes, "Temperature dependence of the channel hot-carrier degradation of n-channel MOSFET's," *IEEE Trans. Electron Devices*, vol. 37, no. 4, pp. 980-993, April 1990, doi: [10.1109/16.52433](https://doi.org/10.1109/16.52433).
- [3]. M. Song, K. P. MacWilliams and J. C. S. Woo, "Comparison of NMOS and PMOS hot carrier effects from 300 to 77 K," *IEEE Trans. Electron Devices*, vol. 44, no. 2, pp. 268-276, Feb. 1997, doi: [10.1109/16.557714](https://doi.org/10.1109/16.557714).
- [4]. Y. Zhang, J. Xu, T. -T. Lu, Y. Zhang, C. Luo and G. Guo, "Hot Carrier Degradation in MOSFETs at Cryogenic Temperatures Down to 4.2 K," *IEEE Trans. Device Mater. Reliab.*, vol. 21, no. 4, pp. 620-626, Dec. 2021, doi: [10.1109/TDMR.2021.3124417](https://doi.org/10.1109/TDMR.2021.3124417).
- [5]. A. Grill, E. Bury, J. Michl, S. Tyaginov, D. Linten, T. Grasser, "Reliability and Variability of Advanced CMOS Devices at Cryogenic Temperatures," *2020 IEEE International Reliability Physics Symposium (IRPS)*, Dallas, TX, USA, 2020, pp. 1-6, doi: [10.1109/IRPS45951.2020.9128316](https://doi.org/10.1109/IRPS45951.2020.9128316).
- [6]. A. Beckers, F. Jazaeri, A. Grill, S. Narasimhamoorthy, B. Parvais and C. Enz, "Physical Model of Low-Temperature to Cryogenic Threshold Voltage in MOSFETs," *IEEE J. Electron Devices Soc.*, vol. 8, pp. 780-788, 2020, doi: [10.1109/JEDS.2020.2989629](https://doi.org/10.1109/JEDS.2020.2989629).
- [7]. H. Oka, T. Inaba, S. Shitakata, K. Kato, S. Iizuka, H. Asai, H. Fuketa, and T. Mori, "Origin of Low-Frequency Noise in Si n-MOSFET at Cryogenic Temperatures: The Effect of Interface Quality," *IEEE Access*, vol. 11, pp. 121567-121573, 2023, doi: [10.1109/ACCESS.2023.3327731](https://doi.org/10.1109/ACCESS.2023.3327731).
- [8]. M. S. Kang, K. Toprasertpong, M. Takenaka, H. Oka, T. Mori, and S. Takagi, "Verification of influence of tail states and interface states on sub-threshold swing of Si n-channel MOSFETs over a temperature range of 4–300 K," *Jpn. J. Appl. Phys.* vol. 61, pp. SC1032-1–6, Feb. 2022, doi: [10.35848/1347-4065/ac4444](https://doi.org/10.35848/1347-4065/ac4444).
- [9]. M. S. Kang, K. Toprasertpong, M. Takenaka, H. Oka, T. Mori, and S. Takagi, "Verification of influence of tail states and interface states on sub-threshold swing of Si n-channel MOSFETs over a temperature range of 4–300 K," *Jpn. J. Appl. Phys.* vol. 61, pp. SC1032-1–6, Feb. 2022, doi: [10.35848/1347-4065/ac4444](https://doi.org/10.35848/1347-4065/ac4444).
- [10]. A. Beckers, F. Jazaeri and C. Enz, "Cryogenic MOS Transistor Model," *IEEE Trans. Electron Devices*, vol. 65, no. 9, pp. 3617-3625, Sept. 2018, doi: [10.1109/TED.2018.2854701](https://doi.org/10.1109/TED.2018.2854701).

- [11]. A. Beckers, F. Jazaeri and C. Enz, "Inflection Phenomenon in Cryogenic MOSFET Behavior," *IEEE Trans. Electron Devices*, vol. 67, no. 3, pp. 1357-1360, March 2020, doi: [10.1109/TED.2020.2965475](https://doi.org/10.1109/TED.2020.2965475).

第4章 重水素アニールの極低温特性への効果

4.1 序論

重水素アニールは、集積回路作製後のアニールのガス種を水素から重水素に置き換えることで、シリコンダングリングボンドを重水素で終端するプロセスである。重水素アニールはホットキャリア耐性を示すことが室温での動作でよく知られている[1,2]。この起源は、Si-D結合の振動周波数が、バルクシリコンのTOフォノンモードと近いため、エネルギー励起が緩和、吸収されるためだと考えられている[3]。しかしながら、重水素アニールの極低温特性への効果は未検証であった。本章では、重水素アニールの極低温特性への効果を実験的に検証した。

4.2 実験方法

本章では、重水素アニールの効果を検証すべく、水素アニールを行ったデバイスとの比較実験を行った。また本章では300 K、または4 Kでのホットキャリア劣化効果を検証した。用いた試料は前章同様に(100)面p型Si基板に作製したn-MOSFETである。デバイス作製最終工程のアニールのみ、水素または重水素フォーミングガス（どちらも3%）

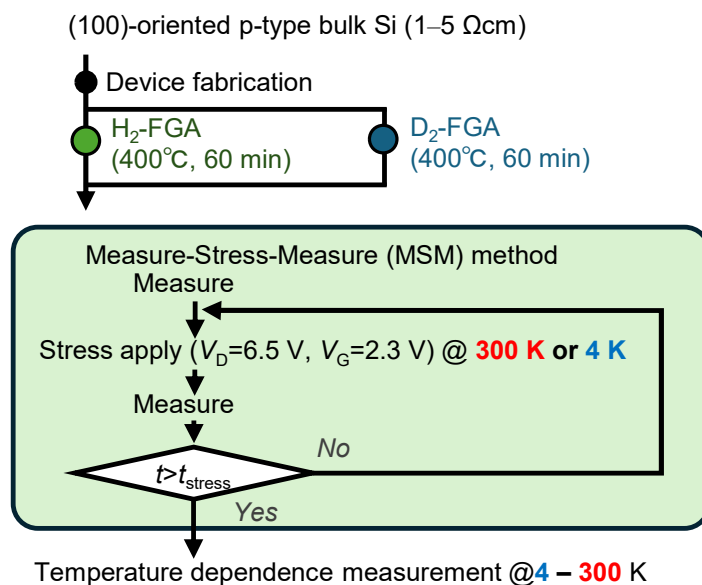


図 4.1 用いたデバイスと実験手順。詳細な作製フローは第2章に記載した。作製したMOSFETに水素または重水素フォーミングガスアニールを施した。第3章で示した水素フォーミングガスアニールを施したデバイスと、重水素フォーミングガスアニールを施したデバイスの比較実験を行った。

によるアニール (FGA) (400°C、60 分間) の違いがある。用いたデバイスと実験手順を図 4.1 に示す。ホットキャリア注入のための電氣的ストレス印加は、前章と同様に、ゲート長 1 μm のデバイスで Measure-Stress-Measure 法で実施し、ストレス印加後のデバイスについて、動作温度を変化させて電気特性の評価を行った。

4.3 結果と考察

4.3.1 特性の評価

4.3.1.1 室温特性の評価

作製した MOSFET の室温での特性を図 4.2 に示す。評価は大きな面積の MOSFET で行った。黒線で示したポストメタルアニールなしのデバイスと比較すると、フォーミングガスアニールによりオン電流の向上、しきい値電圧の低下、サブスレッショルド特性の改善、オフ電流の低減が確認された。これは水素または重水素により Si/SiO₂ 界面のダングリングボンドが終端された効果と考えられる。長チャネル MOSFET の場合、水素と重水素 FGA では I_D - V_G 特性には大きな違いは確認されなかった。ただし、チャージポンピング測定から見積もられる、界面トラップ密度には違いが確認された。300 K でのチャージポンピング測定結果を図 4.3 に示す。図から、重水素 FGA の方が、水素 FGA と比較して大きなチャージポンピング電流を示すことが確認された。チャージポンピング電流は界面トラップ密度と比例するため、重水素 FGA の方が、界面トラップ密度が大きいことを示している。これから、水素と重水素のアニールでは、MOS 界面の終端効果に差があることが考えられる。界面トラップ密度のアニール時間依存性を図に示す。400°C のアニー

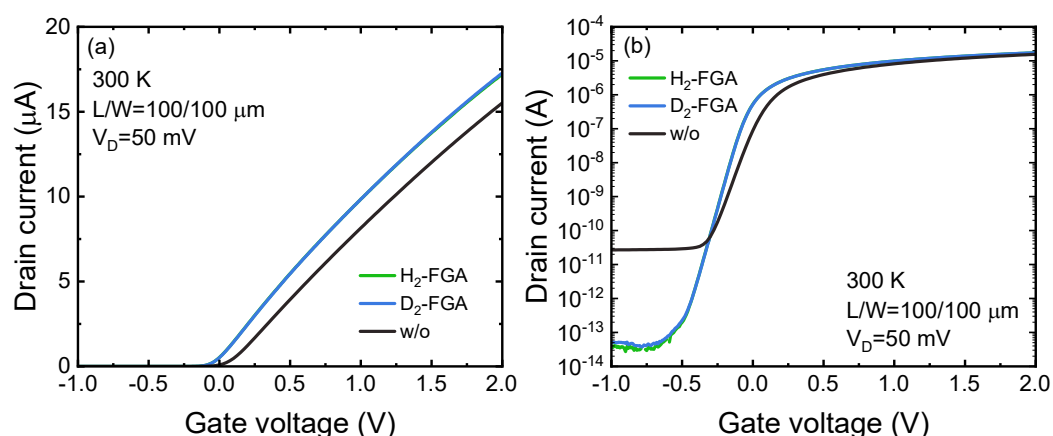


図 4.2 異なるガス種でのフォーミングガスアニールを 400°C で 60 min 間行った MOSFET の 300 K での電流電圧特性。(a)線形プロット、(b)片対数プロットを示す。黒線にポストメタルアニールを行っていないデバイスの特性(w/o)も合わせて示している

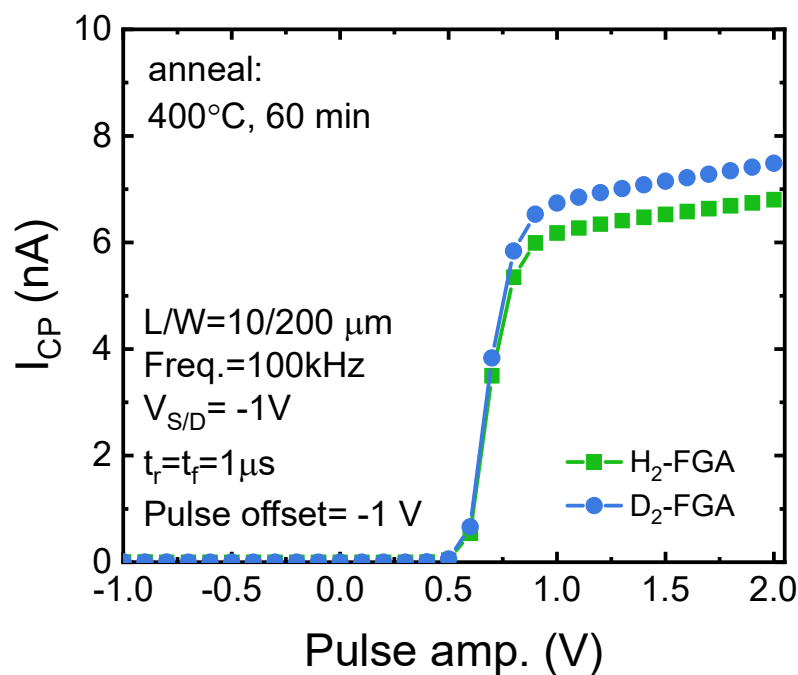


図 4.3 室温(300 K)でのチャージポンピング測定結果。測定はパルスの振幅を変化させるアンプリチュードスイープ法で行った。

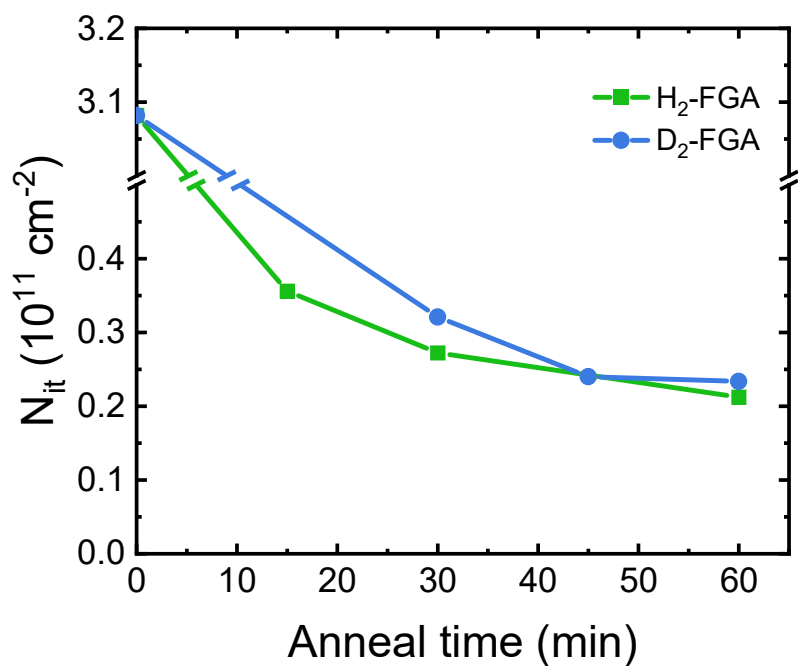


図 4.4 界面トラップ密度のアニール時間依存性。300 K でのチャージポンピング測定から得られた。

ル温度では、広いアニール時間において、界面トラップ密度が水素 FGA<重水素 FGA の関係にあることが確認された。この傾向は、明には示されていないものの、過去の報告例

からも確認される[2]。

4.3.1.2 低温特性の評価

重水素アニールの低温特性への効果を検証するため、低温での電気特性評価を行った。本測定では数 $10\text{ }\mu\text{m}$ 以上の L と W を持つ大きな面積の MOSFET で評価を行っている。まず図 4.5 に 4 K で測定した I_D - V_G 特性を示す。重水素 FGA を行ったデバイスは水素 FGA とほとんど同じ特性を示していることが確認された。図 4.6 に 4 K での SS - I_D 特性、図 4.7 に実効移動度を示す。サブスレッショルド特性、移動度ともに重水素 FGA は水素 FGA とほとんど変化しないことが確認された。加えて広い温度範囲で測定した電流電圧特性から得られた SS - I_D 特性と実効移動度を図 4.8 に示す。重水素 FGA は水素 FGA と同程度の特性を広い温度で示すことが確認された。

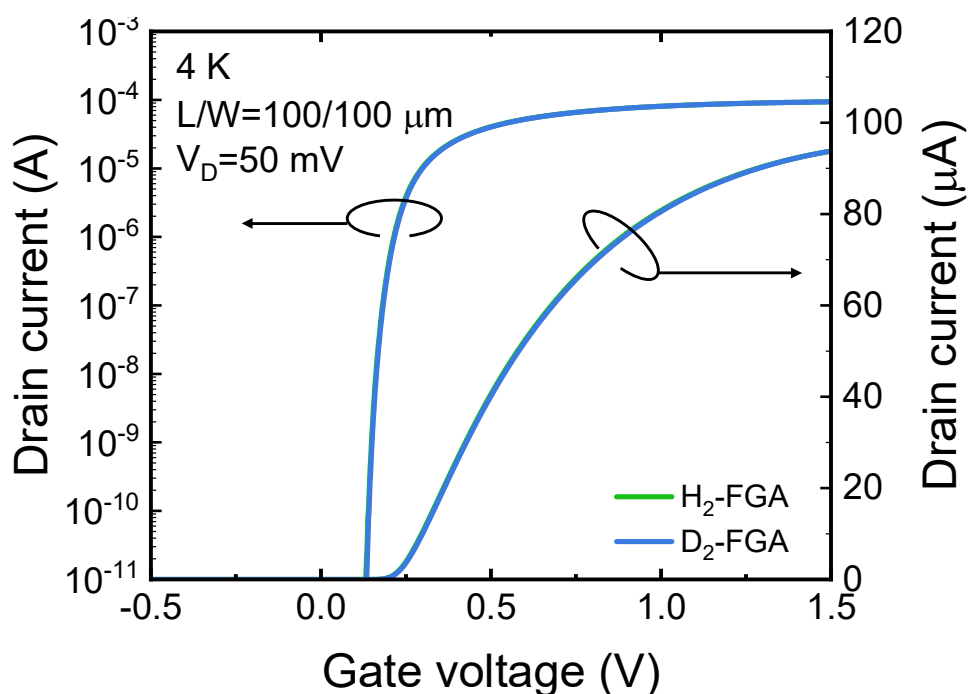


図 4.5 4 K での I_D - V_G 特性。

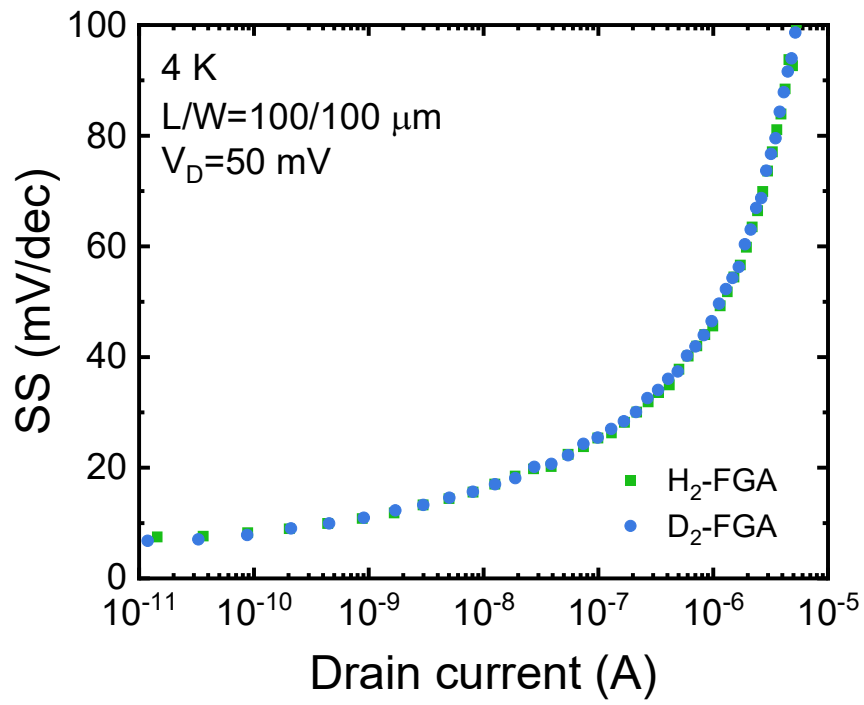


図 4.6 4 K での SS- I_D 特性の比較。

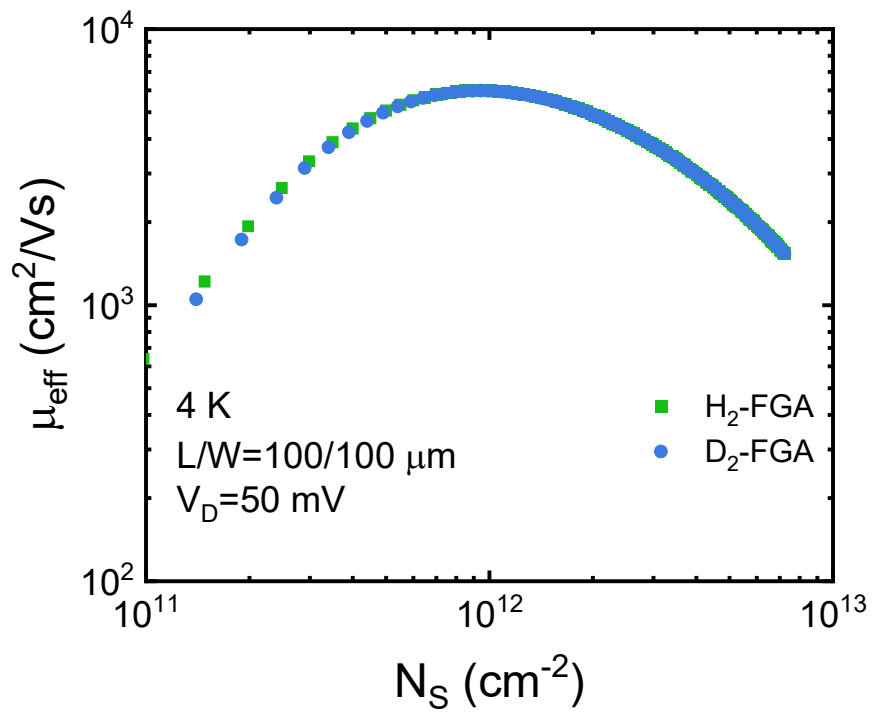


図 4.7 4 K での移動度の比較。

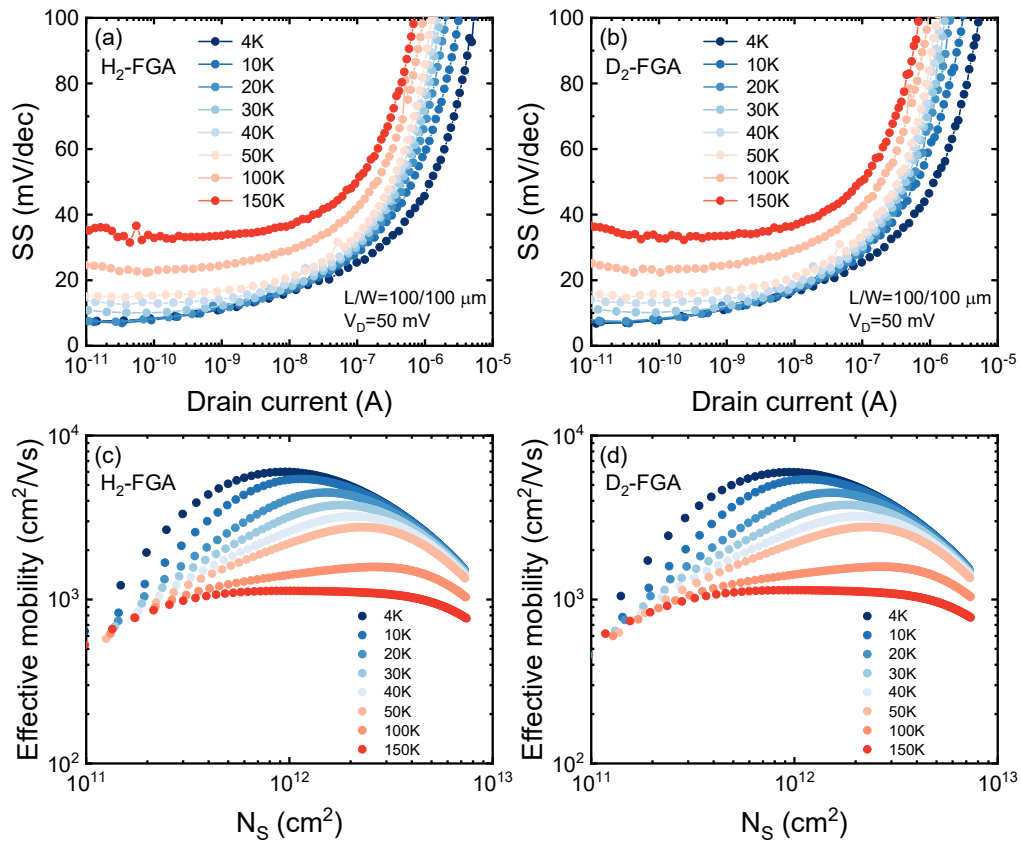


図 4.8 異なる温度下での(a, b)SS- I_D 特性、(c, d)実効移動度。それぞれ水素、重水素 FGA の場合を示している。

次に 4K でのノイズを比較した。図 4.9 にノイズスペクトルのプロットを示す。低い周波数帯において、ノイズが低周波側ほど大きくなっていく様子が確認された。この傾きはおおよそ $1/f$ となっており、 $1/f$ ノイズであることがわかった。1 Hz 付近にピークが見えるが、これは冷凍機のコンプレッサの振動によるものである。水素、重水素 FGA でノイズに明確な差は確認されなかった。

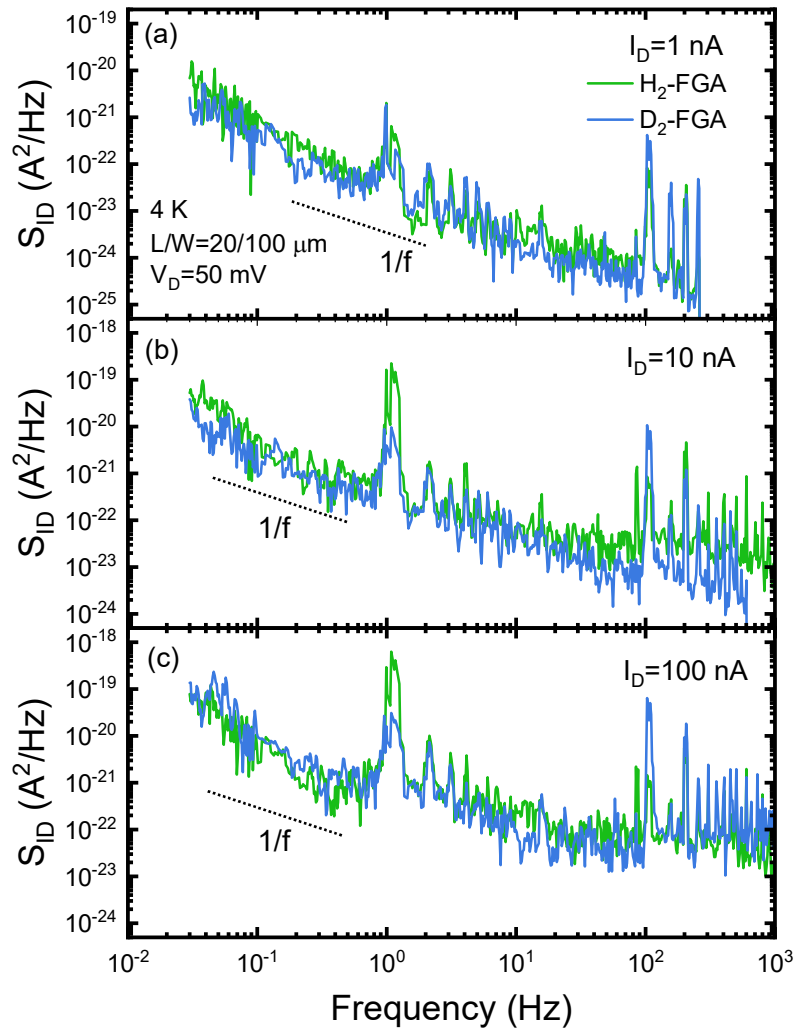


図 4.9 4 K での電流ノイズスペクトル密度プロット。ドレイン電流が(a)1 nA, (b)10 nA, (c)100 nA の場合を示す。点線は周波数の逆数の傾き(1/f)を表している。1 Hz あたりのピークは冷凍機のコンプレッサの振動によるものである。

次にチャージポンピング法での評価結果を示す。図 4.10(a)に異なる温度で測定した結果を示す。測定はベーススイープチャージポンピング法で行った。50 K の低温下でも、 $I_{CP}-V_{BASE}$ カーブが確認された。温度低下でプラトートの幅が狭まっていくのは、フラットバンド電圧としきい値電圧の温度変化によるものである。最大チャージポンピング電流 $I_{CP, max}$ は水素 FGA の方が小さいことが確認された。図 4.10(b)に $I_{CP, max}$ の温度依存性を示す。 $I_{CP, max}$ について、水素 FGA < 重水素 FGA の傾向は広い温度範囲で確認できるものであった。温度変化に対する $I_{CP, max}$ の変化の傾きはほとんど同じであることが確認された。チャージポンピングで測定可能なエネルギー範囲は温度低下で増加していくため、温度変化に対する $I_{CP, max}$ の変化は、温度変化に伴うエネルギー変化によるものである。そのため、 $I_{CP, max}-T$ 特性の傾きが同じであることは、浅いエネルギー範囲での界面トラップの量は同じであることを示す。前述したように室温でのチャージポンピング測定で界面トラップ密度の大小関係が水素 FGA < 重水素 FGA であったことを考慮すると、重水素 FGA は水

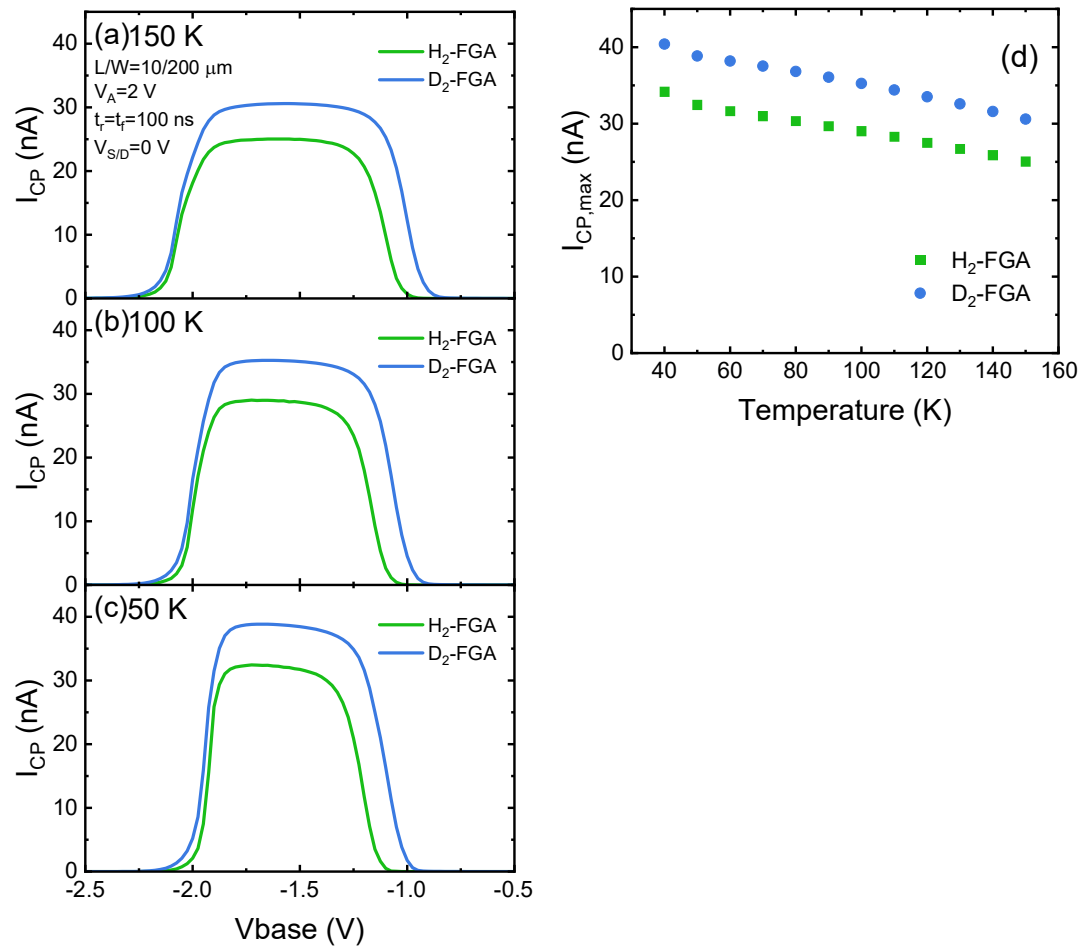


図 4.10 (a)150 K, (b)100 K, (c)50 K でのチャージポンピング測定結果。(d)最大チャージポンピング電流 I_{CP} の温度依存性。

素 FGA より、深いまたはミッドギャップ付近の界面トラップを終端しにくいものと考えられる。

4.3.2 ホットキャリア耐性の検証

4.3.2.1 300 K と 4 K における MSM 法による評価

前章同様、しきい値電圧(V_{th})をホットキャリア注入による特性劣化の指標として用いた。300 K または 4 K における、MSM 法による特性劣化のストレス時間依存性を図 4.11 に示す。前章で得られた水素 FGA の場合と比較して、重水素 FGA の効果を議論する。重水素 FGA を行った場合、300 K, 4 K でのストレス印加の両方でしきい値電圧のシフトを低減できていることが確認できる。室温動作での重水素アニールの効果は広く知られているものがあるが[7, 8]、本実験により 4 K の極低温下でも、重水素アニールのホットキャリア耐性への効果が確認された。

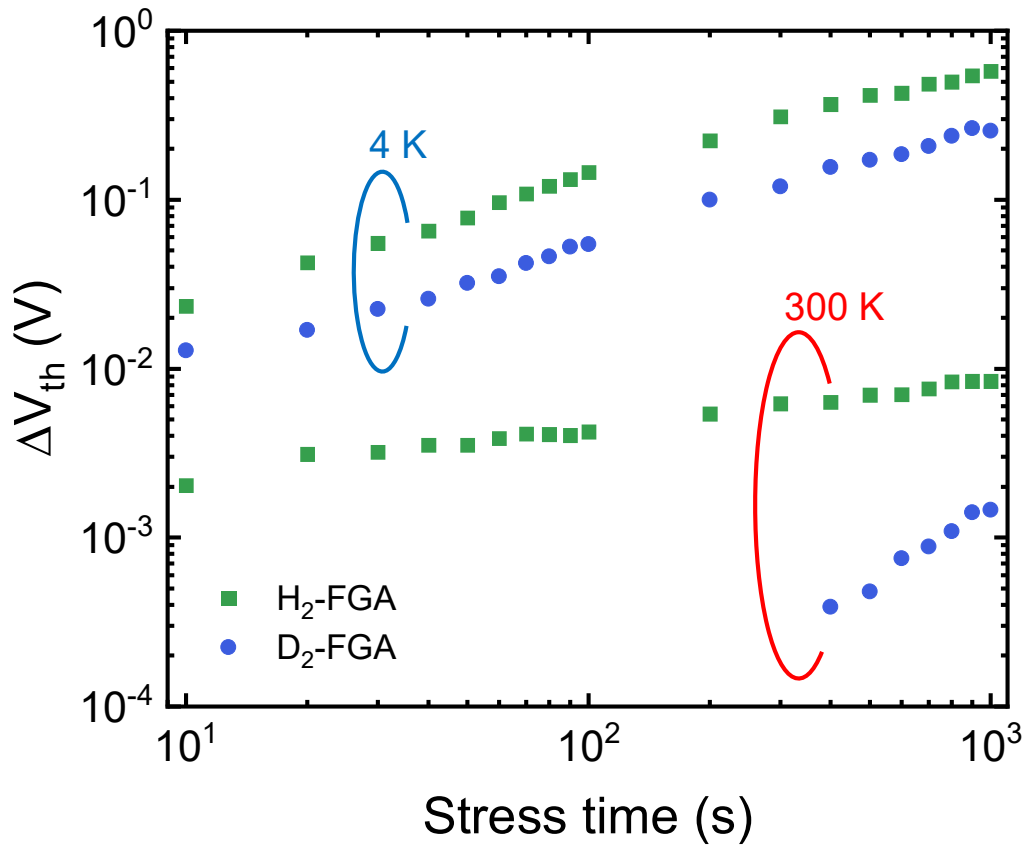


図 4.11 MSM 法による 300 K ならびに 4 K でのしきい値電圧シフトのストレス時間依存性。しきい値電圧は $V_D=50$ mV での I_D - V_G 特性から、線形外挿法で導出した。

次に、300 K または 4 K での、異なるストレス印加時間で測定された I_D - V_G 特性を水素・重水素 FGA についてそれぞれ図 4.12 に示す。前章の議論から、ドレイン電圧は線形バイアスである $V_D=50$ mV で測定した。300 K での、ストレスを印加していない fresh のカーブについて水素または重水素 FGA について比較する (図 4.12 (a, b))。オン電流は水素 FGA の方がわずかではあるが、重水素 FGA より大きいことがわかる。これは同一温度・時間の処理においては水素アニールの方が、重水素アニールより終端効果が高いことを示しているものと考えられる。

次に、ストレスを印加したときのふるまいについて確認する。水素 FGA の場合、ストレス印加時間の増加に伴い、オン電流が減少していく様子が確認され、移動度の劣化が生じているものと考えられる。この際、しきい値電圧は図 4.11 から確認されるように、増加しているものの 1000 s の印加で 10 mV と非常に小さいことがわかる。対して重水素 FGA の場合では、ストレス印加によるオン電流の減少を低減できていることが確認された。これらの結果は過去の報告と一致している [1, 2]。次に 4 K でのカーブを確認する (図 4.12(c, d))。まず 300 K と 4 K についてストレス印加なしの場合の特性を比較すると、4 K では水素・重水素 FGA とともにオン電流が著しく増加していることがわかる。これは第 2 章で述べたように、温度低下に伴うフォノン散乱の低減により、移動度が向上したためと考えられる [4]。ストレスを印加していない 4 K でのカーブについて、水素と重水素

FGA の場合を比較すると、水素 FGA ではオン電流はわずかに大きく、しきい値電圧はわずかに低いことが確認された。これは前述した終端効果の差が 4 K での特性にも現れているものと考えられる。ストレスを印加したときのふるまいについて、水素 FGA の場合を確認すると、ストレス印加時間増加に伴い、しきい値電圧が大きく増加、またオン電流も低下していることが確認されており、しきい値電圧の増加、移動度の低下が生じていると考えられる。重水素 FGA の場合では、しきい値電圧の増加、移動度の減少は確認されるものの、水素 FGA と比較して抑制できていることが確認される。これら MSM 法による電気特性のストレス時間依存性から、重水素アニールの効果は 4 K の極低温下でも存在するものと考えられる。

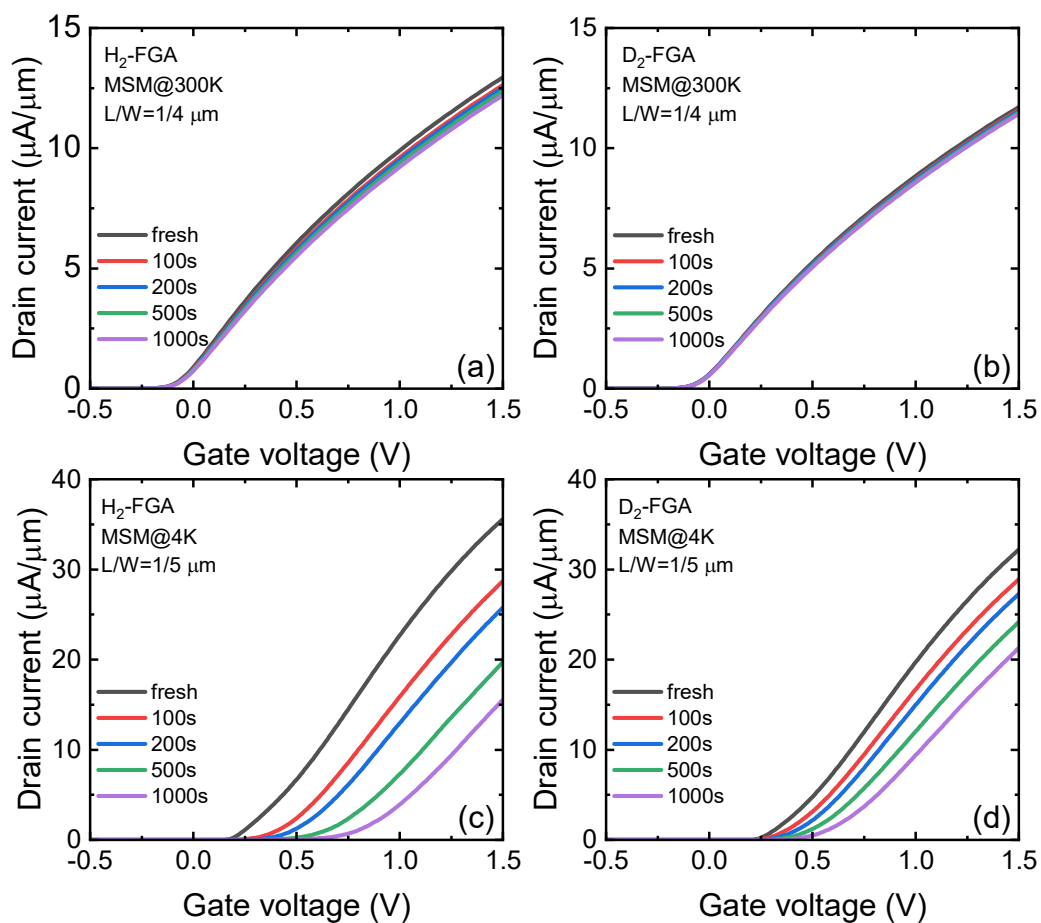


図 4.12 異なるストレス印加時間での $V_D=50\text{mV}$ の I_D-V_G 特性。(a)水素 FGA を行ったデバイスで 300 K でのストレス印加の場合、(b)重水素 FGA を行ったデバイスで 300 K でのストレス印加の場合、(c) 水素 FGA を行ったデバイスで 4 K でのストレス印加の場合、(d) 重水素 FGA を行ったデバイスで 4 K でのストレス印加の場合。

4.3.2.2 ストレス印加後の動作温度依存性

前章と同様に、ストレス印加後のデバイスについて、動作温度を変化させて測定を行った。前章同様、ストレス印加なしのデバイス、300 K でストレスを印加した後のデバイス、4 K でストレスを印加した後のデバイスそれぞれについて、動作温度を変化させた I_D - V_G 特性を図 4.13 に示す。またこれらから得られたしきい値電圧の温度依存性をまとめて図

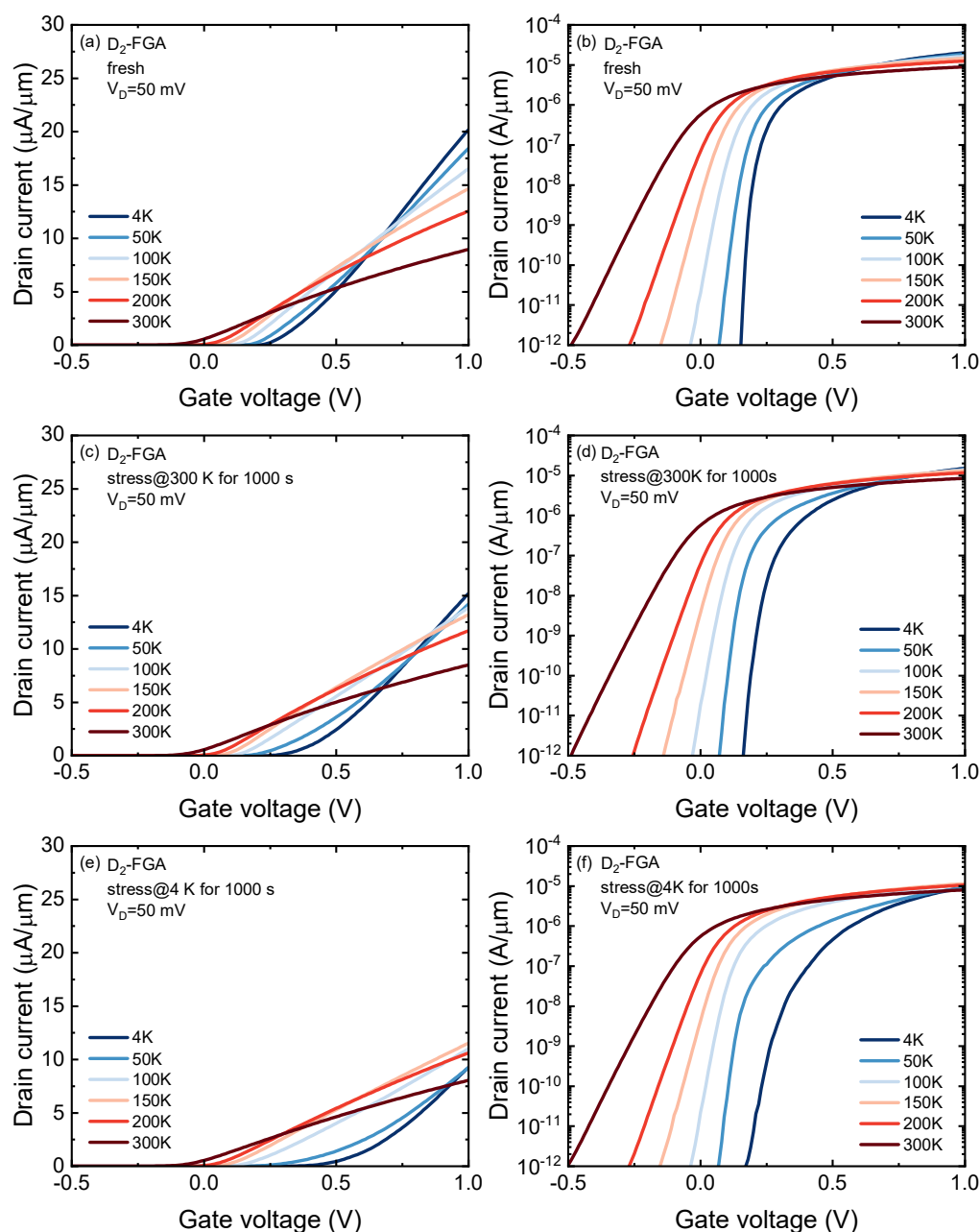


図 4.13 デバイスの異なる温度での I_D - V_G 特性。(a, b) ストレス印加なし、(c, d) 300 K で 1000 s のストレスを印加させた場合、(e, f) 4 K で 1000 s のストレスを印加させた場合。それぞれ線形プロット、片対数プロットを示している。

4.14 に示す。比較のため、水素 FGA の場合の結果も合わせて示した。図 4.14 から、水素 FGA と比較して、重水素 FGA は広い測定温度範囲において、しきい値電圧シフトを抑制していることが確認された。前章の議論では、約 100 K 以下で見られるシフトはバンド端準位の影響増大によるものであり、300 K でも見られるシフトは深い準位の影響増大によるものだと示された。4K-10000s のカーブの比較から、重水素 FGA は 300 K でも確認されるオフセットのようなしきい値電圧シフトを抑制することが確認された。このことから、深い準位の起源はダングリングボンドと判断される。重水素 FGA は、従来知られてきたダングリングボンド発生に伴う深い準位の発生のみならず、バンド端準位の発生も抑制するものと考えられる。

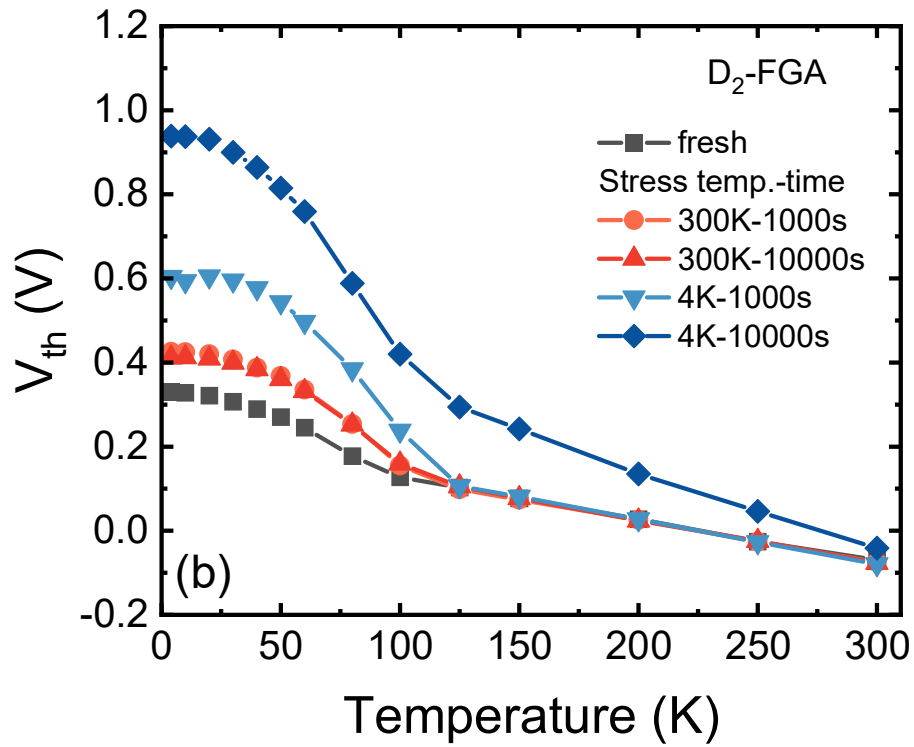
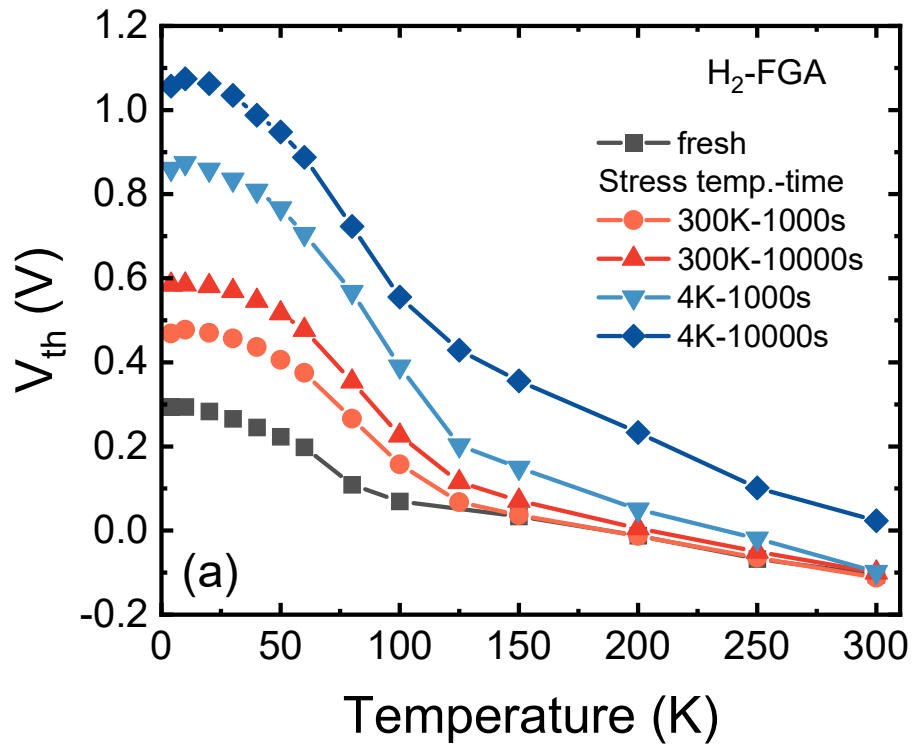


図 4. 14 異なる温度、時間でストレス印加を印加した後のしきい値電圧の温度依存性。(a) 水素 FGA、(b) 重水素 FGA を施した場合。重水素 FGA は広い温度範囲でのしきい値電圧シフトを低減しており、前章の議論から深い準位、バンド端準位の発生を抑制していることが示唆される。

4.3.2.3 バンド端準位の起源の考察

第3、4章の実験結果を踏まえて、ホットキャリア注入に伴う現象を考察する。深い準位発生の影響は300 Kでも確認でき、バンド端準位発生の影響は低温でのみ確認できる。温度を変化させた電流電圧特性の評価から、バンド端準位と深い準位はストレス印加温度に関係なく、同時に発生すると示唆された。これを踏まえ、MSM法で得られた結果(図4.11)の傾きの変化を議論する。MSM法では、一定の温度で特性変化のストレス時間依存性を評価する。これまでの議論から、300 Kでの評価では深い準位の影響が反映される一方で、バンド端準位の影響は反映されないと判断できる。4 Kでの評価は深い準位に加え、バンド端準位の影響も反映しているものと考えられる。これは、しきい値電圧印加時のフェルミ準位の温度依存性によるものである。つまり300 Kと4 KでのMSM法による評価は、特性変化の原因の数が異なる。図4.11では、しきい値電圧シフトのストレス印可時間依存性の傾きが300 Kと4 K間で異なっているが、これは300 Kでは深い準位の影響しか反映されないのに対し、4 Kではバンド端準位の影響も加わるためだと考えられる。傾きから特性変化原因を考察する方法はよく用いられるが[5]、これは単一の原因がべき乗で発生することに基づいている。そのため、今回のように複数の原因が発生する場合には、傾きから特性変化の原因を特定する方法は適用できないものと考えられる。

重水素FGAによるダングリングボンドの重水素終端はホットキャリア劣化を抑制することが確認され、この効果はバンド端準位の影響が顕在化する4 Kでも確認されるものであった。これらの結論は、界面準位の起源を原子の観点から考察することで理解可能と考える。まずストレス印加温度に関係なく、ホットキャリアが水素(重水素)で終端された界面のシリコン原子を攻撃し、ダングリングボンドの生成を伴うバンド端準位を生成する可能性が存在する。界面原子の変位は、ダングリングボンドそのものに起因する電子状態だけでなく、界面より数原子層下のSi-Si結合の伸縮に起因する電子状態も、ダングリングボンドの生成に伴い発生するものと考えられる。この状況は表面再構成のメカニズムに似ている。

界面以下数原子層における原子の変位をバンド端準位の起源と考えると、今回の実験結果から、ホットキャリア注入はバンド端準位と深い準位を同時に生成することが理解できるものと考えられる。重水素終端はダングリングボンドを発生させにくいため、バンド端準位の発生に対しても有効であるものと考えられる。模式図を図4.15に示す。他のバンド端準位の起源の可能性について検討する。他の起源は、不純物、表面ラフネスによるポテンシャルの揺らぎ、欠陥準位が存在する。まず、ストレス印加でチャンネル不純物は変化しないため、不純物によるポテンシャル揺らぎの可能性はない。次に表面ラフネスであるが、表面ラフネスの増加は界面における原子層の変化を意味する。ホットキャリアは電子や正孔であり、これがSi原子を移動させることは困難に思われる。前述した欠陥の発生に伴う原子位置の変位と考える方が合理的である。欠陥準位そのものの可能性はゼロとは言えないものの、界面における欠陥が作る準位についてはよく検討されており、バンド端近傍に存在する欠陥はないものと考えられる。

ここで、どの程度の原子変位がバンド端準位を形成するかを考えてみる。バンドギャップは温度に依存する(1.5.4参照)。温度変化によって結合距離は変化する。温度が高いと結合は伸び、温度が低いと縮む。温度変化でどの程度結合距離が変化するかは熱膨張係数で決定される。そこで、報告されているバンドギャップの温度依存性と、熱膨張係数に基づく結合距離について、それぞれ差分を求めプロットすると図4.16のようになる。数ミ

リオングストロームの結合距離の変化で、数 10 ミリエレクトロンボルトのバンドギャップの変化が生じることがわかる。これら原子の変位の集合体がバンド端近傍に準位を作り得る。これがバンド端準位の起源のひとつだと考えている。

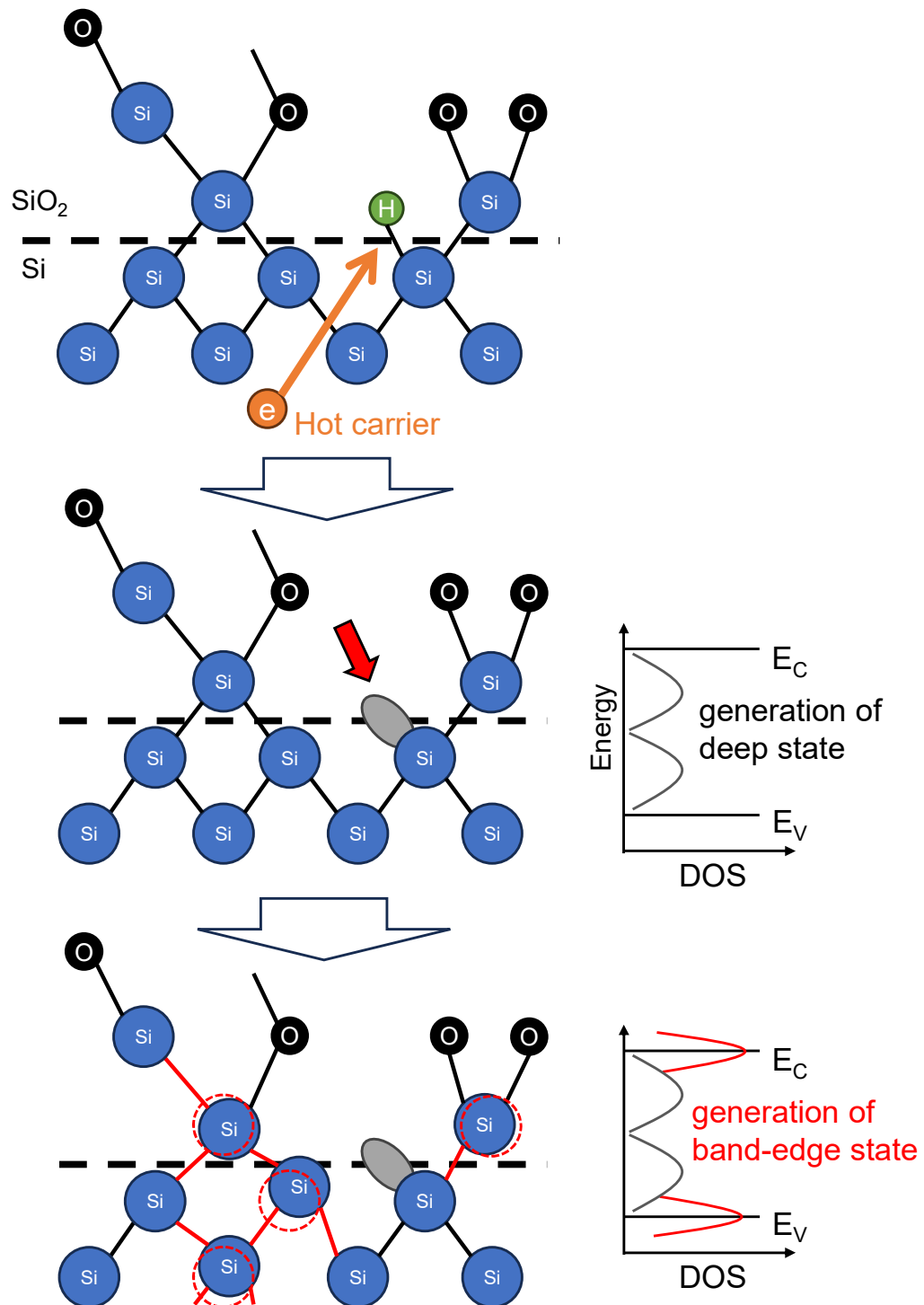


図 4. 15 提案したバンド端準位の発生機構の模式的説明。

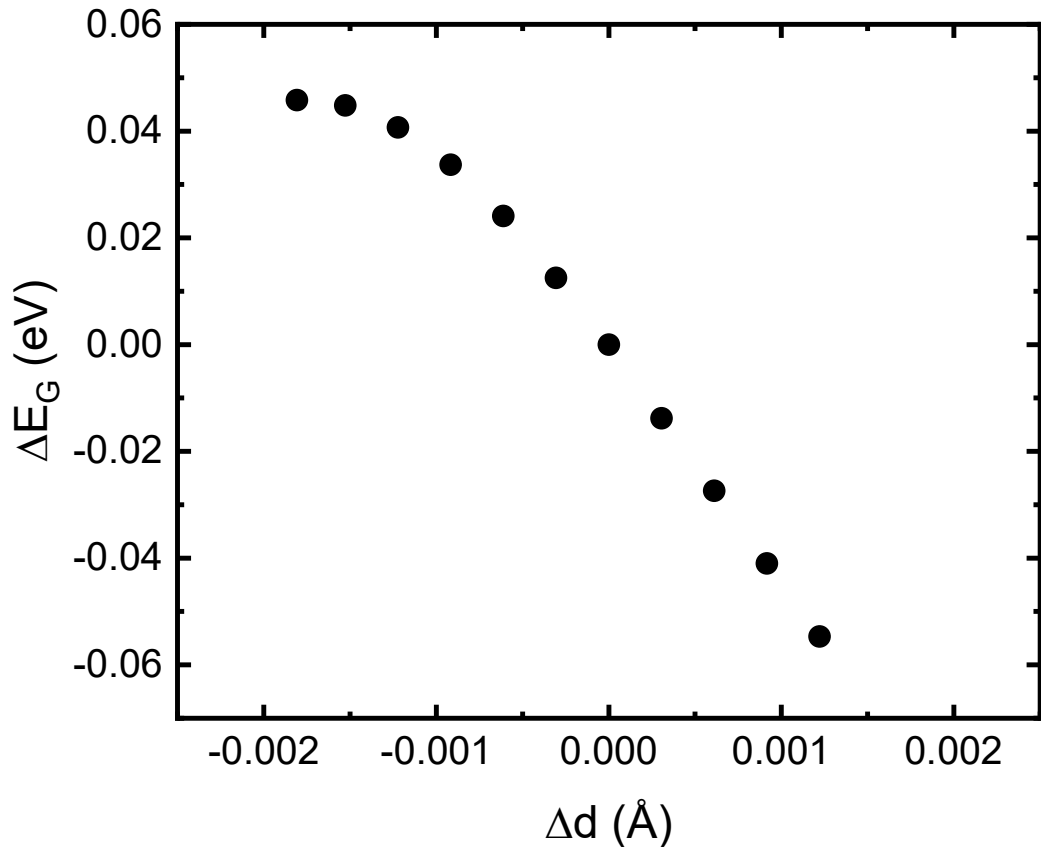


図 4.16 結合距離の差とバンドギャップ差の関係。横軸正は結合が伸びる方向で、負は縮む方向である。

バンド端準位の起源を界面ディスオーダーとすることで、今回の結果を理解できるものと考えている。ただし、この仮説を裏付けるにはさらなる調査が必要である。例えば第一原理や分子動力学に基づくシミュレーションがあげられるが、これは今後の課題としたい。

4.4 結論

本章では極低温下での Si n-MOSFET への重水素アニールの効果を実験的に検証した。重水素アニールは、水素アニールと比較して電流電圧特性は改善しないことが確認された。ホットキャリア耐性については、従来知られている室温動作での効果に加え、極低温下でも一定の効果を示すことがはじめて確認された。重水素アニールは深い準位の影響増大に加え、4 K で顕在化するバンド端準位の影響増大も低減できることが示された。この理由は界面ダングリングボンドの発生に伴い、界面の原子変位が生じるとすると合理的に説明できるものと考えられ、界面ディスオーダーがバンド端準位の起源とする説にひとつの実験的証拠を与える結果と考えられる。また、極低温 MOS デバイスにおけるホットキャリア耐性や電流電圧特性の改善には、界面ディスオーダーを低減しバンド端準位の密度を低減させるプロセスが有効と考えられる。

参考文献

- [1]. J. W. Lyding, K. Hess, and I. C. Kizilyalli, "Reduction of hot electron degradation in metal oxide semiconductor transistors by deuterium processing," *Appl. Phys. Lett.*, vol. 68, pp. 2526–2528, Apr. 1996, doi: [10.1063/1.116172](https://doi.org/10.1063/1.116172).
- [2]. R. A. B. Devine, J. -L. Autran, W. L. Warren, K. L. Vanheusdan, and J. -C. Rostaing, "Interfacial hardness enhancement in deuterium annealed 0.25 μ m channel metal oxide semiconductor transistors," *Appl. Phys. Lett.*, vol. 70, no. 22, pp. 2999–3001, Jun. 1997, doi: [10.1063/1.118769](https://doi.org/10.1063/1.118769).
- [3]. C. G. Van de Walle, and W. B. Jackson, "Comment on "Reduction of hot electron degradation in metal oxide semiconductor transistors by deuterium processing" [Appl. Phys. Lett. 68, 2526 (1996)]," *Appl. Phys. Lett.*, vol. 69, p. 2441, Oct. 1996. doi: [10.1063/1.117664](https://doi.org/10.1063/1.117664).
- [4]. S. Takagi, A. Toriumi, M. Iwase, and H. Tango, "On the Universality of Inversion Layer Mobility in Si MOSFET's: Part I-effects of substrate impurity concentration," *IEEE Trans. Electron Devices*, vol. 41, no. 12, pp. 2357–2362, Dec. 1994, doi: [10.1109/16.337449](https://doi.org/10.1109/16.337449).
- [5]. 例えば B. Doyle, M. Bourcierie, J. C. Marchetaux and A. Boudou, "Interface State Creation and Charge Trapping in the Medium-to-High Gate Voltage Range ($V_d/2 \geq V_g \geq V_d$) During Hot-Carrier Stressing of n-MOS Transistors," *IEEE Trans. Electron Devices*, vol. 37, no. 3, pp. 744–754, Mar. 1990, doi: [10.1109/16.47781](https://doi.org/10.1109/16.47781).

第 5 章 追加高圧水素アニールの極低温特性への効果

5.1 序論

前章までの議論から、MOS 界面の品質は極低温動作 MOS 型素子に大きな影響を与えることが示された。これは温度低下によりフェルミ準位のバンド端へのシフトが生じ、しきい値電圧での動作がバンド端近傍に位置することにより、バンド端準位の影響を強く受けるためである[1, 2]。前章でも議論されたように、バンド端準位の起源は Si/SiO₂ 界面の原子ディスオーダーであると考えられており[3]、界面品質の改善は極低温動作 MOS 型素子の特性改善に繋がるものと予想される。

本章では極低温特性改善のため、界面品質の改善を目的とした。考えられる方法としては、例えば SiO₂ 成膜のための酸化過程それ自体の改善（例えばウェット酸化は良質の界面を得られると報告されている[4]）や、ポストメタルアニールの改善（例えば本章で取り上げる高圧水素アニール[5-9]やフッ素アニール[10]など）が挙げられる。本章では後者、特に高圧水素アニールに着目する。

5.2 実験方法

高圧水素アニールによる極低温特性への効果を検証するべく、(110)面シリコンウエハに作製した n-MOSFET を用いた。(110)面を用いた理由は、初期の界面準位密度が大きく、プロセスの効果を明確に検証できるため、また Fin を用いた極低温動作素子（クライオ CMOS や量子ビット）に対しての効果を検討するためである。電極の形成後、通常圧力での水素アニールを 400°C で 30 分間行っている。その後に追加の水素アニールを 450°C、1 または 20 atm の圧力下で行っている。追加水素アニールでは、昇温降温も含めた全処理時間は約 28 時間であったが、目的圧力下において 450°C で保持される時間は 30 分間とした。低温での電気特性評価を、追加水素アニールを行っていないもの(w/o と表記)、追加水素アニールを 1 atm で行ったもの (1 atm)、20 atm で行ったもの (20 atm) の三種類について行った。また極低温下でのホットキャリア耐性への影響を検証するため、(100)面に作製した MOSFET を、同様のプロセスで作製し、追加の水素アニールを 350°C、圧力は 1 または 20 atm で行い、極低温下でのホットキャリア耐性への効果を検証した。

5.3 結果と考察

5.3.1 追加高圧水素アニールによる極低温特性の改善

(110)面に作製した MOSFET を用いて、高圧重水素アニールの電流電圧特性への効果を検証した。図 5.1 に 2.5 K での I_D - V_G 特性を三種のデバイスについて示す。ゲート長：L、ゲート幅：W はそれぞれ 10、20 μm である。追加水素アニールにより、オン電流の増大が確認された。加えて、しきい値電圧の負側へのシフトが確認され、先行研究でも述

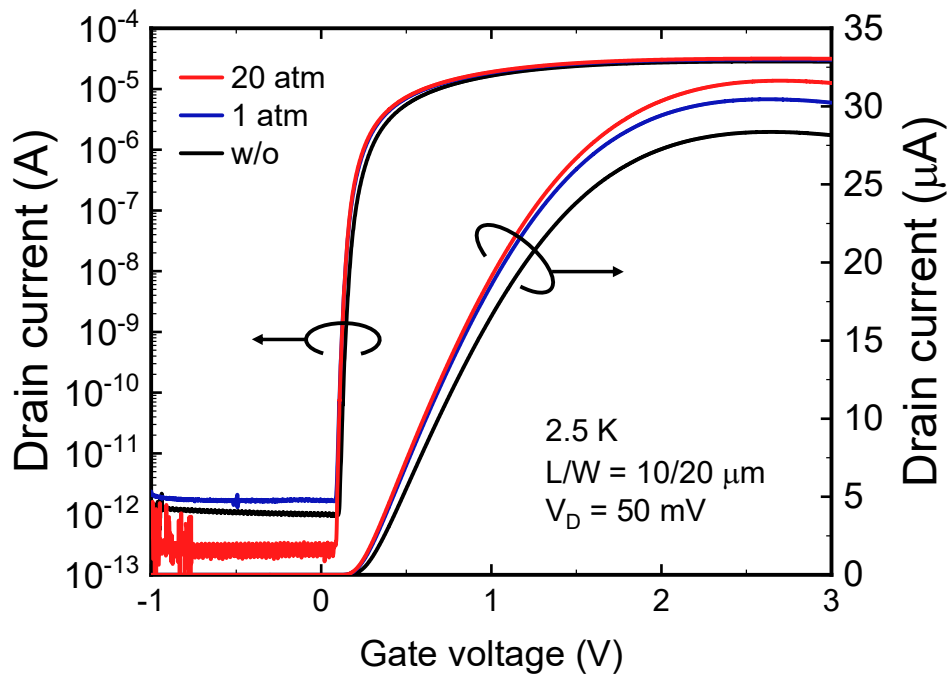


図 5.1 (110)面に作製された n-MOSFET の 2.5 K での I_D - V_G 特性。三種のデバイス(w/o, 1 atm, 20 atm)で測定している。

べられているように、界面品質への効果があったものと考えられる。このオン電流の向上、しきい値電圧の負側へのシフトは 1 atm での処理より、20 atm での処理で大きく確認されており、高圧水素アニールにより、界面品質が向上し、極低温特性が改善したものと考えられる。詳細な議論を以下に述べる。

5.3.1.1 サブスレッショルドスイングの解析によるバンド端準位への効果の検証

バンド端準位の影響が如実に現れる特性はサブスレッショルドスイング(SS)である[11, 12, 13, 14, 15, 16, 17]。ここでは追加水素アニールの効果を SS- I_D の解析を通して議論する。図 5.2(a)に 10 K での SS のドレイン電流依存性を示す。2.5 K での本特性は、チャネルの部分的なクーロンブロッケードの発現[18]と思われる影響により評価が困難であった。極低温で顕在化すると報告されている、SS- I_D カーブでプラトーを示さないインフレクション効果[13, 14, 15, 18]がすべてのデバイスにおいて確認された。SS は追加水素アニールで減少していることが確認された。加えて、図 5.2(b)にドレイン電流が 10^{-11} から 10^{-9} の範囲での平均 SS を示す。広い温度範囲において平均 SS が追加水素アニールで減少しており、また 20 atm 処理でその効果が大きいことから、高圧水素アニールの効果が確認される。Beckers らによると、20 K 以下での SS の劣化はバンド端準位の影響とされている。この温度範囲において SS の低減が確認されることから、高圧水素アニールはバンド端準位の準位密度を低減させた結果、SS を改善したことが示唆される。高圧水素アニールのバンド端準位への効果を定量的に議論すべく、先行研究で提案された SS モ

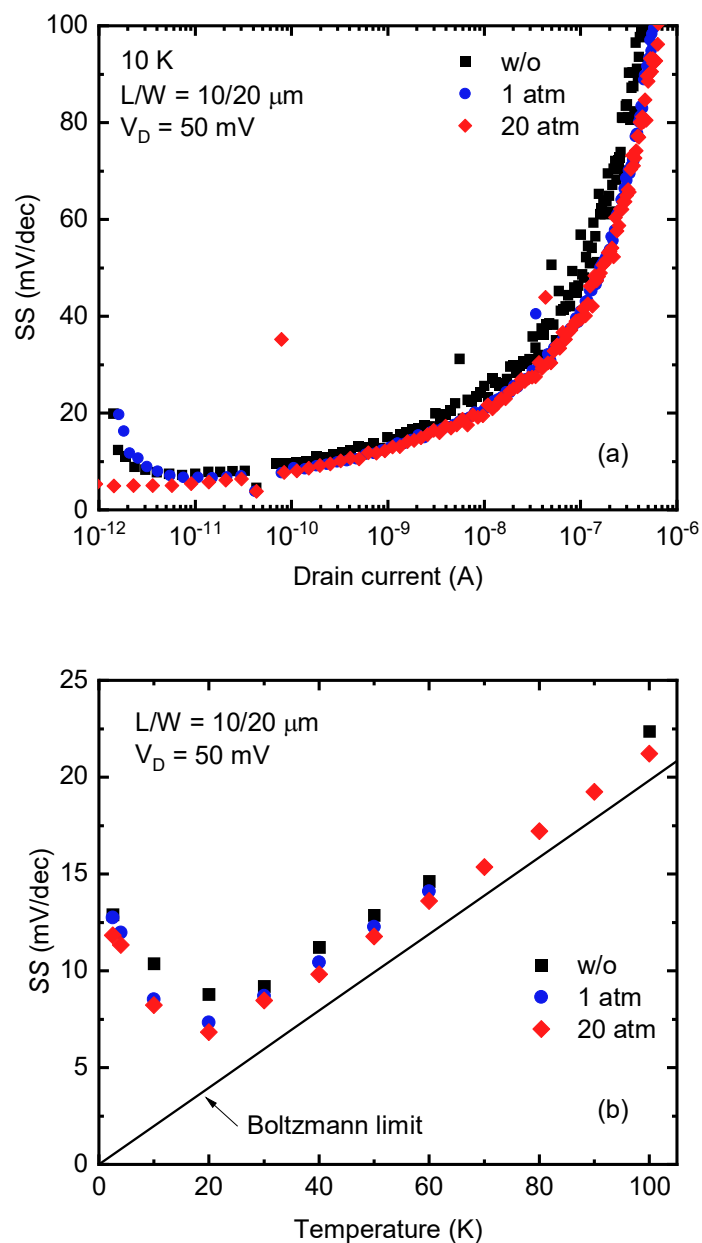


図 5.2 (a)各デバイスについての 10 K での SS- I_D 特性。 (b)2.5–100 K での 10^{-11} から 10^{-9} の範囲での平均 SS の温度依存性。 (a)の w/o, 1atm について、ドレイン電流が 10^{-12} – 4×10^{-11} A の範囲で上昇しているのはアーティファクトである。

デル[13, 14, 15, 16]を用いたフィッティングを試みた。採用したモデルはモバイルテールと伝導帯下端を中心にガウス分布する界面準位を取り入れたモデルである。モバイルテールは、伝導帯の下端エネルギーからバンドギャップ内へ向かって指数関数的に減少する状態密度を持つ、電気伝導に寄与する準位である。伝導帯下端においては二次元電子ガスの状態密度の値を示し、そこからバンドギャップに向かって急速に減衰する形である。モデルの模式図を図 5.4 に示す。ここで W , N_0 , W_0 はフィッティングパラメータであり、

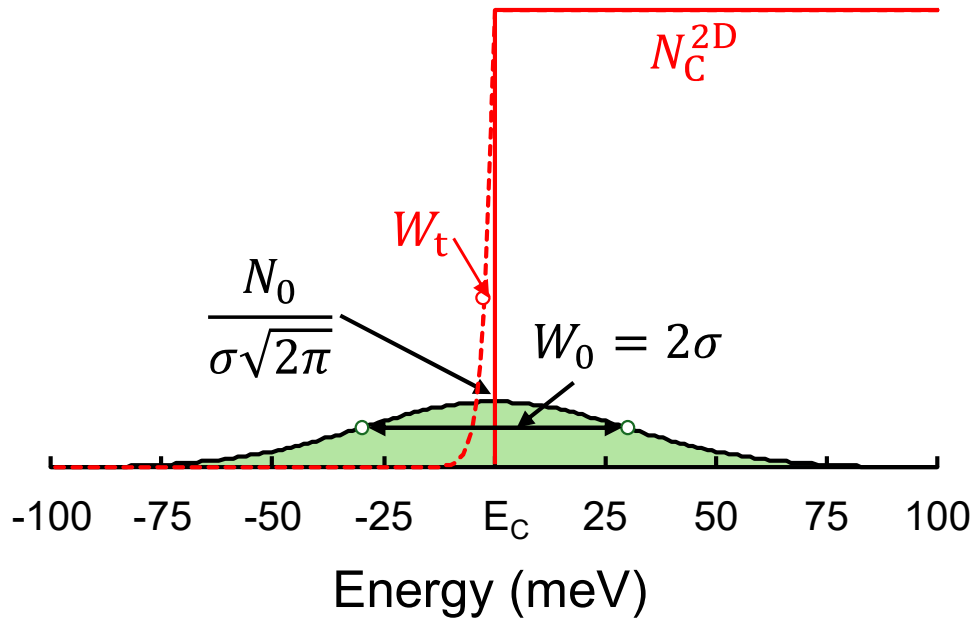


図 5.3 採用したモデル[13, 14, 15, 16]の模式図。伝導帯には二次元電子ガスが N_C^{2D} の密度で存在しており、伝導帯下端からバンドギャップ内に向けて指数関数的に減衰している。また伝導帯下端を中心として、界面準位がガウス分布で存在する。

それぞれ指数関数モバイルテールの減衰長、ガウス分布型界面準位の最大値の因子、ガウス分布の標準偏差の二倍である。二次元電子ガスの状態密度 N_C^{2D} は縮退度 g_v 、有効質量 m^* を用いて、 $N_C^{2D} = g_v m^* / (\pi \hbar^2)$ と表される。 $\hbar$ は換算プランク定数である。有効質量は(110)面シリコンの基底サブバンドを考え、 $m^* = 0.32m_0$ とした[20]。 m_0 は電子の質量である。第3章で採用したモデルについての差異は、ここで採用したモデルはガウス分布型の界面準位に加え、数 meV で減衰するモバイルテールが取り入れられていることである。このモバイルテールを取り入れることで、SS の飽和が再現できると報告されている[1]。計算結果を図 5.4 に示す。計算されたカーブが実験結果をよく再現することが確認された。フィッティングパラメータ W_t , N_0 , W_0 の変化を確認すると (図 5.5)、まず追加水素アニールなしと 1 atm での追加水素アニールでは、パラメータはそれぞれ約 30%、20%、20% 小さくなっていることがわかる。加えて 20 atm の追加水素アニールでは、さらに N_0 が約 10% 低減していることが確認された。以上のことから、採用した SS モデルにのっとると、SS の変化を定量的に議論することができ、SS の改善はバンド端準位の準位密度低減によるものだと考えられる。SS への効果から、高圧水素アニールはバンド端準位を約 10% 低減したものと結論付けられる。

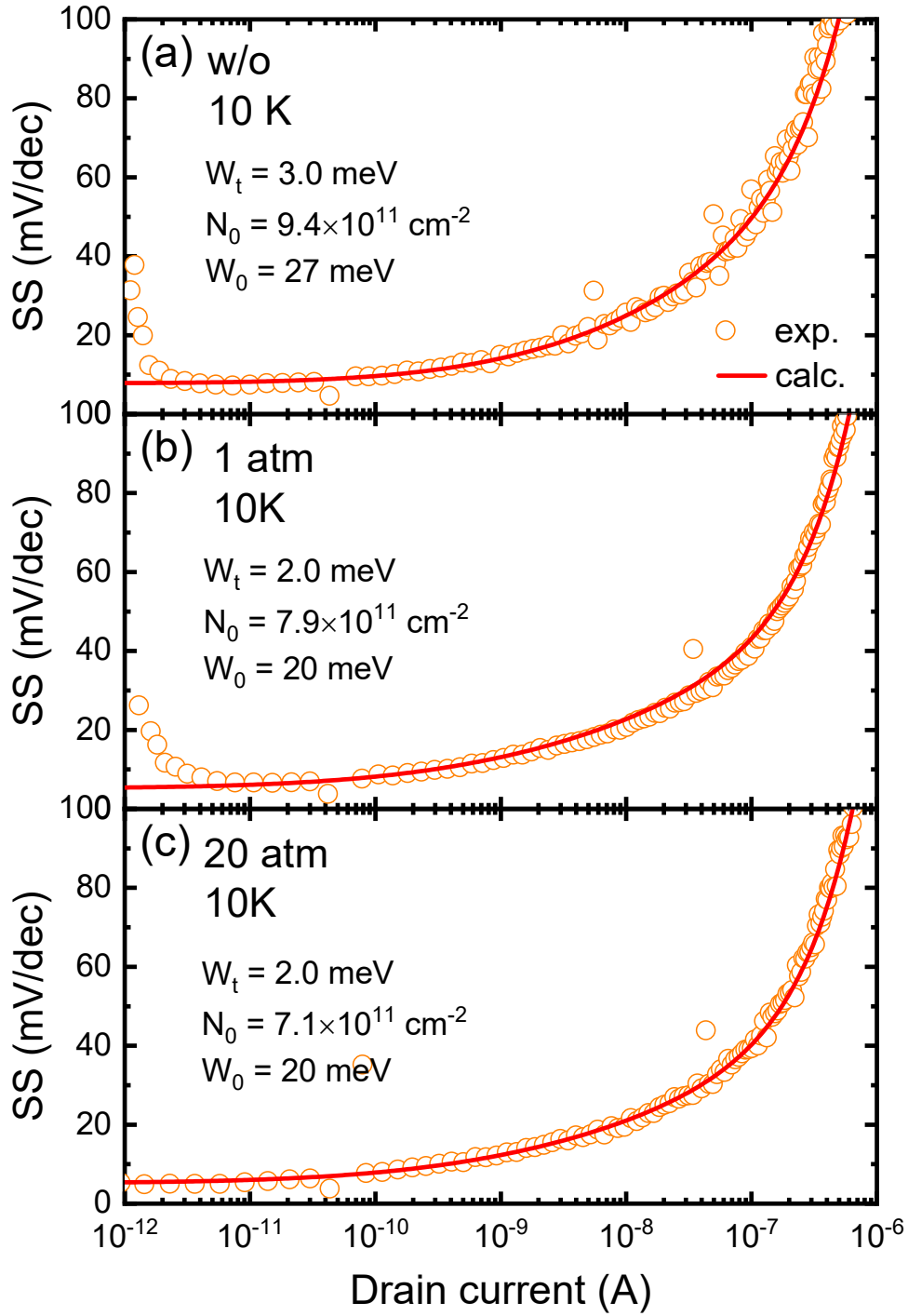


図 5.4 モデルを用いた SS- I_D 特性のフィッティング。橙色の円が実験値、赤色の実線が計算値を表す。(a)追加水素アニールなし、(b)1 atm での追加水素アニール、(c)20 atm での追加水素アニールの場合。(a)、(b)についてドレイン電流が 10^{-12} – 4×10^{-11} A の範囲で SS が上昇しているのはアーティファクトである。

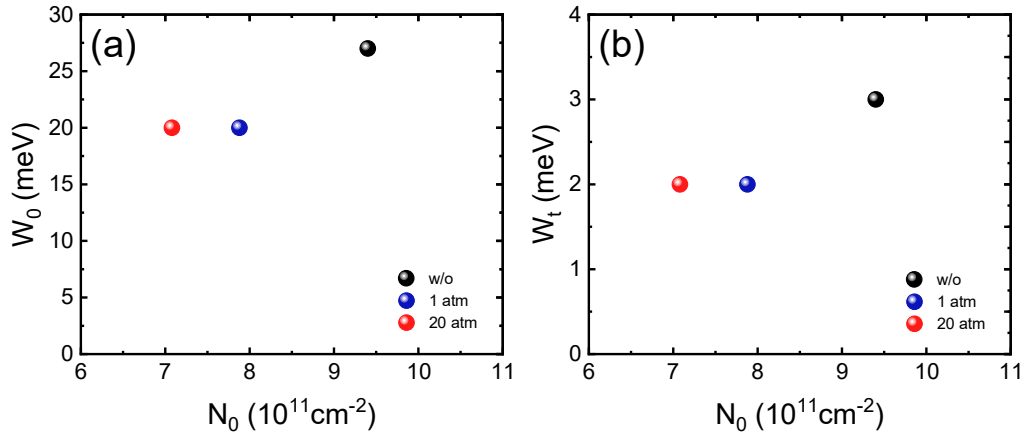


図 5.5 フィッティングパラメータ W_t , N_0 , W_0 についてのベンチマーキング。(a) W_0 と N_0 、(b) W_t と N_0 についての評価。

5.3.1.2 しきい値電圧への効果

次にしきい値電圧への効果を検討する。図 5.6(a)にしきい値電圧の温度依存性を示す。しきい値電圧は $V_D=50 \text{ mV}$ の I_D-V_G から線形外挿法[21]で求めた。追加の水素アニールにより、広い温度範囲においてしきい値電圧が低減したことが確認される。温度変化については、明確な切り替わりが確認された。しきい値電圧は 20 K 以上の温度範囲においては、温度低下に伴ってほぼ線形に増加している。これは第 2 章で述べたように、バルクのフェルミ準位の温度依存性を反映したふるまいと考えられる。しかし 20 K 以下の温度範囲では、温度低下に伴う急激なしきい値電圧の増大がすべてのデバイスで確認された。この温度範囲では、しきい値電圧印加時の表面ポテンシャルの曲がりが大きく、バルクのフェルミ準位が伝導帯下端に近い状況となり、バンド端準位の影響を強く受けているものと考えられる[22]。追加水素アニールの効果を議論すべく、MOSFET と同じウエハに作製された MOS キャパシタを用いて $C-V$ 測定を行った。フリーズアウト[23, 24]と考えられる影響により、40 K 未満の温度範囲での $C-V$ 特性は得られなかった。図 5.6(b)に 40–150 K の温度範囲でのしきい値電圧と、 $C-V$ 特性から見積もられたフラットバンド電圧の温度依存性を示す。この温度範囲ではしきい値電圧は温度変化に対してほとんど線形な変化を示している。また図 5.6(b)にはフェルミ準位の温度依存性と高濃度にドーピングした poly-Si ゲート[25]の仕事関数差を用いて見積もった理想フラットバンド電圧の温度依存性を合わせて示した。追加の水素アニールにより、フラットバンド電圧が正にシフトし、理想フラットバンド電圧に近づく様子が確認される。これは 150 K の比較的高温でも確認されていることから、酸化膜内の固定電荷が低減されたためだと考えられる。しかしながら、追加水素アニールによるしきい値電圧のシフトは、フラットバンド電圧のシフトとは反対方向である。そのため、追加水素アニールによるしきい値電圧の負側へのシフトは、固定電荷の低減によるものではないとわかる。以上のことから、今回追加水素アニールで生じたしきい値電圧の負側へのシフトのひとつの要因として、先行研究で議論されたようにバンド端準位の影響が低減したことが示唆される。これは先に述べた SS 低減

の議論と一致するものである。したがって、しきい値電圧でなされた考察は、追加水素アニールが SS としきい値電圧の改善を示すことで、バンド端準位に影響したとの主張を裏付けるものと考えられる。

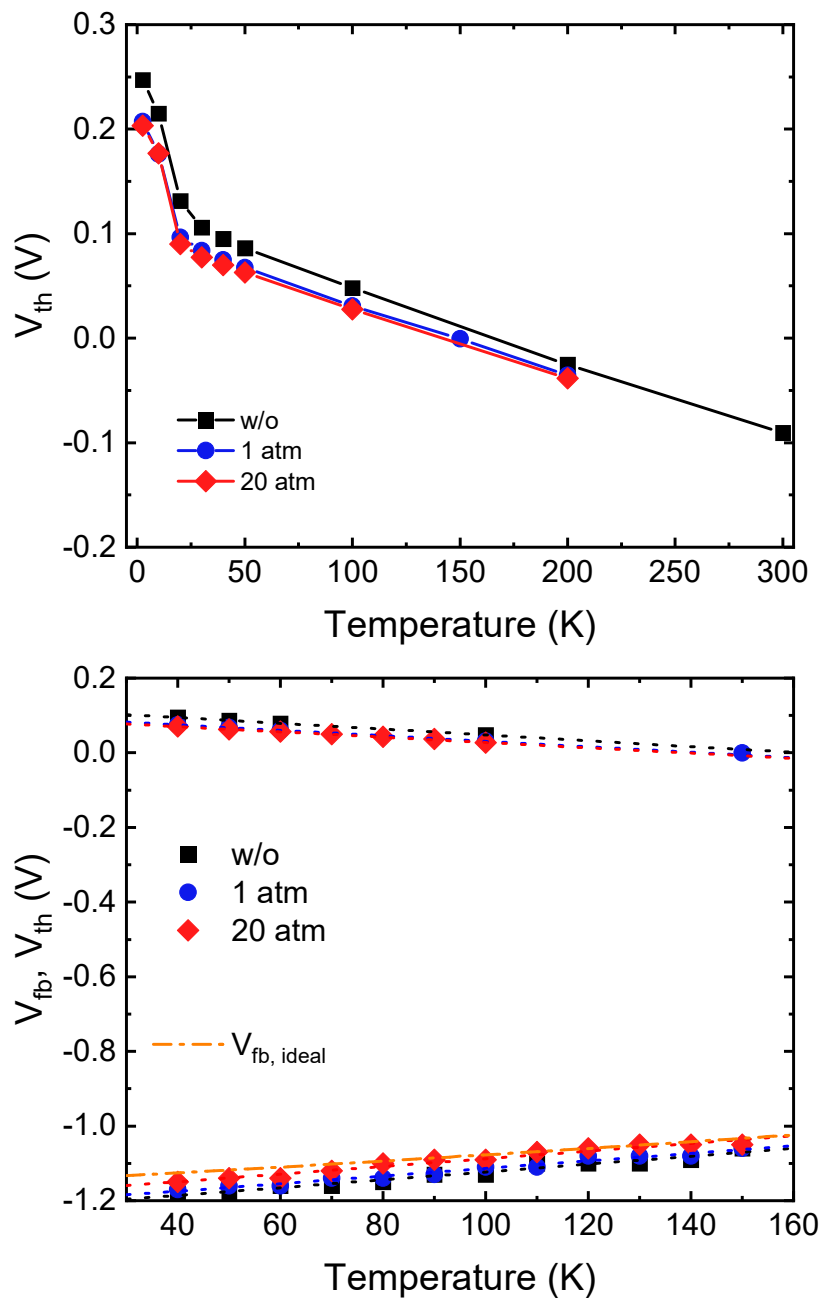


図 5.6 (a)各デバイスについてのしきい値電圧の温度依存性。 (b)しきい値電圧とフラットバンド電圧の 40–150 K の範囲における温度依存性。

5.3.1.3 移動度への効果

追加水素アニールにより、オン電流が増大した。移動度への効果を議論する。図 5.7 に広い面積($L=100\text{ }\mu\text{m}$, $W=100\text{ }\mu\text{m}$)の MOSFET を用いて求めた電子の実効移動度を示す。横軸は反転電子密度を示しており、スプリット $C-V$ を用いてゲート-チャンネル間の容量を測定することで見積もった。実効移動度 μ_{eff} は、

$$\mu_{\text{eff}} = (L/W) \cdot (1/qN_s) \cdot (I_D/V_D)$$

と表される。 I_D-V_G 特性からも確認されたように、追加水素アニールで移動度が改善し、高圧水素アニールではその効果が大きいことが確認される。第 2 章で述べたように、MOSFET の移動度は散乱過程と強く結びついており、主に三つの散乱で制限されていることが知られている。クーロン散乱、フォノン散乱、表面ラフネス(SR)散乱である。この中でフォノン散乱は温度に対してやや弱い依存性を示すことが知られており[26]、極低温下ではフォノン散乱の影響は非常に小さくなる。そのため極低温移動度は大雑把に 10^{12} cm^{-2} 以下の低い反転電荷密度ではクーロン散乱が、 10^{12} cm^{-2} 以上の高い反転電荷密度では表面ラフネス散乱が制限する。ここで、極低温下では界面のエネルギー的にバンド端に近い散乱体がクーロン散乱として移動度を制限することが報告されている[27]。移動度への効果を議論するため、マティーンセン則を用いた散乱因子の分離を試みた。ただし今回の結果では、先に紹介した三つの散乱因子のみでは結果を再現できなかったため、その正

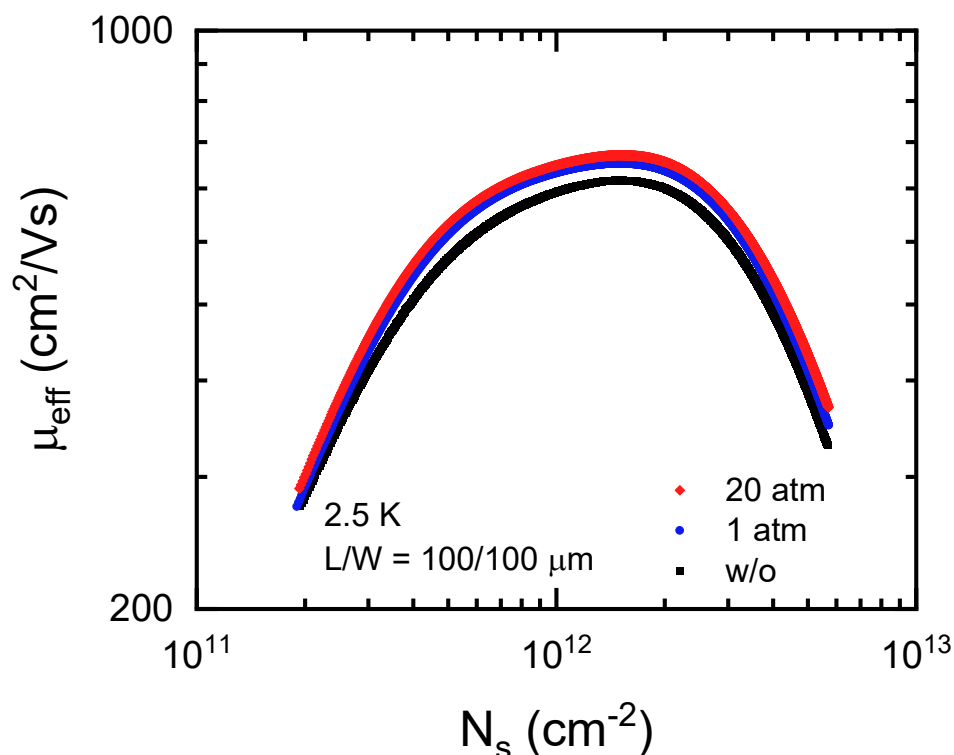


図 5.7 各デバイスについての 2.5 K での実効移動度。

体は不明ではあるが、追加の散乱移動度の項、 μ_X を導入した。 μ_X の導入なしには、特に 10^{12} cm^{-2} 付近の中程度の表面電子密度領域において移動度の再現が困難であった。フォノン散乱のようにも見えるが、2.5 K の極低温下ではフォノン散乱の影響は小さいため、異なるものと考えられる。中性不純物散乱を想定し、定数の散乱因子として取り入れて検討している報告例[28]があることに注意されたい。後に示す μ_X は表面電子密度に対して弱い(~ 0.24)変化を示しており類似している。または最近報告された、極低温下におけるクーロン散乱移動度の表面電子密度依存性かもしれない。 μ_X の起源の調査は今後の課題のひとつである。以上、各散乱移動度を用いて、実際の移動度は以下の式で表される。

$$\frac{1}{\mu_{\text{Exp}}} = \frac{1}{\mu_{\text{Coulomb}}} + \frac{1}{\mu_{\text{phonon}}} + \frac{1}{\mu_{\text{SR}}} + \frac{1}{\mu_X} \quad (5.2)$$

ここで μ_{Exp} は実験で得られた実行移動度、 μ_{Coulomb} 、 μ_{phonon} 、 μ_{SR} はそれぞれクーロン散乱移動度、フォノン散乱移動度、表面ラフネス散乱移動度である。フォノン散乱移動度には $\mu_{\text{phonon}} = \alpha N_S^{-0.3} T^{-1.75}$ の関係[26]を用い、係数 α は 100 K での移動度のフィッティングから決定した。しかしながらフォノン散乱移動度は 2.5 K の温度ではほとんど影響しない。図 5.8 に各デバイスについてのフィッティング結果を示す。フィッティング結果が実験を再現できていることが確認された。フィッティングから求められた μ_{Coulomb} 、 μ_{SR} 、 μ_X を比較した結果を図 5.9 に示す。追加水素アニールで μ_{Coulomb} 、 μ_X に改善が確認される。高圧下での追加水素アニールの場合、大気圧下での追加水素アニールの場合と比較して効果が大きいことが確認される。 μ_{SR} については、追加水素アニールの有無による変化はほとんど確認されない。 μ_{Coulomb} の改善はエネルギー的にバンド端近くに存在する散乱因子の低減を示唆している[27]。クーロン散乱移動度の改善は、界面に起因する散乱因子の密度低減によるものであると考えられる。以上のことから、追加高圧水素アニールにより界面品質が改善し、結果極低温下での移動度の改善が起きたものと考えられる。これは SS としきい値電圧でも議論された結果とも一致しているものとする。

以上議論したように、追加高圧水素アニールは(110)面に作製された Si n-MOSFET について、界面品質を向上させることで界面起因のバンド端準位の準位密度を低減し、極低温特性を改善したものと考えられる。

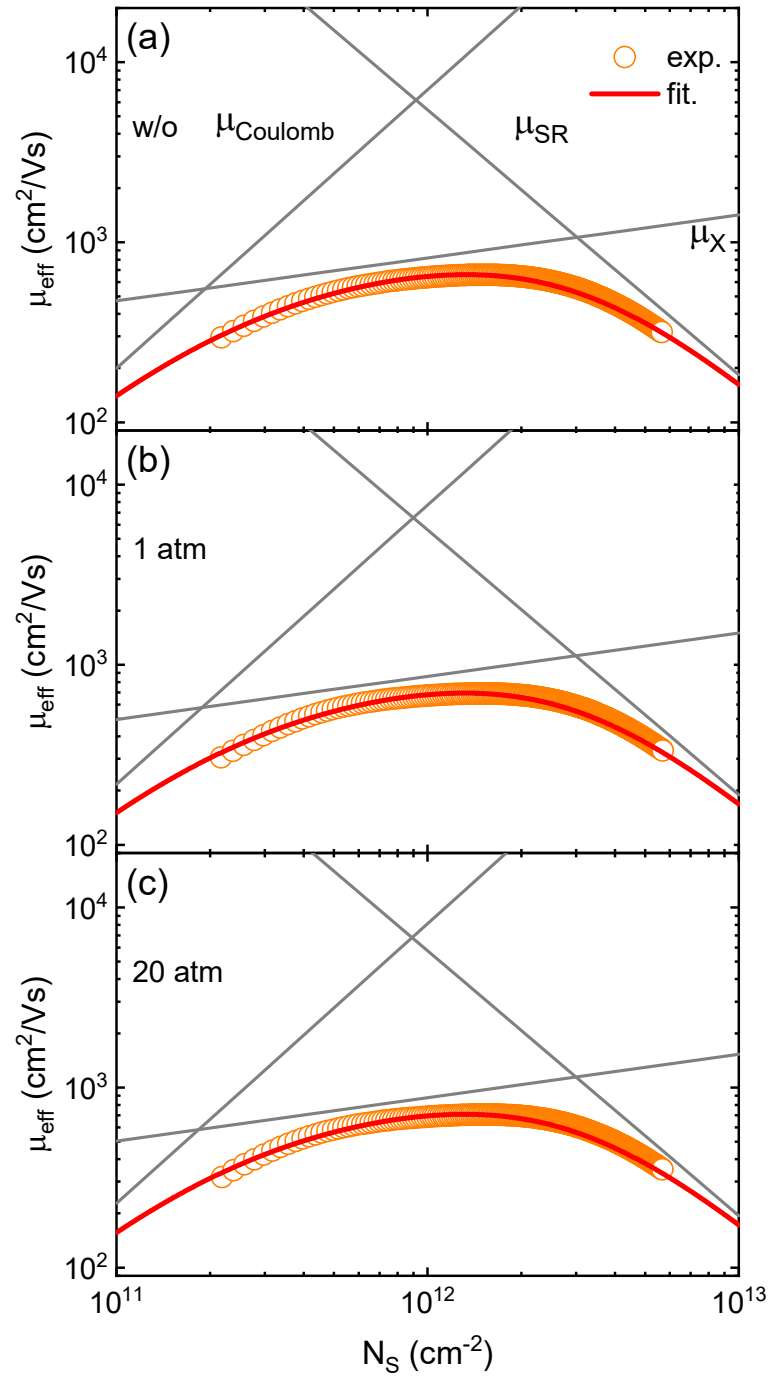


図 5.8 各デバイスについての 2.5 K での実効移動度のフィッティング結果。(a)追加水素アニールなし、(b)1 atm での追加水素アニール、(c)20 atm での追加水素アニールの場合。いずれの場合もフォノン散乱移動度はプロット外に存在する。

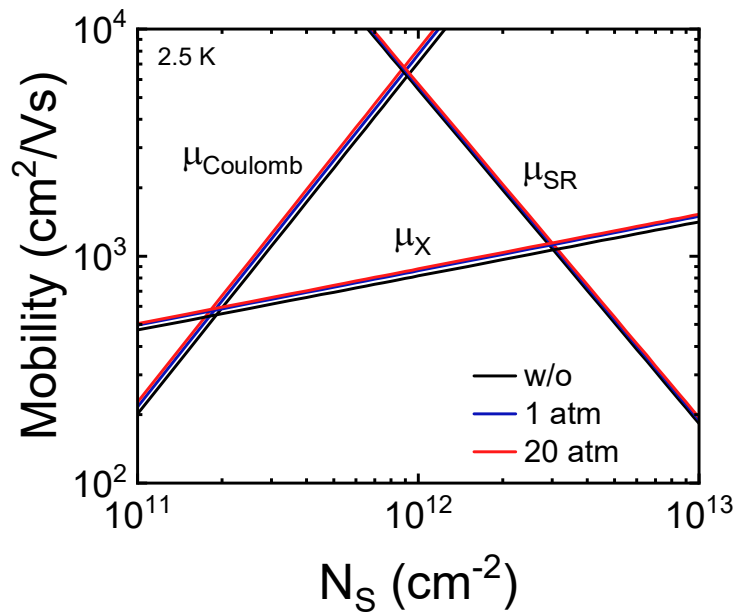


図 5.9 フィッティングから求められた各散乱移動度。

5.3.1.4 チャージポンピング法による界面準位密度の評価

ここで、高圧水素アニールの界面準位密度への効果を検証すべく、チャージポンピング法による評価を行った。50 K での測定結果を図 5.10 に示す。チャージポンピング電流が w/o、1 atm、20 atm の順に小さいことが確認された。この傾向は先述した I - V 特性の改善傾向と一致している。次に分光チャージポンピング法で界面準位密度のエネルギー依存性を評価した (図 5.11)。測定された $E-E_i = \pm 0.45$ – 0.56 eV の範囲において、界面準位密度が w/o、1 atm、20 atm の順で小さいことが確認された。SS- I_0 のフィッティング (図 5.4) から得られたバンド端準位のパラメータを鑑みると、ガウス型界面準位の σ の 2 倍を表す W_0 は w/o、1 atm、20 atm それぞれで 27, 20, 20 meV であり、バンドギャップの温度依存性を考えると、バンド端準位そのものを観測できているものではないと考えられる。

ただしこれまでの議論を踏まえると、バンド端準位とダングリングボンドは密接に関連していると考えられる。高圧水素アニールによって界面準位密度が低減しており、この低減は界面のダングリングボンドの終端によるものと考えられる。これにより界面での構造変化が生じ、バンド端準位の密度が低減し、その結果として極低温 I - V 特性が改善したと考えられる。

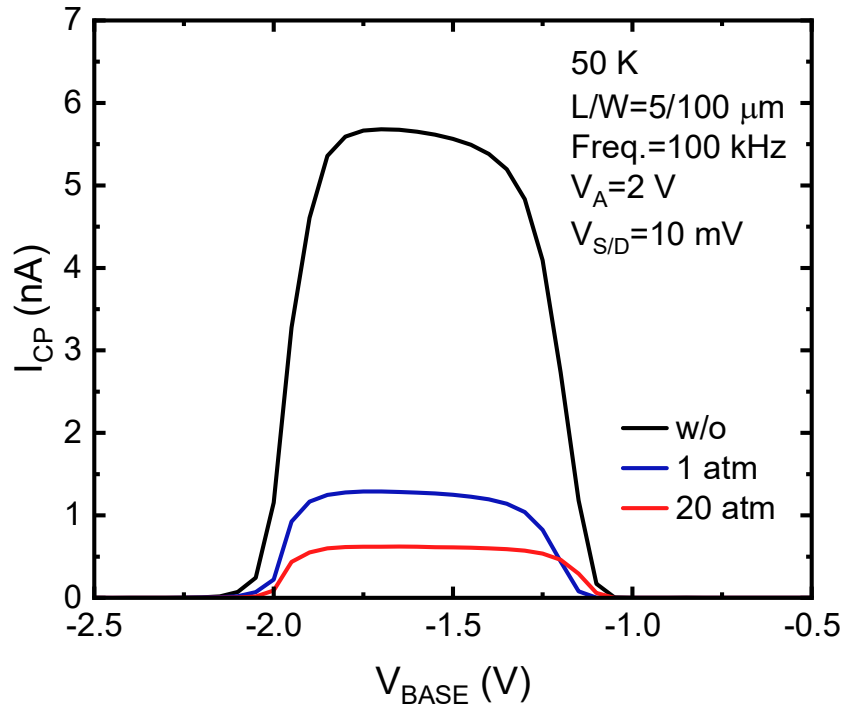


図 5.10 チャージポンピング測定結果。50 K で測定した。

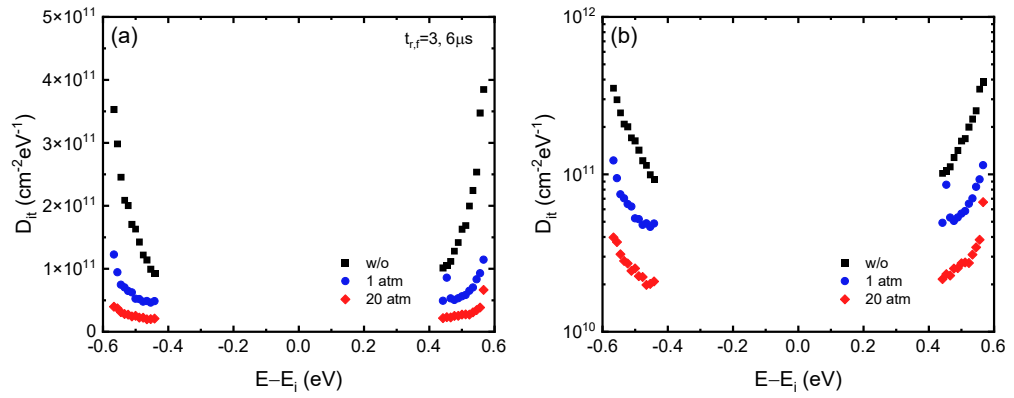


図 5.11 分光チャージポンピングから得られた界面準位密度 D_{it} のエネルギー依存性。(a)線形プロットと(b)片対数プロット。パルスの立ち上がり、立ち下がり時間は $3 \mu\text{s}$ と $6 \mu\text{s}$ を用いた。

5.3.2 極低温下でのホットキャリア耐性への寄与

次に、高圧水素アニールが極低温下でのホットキャリア耐性へ与える影響を検証すべく、4 Kでの MSM 法による電氣的ストレス印加を行った。本実験は基板電流などのダメージに依存する可能性があるため、(100)面に作製した MOSFET で行った。図 5.12 に 4 Kでのしきい値電圧シフトのストレス印加時間依存性を示す。しきい値電圧シフトは追加水素アニールを行っていないデバイスで最も小さく、追加の水素アニールの圧力が大きくなるにつれて増大することが確認された。高圧水素アニールでホットキャリア劣化が増加することは、室温動作でも報告されている[9]。追加処理によってしきい値電圧シフト-ストレス印加時間の両対数グラフの傾きは変化せず、オフセットが増加している。このようなふるまいは、高温動作では活性化エネルギー E_a が変化した場合に起こる。

加えてストレス印加前後のしきい値電圧の温度依存性を図 5.13 に示す。前章で議論したように、ストレス印加により低温でのみしきい値電圧が大きくシフトしており、バンド端準位の発生が示唆される。

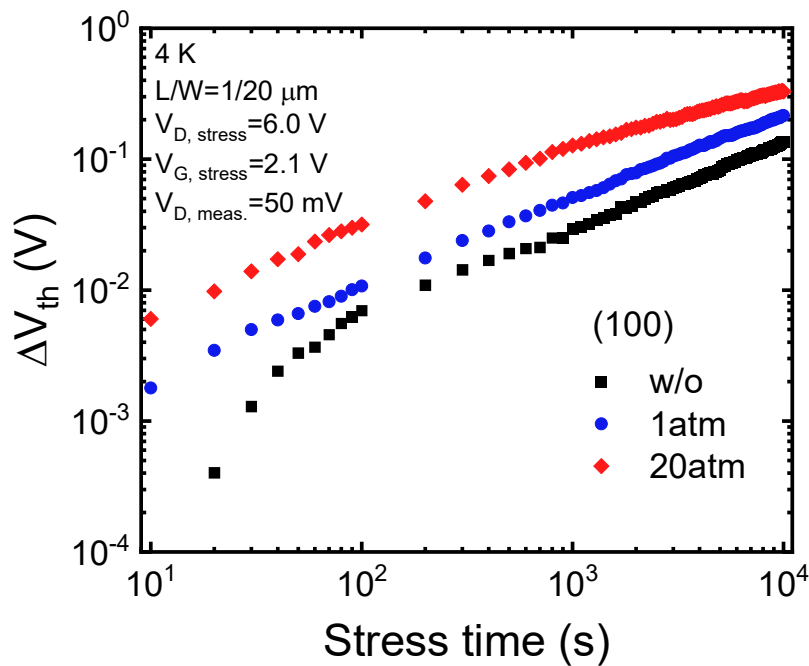


図 5.12 ストレス印加に対するしきい値電圧シフト。ストレス印加、測定は 4 Kにて行った。

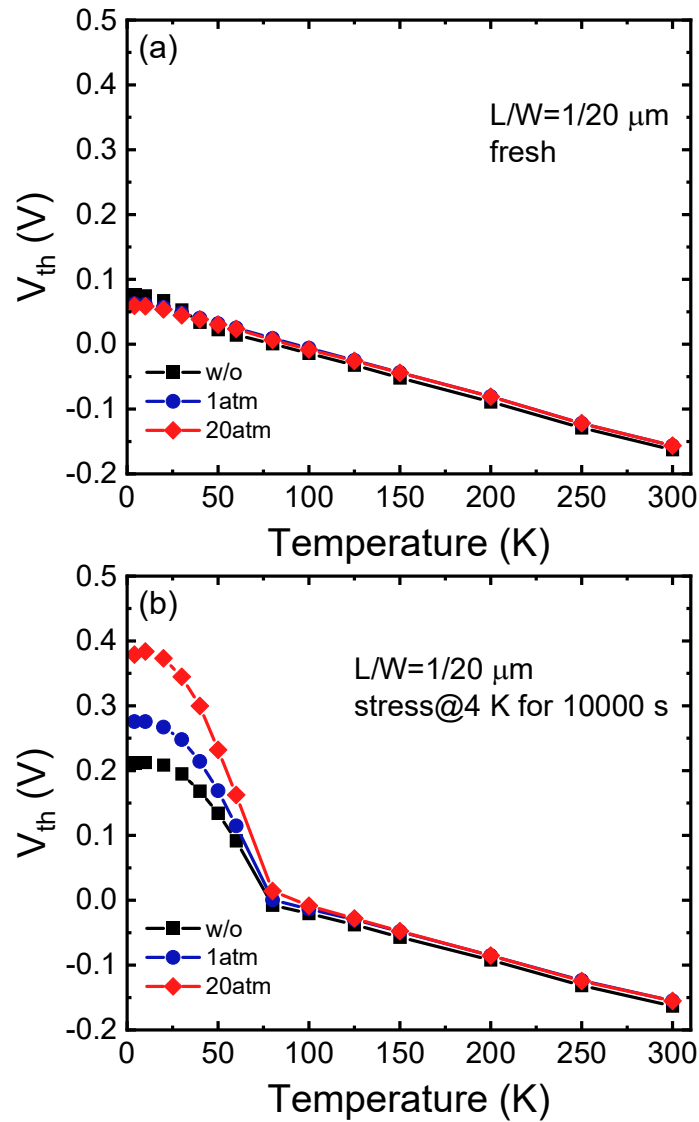


図 5.13 (a)ストレス印加前のしきい値電圧の温度依存性。(b)ストレスを 4 K で 10000 s 間印加した後のしきい値電圧の温度依存性。

5.4 結論

本章では n-MOSFET の極低温特性について、高圧水素アニールの効果を実験的に検証した。高圧水素アニールはオン電流の向上（移動度の改善による）、しきい値電圧の低減、SS の改善をもたらした。モデルを用いた SS の解析から、バンド端準位の密度低減が示された。これは高圧水素アニールにより Si/SiO₂ 界面の品質がバンド端準位の密度低減に寄与した結果と考えられる。ダングリングボンドを終端することで、界面ディスオーダーが低減し、バンド端準位密度を低減したものとする。本結果は MOS 界面の品質改善が、バンド端準位の密度低減をもたらす、極低温動作を改善するとの仮説を実験的に確か

めたものと位置づけられる。高圧下でのプロセスは、通常の圧力下でのプロセスと比較して、極低温特性をより改善することが示唆された。ただし、4 K でのストレス印加では、追加の水素アニールによって、特性劣化が大きくなることが確認され、ホットキャリア効果はむしろ増加することが示唆された。この原因については未検証である。

参考文献

- [1]. A. Beckers, F. Jazaeri and C. Enz, "Cryogenic MOS Transistor Model," *IEEE Trans. Electron Devices*, vol. 65, no. 9, pp. 3617-3625, Sept. 2018, doi: [10.1109/TED.2018.2854701](https://doi.org/10.1109/TED.2018.2854701).
- [2]. H. Oka, T. Inaba, S. Shitakata, K. Kato, S. Iizuka, H. Asai, H. Fuketa, and T. Mori, "Origin of Low-Frequency Noise in Si n-MOSFET at Cryogenic Temperatures: The Effect of Interface Quality," *IEEE Access*, vol. 11, pp. 121567-121573, 2023, doi: [10.1109/ACCESS.2023.3327731](https://doi.org/10.1109/ACCESS.2023.3327731).
- [3]. E. Arnold, "Disorder-induced carrier localization in silicon surface inversion layer," *Appl. Phys. Lett.*, vol. 25, no. 12, pp. 705-707, Dec. 1974, doi: [10.1063/1.1655369](https://doi.org/10.1063/1.1655369).
- [4]. E. H. Poindexter, P. J. Caplan, "Electron spin resonance of inherent and process induced defects near the Si/SiO₂ interface of oxidized silicon wafers," *J. Vac. Sci. Technol. A*, vol. 6, no. 3, pp. 1352-1357, May 1988, doi: [10.1116/1.575701](https://doi.org/10.1116/1.575701).
- [5]. A. Reisman, J. M. Aitken, A. K. Ray, M. Berkenblit, C. J. Merz, and R. P. Havreluk, "On the removal of insulator process induced radiation damage from insulated gate field effect transistors at elevated pressure," *J. Electrochem. Soc.*, vol. 128, no. 7, pp. 1616-1619, Jul. 1981, doi: [10.1149/1.2127693](https://doi.org/10.1149/1.2127693).
- [6]. A. Reisman, and C. J. Merz. "The Effects of Pressure, Temperature, and Time on the Annealing of Ionizing Radiation Induced Insulator Damage in N - channel IGFET's." *J. Electrochem. Soc.*, vol. 130, no. 6, pp. 1384-1390, Jun. 1983, doi: [10.1149/1.2119958](https://doi.org/10.1149/1.2119958).
- [7]. H. Park, M.S. Rahman, M. Chang, B. H. Lee, R. Choi, and C.D. Young, "Improved interface quality and charge-trapping characteristics of MOSFETs with high- κ gate dielectric," *IEEE Electron Device Lett.*, vol. 26, no. 10, pp. 725-727, Oct. 2005, doi: [10.1109/LED.2005.855422](https://doi.org/10.1109/LED.2005.855422).
- [8]. J. Franco, B. Kaczer, A. Chasin, H. Mertens, L.-Å. Ragnarsson, R. Ritzenthaler, S. Mukhopadhyay, H. Arimura, Ph. J. Roussel, E. Bury, N. Horiguchi, D. Linten, G. Groeseneken, and A. Thean, "NBTI in Replacement Metal Gate SiGe core FinFETs: Impact of Ge concentration, fin width, fin rotation and interface passivation by high pressure anneals," *2016 IEEE Int. Reliab. Phys. Symp. (IRPS)*, Pasadena, CA, USA, 2016, pp. 4B-2-1-4B-2-7, doi: [10.1109/IRPS.2016.7574533](https://doi.org/10.1109/IRPS.2016.7574533).
- [9]. C. Diouf, A. Cros, P. Morin, S. Renard, X. Federspiel, M. Rafik, A. Bianchi, J. Rosa, and G. Ghibaudo, "On the understanding of the effects of high pressure deuterium and hydrogen final anneal," *2012 13th Int. Conf. Ultimate Integration on Silicon (ULIS)*, Grenoble, France, 2012, pp. 9-12, doi: [10.1109/ULIS.2012.6193344](https://doi.org/10.1109/ULIS.2012.6193344).

- [10]. M. Chang, M. Jo, H. Park, H. Hwang, B. H. Lee and R. Choi, "Effect of F₂ Postmetallization Annealing on the Electrical and Reliability Characteristics of HfSiO Gate Dielectric," *IEEE Electron Device Lett.*, vol. 28, no. 1, pp. 21-23, Jan. 2007, doi: [10.1109/LED.2006.887941](https://doi.org/10.1109/LED.2006.887941).
- [11]. H. Bohuslavskyi A. G. M. Jansen, S. Barraud, V. Barral, M. Cassé, and L. Le Guevel, "Cryogenic Subthreshold Swing Saturation in FD-SOI MOSFETs Described With Band Broadening," *IEEE Electron Device Lett.*, vol. 40, no. 5, pp. 784-787, May 2019, doi: [10.1109/LED.2019.2903111](https://doi.org/10.1109/LED.2019.2903111).
- [12]. A. Beckers, F. Jazaeri and C. Enz, "Theoretical Limit of Low Temperature Subthreshold Swing in Field-Effect Transistors," *IEEE Electron Device Lett.*, vol. 41, no. 2, pp. 276-279, Feb. 2020, doi: [10.1109/LED.2019.2963379](https://doi.org/10.1109/LED.2019.2963379).
- [13]. A. Beckers, F. Jazaeri and C. Enz, "Inflection Phenomenon in Cryogenic MOSFET Behavior," *IEEE Trans. Electron Devices*, vol. 67, no. 3, pp. 1357-1360, March 2020, doi: [10.1109/TED.2020.2965475](https://doi.org/10.1109/TED.2020.2965475).
- [14]. M. S. Kang, K. Toprasertpong, M. Takenaka, H. Oka, T. Mori, and S Takagi, "Verification of influence of tail states and interface states on sub-threshold swing of Si n-channel MOSFETs over a temperature range of 4–300 K." *Jpn. J. Appl. Phys.*, vol. 61, no. SC, pp. SC1032-1-6, Feb. 2022, doi: [10.35848/1347-4065/ac4444](https://doi.org/10.35848/1347-4065/ac4444).
- [15]. M. S. Kang, K. Sumita, H. Oka, T. Mori, K. Toprasertpong, M. Takenaka, and S. Takgai, "Influence of substrate impurity concentration on sub-threshold swing of Si n-channel MOSFETs at cryogenic temperatures down to 4 K." *Jpn. J. Appl. Phys.*, vol. 62, no. SC, pp. SC1062-1-9, Feb. 2023, doi: [10.35848/1347-4065/acb362](https://doi.org/10.35848/1347-4065/acb362).
- [16]. M. S. Kang, K. Toprasertpong, H. Oka, T. Mori, M. Takenaka, and S. Takagi, "Characterization and quantitative understanding of subthreshold swing of Si metal-oxide-semiconductor field effect transistors at cryogenic temperatures," *J. Appl. Phys.* vol. 21, no. 19, pp. 195702-1-12, Nov. 2024, doi: [10.1063/5.0233899](https://doi.org/10.1063/5.0233899).
- [17]. E. Catapano, M. Cassé and G. Ghibaudo, "Cryogenic MOSFET Subthreshold Current: From Resistive Networks to Percolation Transport in 1-D Systems," *IEEE Trans. Electron Devices*, vol. 70, no. 8, pp. 4049-4054, Aug. 2023, doi: [10.1109/TED.2023.3283941](https://doi.org/10.1109/TED.2023.3283941).
- [18]. T. -Y. Yang, A. Ruffino, J. Michniewicz, Y. Peng, E. Charbon and M. F. Gonzalez-Zalba, "Quantum Transport in 40-nm MOSFETs at Deep-Cryogenic Temperatures," *IEEE Electron Device Lett.*, vol. 41, no. 7, pp. 981-984, July 2020, doi: [10.1109/LED.2020.2995645](https://doi.org/10.1109/LED.2020.2995645).
- [19]. A. Kamgar, "Subthreshold behavior of silicon MOSFETs at 4.2 K," *Solid-State Electron.*, vol. 25, no. 7, pp. 537-539, Jul. 1982. doi: [doi.org/10.1016/0038-1101\(82\)90052-1](https://doi.org/10.1016/0038-1101(82)90052-1).
- [20]. F. Stern, "Self-Consistent Results for *n*-Type Si Inversion Layers," *Phys. Rev. B*, vol 5, no. 12, pp. 4891-4899, Jun. 1979, doi: [10.1103/PhysRevB.5.4891](https://doi.org/10.1103/PhysRevB.5.4891).

- [21]. D. K. Schroder, "Series Resistance, Channel Length and Width, and Threshold Voltage," in *Semiconductor Material and Device Characterization*, 3rd ed., Hoboken, NJ, USA: Wiley, 2006, ch. 4, sec. 6, pp. 222–223.
- [22]. A. Beckers, F. Jazaeri, A. Grill, S. Narasimhamoorthy, B. Parvais and C. Enz, "Physical Model of Low-Temperature to Cryogenic Threshold Voltage in MOSFETs," in *IEEE J. Electron Devices Soc.*, vol. 8, pp. 780-788, 2020, doi: [10.1109/JEDS.2020.2989629](https://doi.org/10.1109/JEDS.2020.2989629)
- [23]. S. K. Tewksbury, M. R. Biazzo, T. R. Harrison, T. L. Lindstrom, D. M. Tennant, and F. G. Storz, "Static and nonequilibrium transient conductance at strong carrier freeze - out in a buried channel, metal - oxide - semiconductor transistor," *J. Appl. Phys.* vol. 56, no. 2, pp. 511-516, Jul. 1984, doi: [10.1063/1.333939](https://doi.org/10.1063/1.333939).
- [24]. S. K. Tewksbury, M. R. Biazzo, T. L. Lindstrom, and D. M. Tennant, "Depletion layer formation rate at $T < 30^{\circ}\text{K}$ in buried channel, metal - oxide - semiconductor transistors," *J. Appl. Phys.* vol. 56, no. 2, pp. 517-521, Jul. 1984, doi: [10.1063/1.333940](https://doi.org/10.1063/1.333940).
- [25]. Y. Taur and T. H Ning, *Fundamental of Modern VLSI Devices* (Cambridge University Press, 290 Cambridge, 2009). 2nd ed., p. 91.
- [26]. S. Takagi, A. Toriumi, M. Iwase and H. Tango, "On the universality of inversion layer mobility in Si MOSFET's: Part I-effects of substrate impurity concentration," *IEEE Trans. Electron Devices*, vol. 41, no. 12, pp. 2357-2362, Dec. 1994, doi: [10.1109/16.337449](https://doi.org/10.1109/16.337449).
- [27]. H. Oka, T. Inaba, S. Iizuka, H. Asai, K. Kato, and T. Mori, "Effect of Conduction Band Edge States on Coulomb-Limiting Electron Mobility in Cryogenic MOSFET Operation," *2022 IEEE Symp. VLSI Technol. and Circ.*, Honolulu, HI, USA, 2022, pp. 334–335.
- [28]. K. Sumita, M. -S. Kang, K. Toprasertpong, M. Takenaka and S. Takagi, "Formulation of Ground States for 2DEG at Rough Surfaces and Application to Nonlinear Model of Surface Roughness Scattering in nMOSFETs," *IEEE J. Electron Devices Soc.*, vol. 11, pp. 216-229, 2023, doi: [10.1109/JEDS.2023.3264814](https://doi.org/10.1109/JEDS.2023.3264814).

第6章 まとめと今後の展望

本研究では MOSFET 極低温特性を変化させるホットキャリア注入について実験的にその機構の調査、対策案の検討を行った。

第3章では、極低温下でのホットキャリア注入によってしきい値電圧の増大などの特性劣化が増大することを実験的に確認した。この特性劣化は極低温下での測定で顕在化することを示し、バンド端準位の影響である可能性を示唆した。ホットキャリア注入は従来知られていた深い準位に加え、バンド端準位も同時に生成することが示された。本結果は、ホットキャリア注入はバンド端準位を生成するという新たな知見を与えるものであり、極低温動作 MOSFET の特性劣化のモデリングに寄与し、クライオ CMOS 回路の正確な特性予測につながるものと考えられる。

第4章では、重水素アニールの効果について実験的調査を行った。重水素アニールは電流電圧特性の向上効果は見られなかったものの、極低温下でのホットキャリア劣化を低減することを実験的に示した。第3章で明らかになった、ホットキャリア注入によりダングリングボンドが発生することと、重水素終端の効果とを踏まえ、バンド端準位の起源が界面のディスオーダーであると考え、ダングリングボンドと界面ディスオーダーは不可分なものであり、ホットキャリア注入により二つの準位が同時に発生することが合理的に示された。加えてバンド端準位の起源として従来別々に考えられてきたディスオーダーとダングリングボンドは、本仮説に基づくことが示唆される。本結果は重水素アニールがクライオ CMOS 回路の特性劣化の抑制に効果的であることとともに、バンド端準位の起源が界面ディスオーダーであることを実験的に示すものであり、極低温動作 MOSFET の特性劣化のモデリングに寄与する。また同時に、バンド端準位の抑制には MOS 界面の改善が効果的であることを示し、クライオ CMOS 回路製造プロセスに知見を与えるものである。

第5章では、この結果を踏まえ、MOS 界面の欠陥準位密度低減方法によってバンド端準位密度が低減するという仮説を提案し、実験的に検証した。追加高圧水素アニールによって極低温下での電流電圧特性の改善が確認され、SS のモデルを用いた定量的な解析から、これがバンド端準位の密度低減によるものと示唆された。またしきい値電圧、実効移動度からもバンド端準位の密度低減を示す実験的証拠を示した。ただし、極低温下でのホットキャリア耐性は悪化することが、我々の実験からは示された。

本研究は、極低温下でのホットキャリア効果はバンド端準位の密度増大であることを示し、近年その MOSFET の極低温動作における影響が明らかにされつつあるバンド端準位について、その性質について新たな知見を与えながら、ホットキャリア効果の理解と低減、またバンド端準位の密度低減による特性改善を目的とした界面欠陥準位低減方法を導入することを提案し、バンド端準位の密度低減を実験的に示した。得られたバンド端準位の理解は、詳細なデバイスモデルの構築に寄与するものと考えられる。バンド端準位密度の低減に、界面の特性の改善が効果的であるとの実験的検証は、極低温動作 MOS 型素子のバンド端準位密度低減による特性改善に指針を与え、高性能なクライオ CMOS 回路の製造に寄与するものと考えられる。

本研究で検討したプロセスの効果をまとめると、重水素アニールは、電流電圧特性は改善しないものの、ホットキャリア耐性を向上させる。また高圧重水素アニールは電流電圧

特性を改善するが、ホットキャリア耐性は悪化させてしまう。プロセスの効果を以下に示す。

表 6.1 各プロセスの極低温特性への寄与

	電流電圧特性	ホットキャリア耐性
重水素アニール	×	○
高圧水素アニール	○	×

これらから、電流電圧特性とホットキャリア耐性を合わせて向上させるプロセスのひとつとして、高圧重水素アニールが示唆される。

本研究で示した結果を、量子コンピュータ向けクライオ CMOS 技術に適用するためにはさらなる研究・検討が必要と考えられる。第3、4章では、極低温下でのホットキャリア劣化は、ダングリングボンドのような欠陥の増加を起因としてバンド端準位の増大が生じる仮説を示したが、これを裏付けるためにはさらなる研究が必要である。分子動力学や第一原理に基づいた理論計算が物理的描像の理解に有効かもしれない。また、こうして得られた物理モデルに基づいて、詳細な劣化のモデリングを行う必要がある。正確な劣化のモデリングは、クライオ CMOS 回路の設計マージン設定や、寿命の予測につながる。デバイス寿命の予測は、クライオ CMOS 回路を構成するトランジスタの構造・寸法・プロセスに固有であり、個別に検討する必要はあるが、本研究で明らかにした劣化のメカニズムは普遍的なものであり、上記のモデリングに有用であると考えられる。クライオ CMOS 技術に向けた本結果の次なるステップは、バンド端準位を取り込んだ特性劣化のモデリングである。例えば、現行の SPICE モデルでは、水素の反応・拡散を考えた Reaction-Diffusion (RD) モデルでホットキャリア劣化の再現が可能である。バンド端準位の増大による劣化についても、物理モデルに基づいて定式化され、有効性が示されることが必要である。また第5章では、高圧水素アニールが極低温の電流電圧特性の改善に有用であることを示した。得られた結果で重要なことは、MOS 界面の終端プロセスがバンド端準位の密度を低減し、特性を改善することである。本結果は MOS 界面が極低温特性に影響し、その改善が特性改善に効果的であることを示し、クライオ CMOS 回路特有のプロセス開発に指針を与えるものと考えられる。本研究で検討した高圧水素アニールは、電流電圧特性は改善したものの、ホットキャリア耐性は悪化させた。この原因については不明であり、今後の検討事項である。電流電圧特性とホットキャリア耐性を合わせて改善させる方法のひとつとして高圧重水素アニールを挙げた。本研究では追及できなかったが、高圧重水素アニールをはじめとして、フッ素終端や、酸化膜の形成それ自体の改善などのプロセスも実施し、クライオ CMOS 回路に適したプロセスを探索する必要がある。これらの過程を経て、ロバストなクライオ CMOS 回路の実現に寄与し、ひいては量子コンピュータの社会実装に寄与する。

謝辞

本研究は、私が慶應義塾大学大学院理工学研究科基礎理工学専攻物理情報専修後期博士課程在学中に、同大学理工学部の場正憲教授のご指導のもとで行われました。的場先生には、この研究に携わる機会を与えていただきました。半ば自暴自棄になっていた私に、外部研究機関での研究活動の存在を示し、ご提案していただきました。心より感謝申し上げます。

国立研究開発法人産業技術総合研究所先端半導体研究センター新原理シリコンデバイス研究チームの森貴洋博士には、リサーチアシスタントとして受け入れていただき、研究内容について数多くのご指導をいただきました。心より感謝申し上げます。

慶應義塾大学理工学部の神原陽一教授、田中貴久准教授に副査をお引き受けいただき、大変感謝しております。貴重なご指摘をいただきました。ありがとうございます。

国立研究開発法人産業技術総合研究所先端半導体研究センター新原理シリコンデバイス研究チームのみなさまには、デバイス作製から特性評価、出張などの多岐にわたり大変お世話になりました。岡博史博士には MOS デバイスの基礎から測定までご指導いただき大変お世話になりました。また、SISC までご同行いただき、誠にありがとうございます。長旅で大変でしたが、ロスの空港で一緒に飲んだビールの味は忘れられません。今後はどうなるかはわかりませんが、どこかでお会いした際はまたお誘いいただけますと幸いです。加藤公彦博士にはデバイス作製、MOS デバイスの基礎について夜遅くまで大変お世話になりました。また、主にアメリカで展開するメキシコ料理チェーンの Chipotle Mexican Grill の存在をご教示いただきありがとうございます。メリーランドで3回、サンフランシスコで2回行きました。稲葉工博士には低温測定の心構えを教わりました。厚アルミホイルを幾重にも重ねることで、測定ノイズが低減したこと驚きました。ご教示ありがとうございます。飯塚将太博士には理論面での議論など大変お世話になりました。飯塚さんのご子息の成長のお話を伺うたびに、私も元気をいただきました。研究の合間にそのようなお話を聞けることが、よい気分転換となり大変励みになりました。浅井栄大博士には TCAD の基礎や理論的な面でご指導をいただきました。厚く御礼申し上げます。千足勇介博士には年も近いこともあり仲良くしていただきました。ありがとうございました。また焼肉でも行きましょう。中山隆史博士には理論面の議論や、教育経験を活かしたご指導など大変お世話になりました。厚く御礼申し上げます。小池汎平博士には量子コンピュータのアーキテクチャについての勉強会などでお世話になりました。また近場の美味しいタイ料理店を教えてくださいありがとうございます。柳永助博士には、COLOMODE の条件出しにおいて一緒にし、貴重なご助言をいただきました。おかげでこの研究を行うことができました。ありがとうございます。伊藤直美さんには事務的な手続きで大変お世話になりました。書類を出すのが遅れがちで申し訳ございませんでした。この場を借りてお詫び申し上げます。小林唯華さんには研究活動を通じてお世話になりました。新天地でのご活躍を祈念しております。また同センター集積回路設計研究チームの更田裕司博士には、クライオ CMOS 回路について有益なご示唆をいただきました。厚く御礼申し上げます。

未踏デバイス試作共用ライン（COLOMODE：コロモデ）スタッフの村上重則さん、射場義久博士、石川由紀さん、那海濤さん、粕川崇史さんにはデバイス試作においてお世話になりました。この場を借りて感謝申し上げます。

低温測定では、小倉実さん、由井斉さん、永野聖子さんに大変お世話になりました。この場を借りて感謝申し上げます。

また、お隣の研究チームの服部淳一博士、神岡武文博士、川那子高暢博士をはじめ、先端半導体研究センターの皆様には非常に良くしていただきありがとうございました。皆様のビヨンド 2nm における、ますますのご活躍を心よりお祈りしております。

最後に、これまでの長い学生生活を支えてくれた家族に感謝します。

研究業績リスト

本研究に関する論文

1. S. Shitakata, H. Oka, T. Inaba, S. Iizuka, H. Asai, K. Kato, and T. Mori, “High-pressure hydrogen annealing improving the cryogenic operation of Si (110)-oriented n-MOSFETs,” *Japanese Journal of Applied Physics*, vol. 63, no. 7, pp. 071002-1–8, Jul. 2024, doi: [10.35848/1347-4065/ad5aca](https://doi.org/10.35848/1347-4065/ad5aca).
2. S. Shitakata, H. Oka, K. Kato, T. Inaba, S. Iizuka, H. Asai, and T. Mori, “Hot Carrier Degradation in Si n-MOSFETs at Cryogenic Temperatures,” *IEEE Journal of the Electron Devices Society*, accepted, doi: [10.1109/JEDS.2025.3550268](https://doi.org/10.1109/JEDS.2025.3550268).

その他の論文（共著）

1. H. Oka, T. Inaba, S. Shitakata, K. Kato, S. Iizuka, H. Fuketa, and T. Mori, Origin of Low-Frequency Noise in Si n-MOSFET at Cryogenic Temperatures: The Effect of Interface Quality,” *IEEE Access*, vol. 11, pp. 121567–121573, Oct. 2023, doi: [10.1109/ACCESS.2023.3327731](https://doi.org/10.1109/ACCESS.2023.3327731).
2. T. Inaba, H. Oka, H. Asai, H. Fuketa, S. Iizuka, K. Kato, S. Shitakata, K. Fukuda, and T. Mori, “Temperature Dependent Variations of Low-Frequency Noise Sources in Cryogenic Short-Channel Bulk MOSFETs,” *IEEE Access*, vol. 12, pp. 12458–12464, Jan. 2024, doi: [10.1109/ACCESS.2024.3355588](https://doi.org/10.1109/ACCESS.2024.3355588).
3. T. Inaba, Y. Chiashi, M. Ogura, H. Asai, H. Fuketa, H. Oka, S. Iizuka, K. Kato, S. Shitakata, and T. Mori, “Neural-network-based transfer learning for predicting cryo-CMOS characteristics from small datasets,” *Applied Physics Express*, vol. 17, no. 7, pp. 074002-1–5, Jul. 2024, doi: [10.35848/1882-0786/ad63f1](https://doi.org/10.35848/1882-0786/ad63f1).
4. T. Inaba, Y. Chiashi, H. Oka, M. Ogura, H. Asai, S. Iizuka, K. Kato, S. Shitakata, H. Fuketa, and T. Mori, “Neural-network-based prediction of cryogenic BSIM4 model parameters from small datasets,” *Japanese Journal of Applied Physics*, vol. 63, no. 12, pp. 12SP19-1–10, Dec. 2024, doi: [10.35848/1347-4065/ad9c83](https://doi.org/10.35848/1347-4065/ad9c83).
5. H. Asai, S. Iizuka, J. Hattori, K. Fukuda, T. Ikegami, H. Oka, T. Inaba, S. Shitakata, K. Kato, T. Nakayama, and T. Mori, “Effect of Interface Trap Charge on Coulomb Oscillation in MOS-type Quantum Dots,” *Japanese Journal of Applied Physics*, vol. 64, no. 2, pp. 02AP10-1–5, Feb. 2025, doi: [10.35848/1347-4065/adabee](https://doi.org/10.35848/1347-4065/adabee).

国際学会（登壇）

1. S. Shitakata, H. Oka, T. Inaba, S. Iizuka, K. Kato, and T. Mori, “Additional High-Pressure Hydrogen Annealing Improving the Cryogenic Operation of Si (110)-oriented n-MOSFETs,” *2023 Asia-Pacific Workshop on Advanced Semiconductor Devices*, Yokohama, Japan, Jul. 2023.
2. S. Shitakata, H. Oka, T. Inaba, S. Iizuka, K. Kato, and T. Mori, “Additional High-Pressure Hydrogen Annealing Reducing Low-Frequency Noise in Cryogenic MOS Devices,” *Silicon Quantum Electronics Workshop 2023*, Kyoto, Japan, Oct. 2023.
3. S. Shitakata, H. Oka, K. Kato, T. Inaba, S. Iizuka, H. Asai, and T. Mori, “Occurrence and Mitigation of Hot Carrier Degradation in Cryogenic MOSFET Operation,” *2024 Device Research Conference*, College Park, MD, USA, Jun. 2024.
4. S. Shitakata, H. Oka, K. Kato, T. Inaba, S. Iizuka, H. Asai, and T. Mori, “Generation of the Interface-Originated Band-Edge States by Hot Carrier Degradation Increasing Threshold Voltage at Cryogenic Temperatures,” *55th IEEE Semiconductor Interface Specialists Conference*, San Diego, CA, USA, Dec. 2024.

国際学会（連名）

1. T. Inaba, H. Oka, H. Asai, H. Fuketa, S. Iizuka, K. Kato, S. Shitakata, K. Fukuda, and T. Mori, “Determining the low-frequency noise source in cryogenic operation of short-channel bulk MOSFETs,” *2023 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)*, Kyoto, Japan, Jun. 2023.
2. H. Oka, S. Shitakata, T. Inaba, H. Fuketa, S. Iizuka, K. Kato, H. Asai, and T. Mori, “Understanding the Physical Origin Limiting the Performance of Cryogenic MOSFETs: Critical Role of MOS Interface,” *Silicon Quantum Electronics Workshop 2023*, Kyoto, Japan, Oct. 2023.
3. H. Oka, H. Asai, T. Inaba, S. Shitakata, H. Yui, H. Fuketa, S. Iizuka, K. Kato, T. Nakayama, and T. Mori, “Milli-Kelvin Analysis Revealing the Role of Band-edge States in Cryogenic MOSFETs,” *2023 International Electron Devices Meeting (IEDM)*, San Francisco, CA, USA, Dec. 2023.
4. H. Oka, H. Asai, T. Inaba, S. Shitakata, H. Yui, H. Fuketa, S. Iizuka, K. Kato, T. Nakayama, and T. Mori, “Milli-Kelvin Analysis Revealing the Role of Band-edge States in Cryogenic MOSFETs,” *16th IEEE International Workshop on Low Temperature Electronics*, Cagliari, Italia, Jun. 2023.
5. H. Asai, S. Iizuka, J. Hattori, K. Fukuda, T. Ikegami, H. Oka, T. Inaba, S. Shitakata, K. Kato, T. Nakayama, and T. Mori, “Effect of Interface Trap Charge on Coulomb

Oscillation in MOS-type Quantum Dots,” *2024 International Conference on Solid-State Devices and Materials*, Himeji, Japan, Sep. 2024.

6. T. Inaba, Y. Chiashi, H. Oka, M. Ogura, H. Asai, S. Iizuka, K. Kato, S. Shitakata, H. Fuketa, and T. Mori, “Neural Network Prediction of Cryogenic BSIM4 Model Parameters Utilizing a Small Experimental Data Set,” *2024 International Conference on Solid-State Devices and Materials*, Himeji, Japan, Sep. 2024.
7. H. Oka, H. Asai, T. Inaba, S. Shitakata, H. Yui, H. Fuketa, S. Iizuka, K. Kato, T. Nakayama, and T. Mori, “Milli-Kelvin Analysis Revealing the Role of Band-edge States in Cryogenic MOSFETs,” *2024 International Conference on Solid-State Devices and Materials*, Himeji, Japan, Sep. 2024.
8. H. Oka, H. Asai, K. Kato, T. Inaba, S. Shitakata, S. Iizuka, Y. Chiashi, Y. Kobayashi, H. Yui, S. Nagano, Y. Iba, M. Ogura, T. Nakayama, H. Koike, H. Fuketa, S. Moriyama, and T. Mori, “Origin of Long-period Electrical Instability in Silicon Fin-type Quantum Dots,” *2024 International Electron Devices Meeting (IEDM)*, San Francisco, CA, USA, Dec. 2024.
9. Y. Kobayashi, H. Asai, S. Iizuka, J. Hattori, K. Fukuda, T. Ikegami, H. Oka, T. Inaba, S. Shitakata, K. Kato, T. Nakayama, T. Nikuni, and T. Mori, “Exploring the effect of band-edge states at the MOS interface on quantum devices: A simulation study using transistor’s subthreshold swing as the trigger,” *American Physical Society Global Physics Summit 2025*, Anaheim, CA, USA, Mar. 2025.

国内学会（登壇）

1. 下方駿佑、岡博史、稲葉工、飯塚将太、加藤公彦、森貴洋、「高圧水素アニールによる Si (110)面 n-MOSFET の極低温特性改善」、電子情報通信学会シリコン材料・デバイス研究会 8 月研究会、北海道大学、2023 年 8 月
2. 下方駿佑、岡博史、稲葉工、飯塚将太、加藤公彦、森貴洋、「追加高圧水素アニールによる(110)面 Si n-MOSFET の極低温特性改善」、第 84 回応用物理学会秋季学術講演会、熊本城ホール、2023 年 9 月
3. 下方駿佑、岡博史、加藤公彦、稲葉工、飯塚将太、浅井栄大、森貴洋、「極低温下ホットキャリア注入によるしきい値電圧異常増大の理解」、電子情報通信学会シリコン材料・デバイス研究会、北海道大学、2024 年 8 月
4. 下方駿佑、岡博史、加藤公彦、稲葉工、飯塚将太、浅井栄大、森貴洋、「極低温下でのホットキャリア注入に起因した巨大なしきい値電圧変動の理解」、第 85 回応用物理学会秋季学術講演会、朱鷺メッセ、2024 年 9 月

国内学会（連名）

1. 稲葉工、岡博史、浅井栄大、更田裕司、飯塚将太、加藤公彦、下方駿佑、福田浩一、森貴洋、「短チャネルバルク MOSFETs の極低温動作時に発生する低周波ノイズ源の起源」、電子情報通信学会シリコン材料・デバイス研究会 8 月研究会、北海道大学、2023 年 8 月
2. 稲葉工、岡博史、浅井栄大、更田裕司、飯塚将太、加藤公彦、下方駿佑、福田浩一、森貴洋、「短チャネル MOSFETs の極低温動作時に発生する低周波ノイズ源の同定」、応用物理学会シリコンテクノロジー分科会 第 245 回研究集会、金沢工業大学虎ノ門キャンパス、2023 年 8 月
3. 稲葉工、岡博史、浅井栄大、更田裕司、飯塚将太、加藤公彦、下方駿佑、福田浩一、森貴洋、「短チャネルバルク MOSFETs においてランダムテレグラフを引き起こすエネルギー準位の温度依存性」、第 84 回応用物理学会秋季学術講演会、熊本城ホール、2023 年 9 月
4. 稲葉工、岡博史、浅井栄大、更田裕司、飯塚将太、加藤公彦、下方駿佑、福田浩一、森貴洋、「極低温における MOSFET のノイズ源」、電子情報通信学会シリコン材料・デバイス研究会 11 月研究会、機械振興会館、2023 年 11 月
5. 岡博史、浅井栄大、稲葉工、下方駿佑、由井斉、更田裕司、飯塚将太、加藤公彦、中山隆史、森貴洋、「mK 評価が明らかにする MOSFET 極低温動作におけるバンド端準位の役割」、応用物理学会シリコンテクノロジー分科会 第 247 回研究集会、金沢工業大学虎ノ門キャンパス、2024 年 1 月
6. 稲葉工、千足勇介、小倉実、浅井栄大、更田裕司、岡博史、飯塚将太、加藤公彦、下方駿佑、森貴洋、「転移学習を活用した Cryo-CMOS 特性予想の可能性検討」第 71 回 応用物理学会秋季学術講演会、東京都市大学、2024 年 3 月
7. 浅井栄大、岡博史、稲葉工、下方駿佑、由井斉、更田裕司、飯塚将太、加藤公彦、中山隆史、森貴洋、「MOSFET のミリケルビン温度帯サブスレッショルド特性の理論検討」第 71 回応用物理学会秋季学術講演会、東京都市大学、2024 年 3 月
8. 岡博史、浅井栄大、稲葉工、下方駿佑、由井斉、更田裕司、飯塚将太、加藤公彦、中山隆史、森貴洋、「ミリケルビン温度での特性評価に基づくクライオ CMOS 動作の理解」、電子情報通信学会シリコン材料・デバイス研究会 11 月研究会、機械振興会館、2024 年 11 月
9. 稲葉工、千足勇介、小倉実、浅井栄大、更田裕司、岡博史、飯塚将太、加藤公彦、下方駿佑、森貴洋、「ニューラルネットワークモデルを活用した極低温デバイスモデリングの省力化」、電子情報通信学会シリコン材料・デバイス研究会 11 月研究会、機械振興会館、2024 年 11 月

10. 小林唯華、浅井栄大、飯塚将太、服部淳一、福田浩一、池上努、岡博史、稲葉工、下方駿佑、加藤公彦、中山隆史、二国徹郎、森貴洋、「MOSFET 極低温動作におけるバンド端準位の影響：mK 帯 SS 温度依存性の定量的理論検討」、第 30 回電子デバイス界面テクノロジー研究会、静岡県総合コンベンション施設プラサヴェルデ、2025 年 1 月
11. 岡博史、浅井栄大、加藤公彦、稲葉工、下方駿佑、飯塚将太、千足勇介、小林唯華、射場義久、小倉実、中山隆史、小池帆平、更田裕司、森山悟士、森貴洋、「シリコン Fin 型量子ドットにおける長周期動作不安定性の起源」、応用物理学会シリコンテクノロジー分科会 第 254 回研究集会、金沢工業大学虎ノ門キャンパス、2025 年 1 月
12. 岡博史、稲葉工、下方駿佑、加藤公彦、飯塚将太、浅井栄大、更田裕司、森貴洋、「[第 16 回シリコンテクノロジー分科会論文賞受賞記念講演] 極低温動作 Si n-MOSFET における低周波ノイズの起源：絶縁膜界面の影響」、第 72 回応用物理学会春季学術講演会、東京理科大学野田キャンパス、2025 年 3 月
13. 稲葉工、千足勇介、岡博史、小倉実、浅井栄大、更田裕司、飯塚将太、加藤公彦、下方駿佑、森貴洋、「生成 AI を活用したクライオ CMOS 用 モデルパラメータ抽出省力化の可能性検討」、第 72 回応用物理学会春季学術講演会、東京理科大学野田キャンパス、2025 年 3 月