

Cryogenic CMOS Low-Power and High-Speed Successive Approximation Register ADC for Scalable Quantum Computer

December 2024

Chia-Wei Pai

主 論 文 要 旨

No.1

報告番号	甲	第	号	氏 名	白 家 維
主 論 文 題 名 :					
Cryogenic CMOS Low-Power and High-Speed Successive Approximation Register ADC for Scalable Quantum Computer					
(スケーラブル量子コンピューター向けの極低温動作 CMOS 低電力高速逐次比較型 ADC)					
(内容の要旨)					
量子コンピューター (QCs) は複雑な問題を解決する可能性を持っている. 誤り耐性汎用型量子コンピューター (FTQCs) を実現するためには, 量子ビットのエラー率を十分に低く抑える必要があるため, 数千から数十万以上の量子ビットが必要となる. これに伴い, 極低温 (数 mK) で動作する量子プロセッサとインターフェースするケーブルの数が増加し, 量子ビット数の増加に制限が生じる. ケーブル数を減らすために, 極低温に配置される読み取り回路は, 冷却能力の制約から超低消費電力 (1 量子ビットあたり数 mW) で動作し, 量子ビットのコヒーレンス時間の制約から検出した信号を高速 (数十 MS/s ~ 数 GS/s) にデジタル変換する A/D 変換器 (ADC) が必要となる. 本研究では, 極低温で動作する CMOS 超低消費電力かつ超高速の SAR ADC の実現に向けて方式の検討と設計を行った. 第 1 章では, 本研究の背景である量子コンピューターの進展, および量子ビットの制御と読み取り回路について概説した. 第 2 章では, 極低温 CMOS デバイスの特性について述べた. ADC アーキテクチャーを概説した後, ダイナミックコンパレータの性能について述べ, 特に消費電力と遅延時間の関係を議論した. その後, 極低温環境における SAR ADC のスイッチング方式の課題について述べた. 第 3 章では, 高速かつ低消費電力 2 段ダイナミックコンパレータを提案した. プリアンプはダイナミックバイアス技術を用いて消費電力を節約し, StrongARM ラッチを挿入することにより出力電圧差を増加させた. ラッチは入力ペアにより貫通電流が抑制された. また, 補助入力ペアを用いて利得をさらに増加させ, ラッチの速度を向上させた. 設計したコンパレータは, 遅延時間が最大 41%改善され, 消費電力が最大 57%削減された. 新たに導出した遅延解析モデルにより回路設計に対する深い理解と優れた直観的な設計指針が与えられた. 第 4 章では, ゲインブースティングダイナミック容量型プリアンプ (DCA) ベースのコンパレータを提案した. ゲインブースティング DCA は, リザーバキャパシタを電圧源として用いて独立電圧ドメインを形成し, コモンモード変動に対する耐性とダイナミックバイアスを実現した. この耐性により性能劣化が緩和され, ダイナミックバイアスにより消費電力が低減された. また, クロスカプリングペアを用いてゲインがブーストされている. ドレイン-ソース電圧の初期値を大きくすることでフルスケールの入力動作範囲を実現した. 第 5 章では, エネルギー効率の高いコモンモード電圧変動抑制 (CMVS) スwitching 方式を提案し, 10-bit, 60MS/s の SAR ADC を設計した. CMVS スwitching 方式は, 従来方式と比較してエネルギー消費を 92 %削減し, コモンモード電圧変動を V_{DD} に対して 16.6% 以下に抑えることを達成した. これにより, SAR ADC の精度が向上し, コンパレータを常に最高性能領域で動作させることが可能となった. 設計した SAR ADC は, 4 K で 14.15 fJ/conversion-step の規格化性能を達成した. 第 6 章では, 各章で得られた内容をまとめ, 将来の研究の展望を示した.					

Thesis Abstract

No. _____

Registration Number	☒ “KOU” ☐ “OTSU” No. _____ *Office use only	Name	PAI, Chia-Wei
Thesis Title Cryogenic CMOS Low-Power and High-Speed Successive Approximation Register ADC for Scalable Quantum Computer			
Thesis Summary Quantum computers (QCs) possess the potential to solve complex problems. Fault-tolerant QCs (FTQCs) manipulate more than several thousand quantum bits (qubits) since a sufficiently low error rate of qubits is necessary to achieve general-purpose application. The number of cables that interface with a quantum processor operating at cryogenic temperatures (several mK) thus increases and causes limitations for increasing qubits. Because of the limited coherence time of qubit and the limited cooling capacity, the read-out circuit, placed at cryogenic temperatures for reducing the number of cables, requires a low-power (several mW) and high-speed (several tens MS/s ~ several GS/s) ADC. This research designs a CMOS low-power and high-speed SAR ADC that operates at cryogenic temperatures. Chapter 1 describes the progress and the control & read-out circuits of QCs. Chapter 2 describes cryogenic CMOS's characteristics. Following the review of the architecture of ADC, dynamic comparators are discussed to improve performance, primarily regarding the relationship between power consumption and delay time. The issues of the switching scheme of SAR ADC at cryogenic temperatures are also addressed. Chapter 3 describes a high-speed and low-power CMOS two-stage dynamic comparator. The pre-amplifier adopts the dynamic bias technique to save power and increase the output voltage difference by inserting a StrongARM latch. An input pair of the latch suppresses the through current. Also, an auxiliary input pair further enhances gain to speed up the latch. The delay time is improved to a max of 41%. Also, the power consumption is reduced by a max of 57%. A delay analysis is given, providing a deep understanding and good intuition for circuit design. Chapter 4 describes a gain boosting dynamic capacitive pre-amplifier (DCA) based comparator. The reservoir capacitor powers the DCA and forms an isolated voltage domain during comparison. It achieves the common-mode variation insensitivity, which alleviates performance degradation, and the dynamic bias, which saves power consumption. The DCA utilizes a cross-coupled pair for gain boosting. The larger initial drain-source voltage achieves a full-scale input range operation. Chapter 5 describes a 10-bit 60 MS/s SAR ADC with an energy-efficient common-mode variation suppression (CMVS) switching scheme. The CMVS switching scheme reduces energy consumption by 92% compared to the conventional scheme and suppresses the common-mode variation to lower than 16.6% V_{DD}. It improves accuracy and allows the comparator to always operate in the highest-performance region. The FoM is 14.15 fJ/conversion-step at $T = 4$ K. Chapter 6 concludes the thesis and presents future work.			