

Successive-Approximation Based CMOS Process-Scalable Hybrid ADCs

August 2019

YOSHIOKA, Kentaro

報告番号	甲 第 号	氏 名	吉岡 健太郎
主論文題名： Successive-Approximation Based CMOS Process-Scalable Hybrid ADCs (CMOS プロセススケーラブルな逐次比較型ハイブリッド ADC)			
(内容の要旨)			
<p>CMOS 微細化に伴い無線や有線通信の規格は大幅に進歩した。このような製品の System on Chip (SoC)を実現するにはアナログ回路が必須である。例えば無線通信において Analog-to-Digital Converter(ADC)は受信信号をデジタルに変換するために必要となる。先端 SoC はできるだけデジタル部を低コスト化するために先端 CMOS プロセスで製造されるが、アナログ回路の性能は CMOS 微細化により大きく劣化する。例えばオペアンプの重要性能であるゲインは CMOS 微細化や電源電圧の低減に伴い低下する。一方で通信規格の進歩によりアナログ回路に対する性能要求は増しており、結果として微細プロセスにおける ADC の設計は最もチャレンジングな分野のひとつとなっている。本研究では微細化の恩恵を大きく受けられる逐次比較機構を応用したハイブリッド ADC を探求し、微細化に適した ADC アーキテクチャの提案と設計技術を確立することを目標とした。</p> <p>第 1 章で近年のプロセス微細化の動向とアナログ回路が受ける影響を述べた。また逐次比較機構は従来のアーキテクチャよりも微細化に対する親和性が高く、優れた電力効率が得られることを示した。</p> <p>第 2 章では逐次比較機構をスイッチトキャパシタ増幅器に応用したデジタルアンプ (DA) 技術を提案した。DA は逐次比較機構を利用するため、微細化に適した特性を持ち消費電力も少ない。従来のオペアンプはトランジスタ性能によって増幅精度が決定されていたが、DA では逐次比較の回数 (ビット数) によって増幅精度が保証される。提案した DA は微細化に向いており、精度からトランジスタのアナログ的性能を切り離す設計を可能にした。DA を用いた Pipelined-SAR ADC を 28nm-CMOS プロセスで設計、試作し、キャリブレーションを用いずに 61.1dB の SNDR および 12.8fJ/conv. の電力効率を実測で確認した。従来の同等の ADC に対し 3 倍の電力効率の改善を達成した。</p> <p>第 3 章では逐次比較とフラッシュ機構を動的に切り替えるダイナミックアーキテクチャ再構成手法を提案した。逐次比較は高効率ながら動作が遅く、フラッシュは高速だが消費電力が大きいという相補的な関係を利用し、動作周波数に応じて逐次比較とフラッシュの使用割合を動的かつ自動的に最適化することで、消費電力の超線形なスケーリングを実現した。同提案を導入したサブレンジ ADC を 65nm-CMOS にて設計、試作し、1.2 ギガサンプル毎秒の高速 ADC においてトップクラスの電力効率を達成した。</p> <p>第 4 章では、第 2 章、第 3 章で提案した AD 変換器のアーキテクチャをさらに高速化させるための手法として、比較器にしきい値可変機能を持たせ、単純な逐次比較よりも高速な多ビット比較を行う ADC について探求した。</p> <p>第 5 章に各章で得られた内容をまとめ、本研究を総括するとともに今後の展望を述べた。</p>			

