

論文審査の要旨および学識確認結果

報告番号	甲 第 号	氏 名	吉岡 健太郎
論文審査担当者：			
	主査	慶應義塾大学教授	博士（工学） 石黒 仁揮
	副査	慶應義塾大学教授	博士（工学） 黒田 忠広
		慶應義塾大学准教授	博士（工学） 中野 誠彦
		東京大学准教授	博士（工学） 飯塚 哲也
<p>(論文審査の要旨)</p> <p>学士（工学）、修士（工学）吉岡健太郎君提出の学位請求論文は「Successive-Approximation Based CMOS Process-Scalable Hybrid ADCs (CMOS プロセススケラブルな逐次比較型ハイブリッドADC)」と題し、5章から構成されている。</p> <p>CMOS 微細化に伴い、無線や有線通信の規格は大幅に進歩している。このような製品の System-on-Chip (SoC) を実現するにはアナログ回路が必須である。例えば無線通信において Analog-to-Digital Converter (ADC) は受信信号をデジタルに変換するために必要となる。先端 SoC はできるだけデジタル部を低コスト化するために先端 CMOS プロセスで製造されるが、アナログ回路におけるゲインなどの性能は CMOS 微細化により大きく劣化する。一方で通信規格の進歩によりアナログ回路に対する性能要求は増しており、結果として微細プロセスにおける ADC の設計は最もチャレンジングな分野のひとつとなっている。本研究は微細化の恩恵を大きく受けられる逐次比較機構を応用したハイブリッドADCを探究し、微細化に適したADCアーキテクチャの提案と設計技術を確立することを目的としている。</p> <p>第1章では、近年のプロセス微細化の動向とアナログ回路が受ける影響について述べている。また、逐次比較機構が従来のアーキテクチャよりも微細化に対する親和性が高く、優れた電力効率が得られることを概説している。</p> <p>第2章では、逐次比較機構をスイッチトキャパシタ増幅器に応用した Digital Amplifier (DA) 技術を提案している。DAは逐次比較機構を利用するため、微細化に適した特性を持ち、消費電力も小さい。従来のオペアンプはトランジスタの真性利得によって増幅精度が決定されていたが、DAでは逐次比較の回数（ビット数）によって増幅精度が保証される。提案したDAは微細化に向いており、回路精度からトランジスタのアナログ的性能を切り離す設計が可能となる。DAを用いたパイプライン・逐次比較ハイブリッド方式ADCを28-nm CMOS プロセスで設計、試作し、キャリブレーションを用いずに61.1 dBの Signal-to-Noise and Distortion Ratio (SNDR)、および12.8 fJ/conv.-stepの電力効率を実測で確認している。既存のADCに対し3倍の電力効率を達成している。</p> <p>第3章では、逐次比較機構とフラッシュ機構を動的に切り替える動的アーキテクチャ再構成手法を提案している。逐次比較は高効率ながら動作が遅く、フラッシュは高速であるが消費電力が大きいという相補的な関係を利用し、動作周波数に応じて逐次比較とフラッシュの使用割合を動的かつ自動的に最適化することで、通常の線形な動作周波数対消費電力の関係を上回る消費電力削減効果を実現している。同提案を導入したサブレンジADCを65-nm CMOSにて設計、試作し、1.2GSample/secの高速ADCにおいて最高性能の電力効率を達成している。</p> <p>第4章では、第2章、第3章で提案したADCのアーキテクチャをさらに高速化させるための手法として、比較器にしきい値可変機能を持たせ、単純な逐次比較よりも高速な多ビット比較を行うADCを提案し、その有効性をテストチップにより実証している。</p> <p>第5章では、各章で得られた内容をまとめ、本研究を総括するとともに今後の展望を述べている。</p> <p>以上要するに、本研究はCMOSプロセスの微細化に適した高速高分解能ADCの新たな設計手法を提案し、その有効性を実証したものであり、集積回路分野において工学上、工業上寄与するところが少なくない。よって、本論文の著者は博士（工学）の学位を受ける資格があるものと認める。</p>			
学識確認結果	<p>学位請求論文を中心にして関連学術について上記審査会委員および総合デザイン工学特別研究第2（電気電子工学専修）科目担当で試問を行い、当該学術に関し広く深い学識を有することを確認した。</p> <p>また、語学（英語）についても十分な学力を有することを確認した。</p>		