

自律型センサーネットワークを実現する  
超低消費電力無線システム

2017年7月

宮原 泰徳

学位論文 博士（工学）

自律型センサーネットワークを実現する  
超低消費電力無線システム

2017年7月

慶應義塾大学大学院理工学研究科

宮原 泰徳

## 本論文の構成と内容

### (内容の要旨)

近年センサーネットワークは、無線技術の応用として広い分野で用いられるようになってきている。特に、家電製品を無線で連携して通信を行うスマートホーム、人体の生体情報をセンシングモニターする無線ネットワーク、ビルディングなど建造物の経年劣化をモニタリングして事前に事故を防止する無線システムなどが、様々な分野で注目を浴びてきている。このセンサーネットワークは、モバイル環境で用いることが多く電源供給の課題がある。近年電池に代わる電源として、無限に利用できるエネルギーハーベスト発電技術が注目されている。エネルギーハーベスト技術として太陽光発電や温度差を利用した半導体による発電技術が製品化されているが、起電力は 300 - 400 mV と非常に低い。一方、従来の無線部の高周波集積回路は 1.8 V の電源電圧で動作し、送信・受信回路ともに消費電流が数十 mA の製品が多く、エネルギーハーベストの電源では動作しない。そこで本研究では、エネルギーハーベストの電源で動作する、超低電圧 (300 - 400 mV) で動作する無線システム及び高周波 CMOS 回路の開発を行い、無線部の低消費電力化により、自律型センサーネットワークとして実現可能な無線システムの実現を目的とする。

第 1 章では、本研究の背景と無線センサーネットワークの課題と従来研究を述べる。

第 2 章では、無線センサーネットワークの高周波回路に用いる MOSFET トランジスタを超低電圧動作させるため、弱反転領域のトランジスタの最適化手法を述べる。

第 3 章では、超低消費電力の無線システムを実現するために、システムで重要な性能を求められる高周波回路の電圧制御発振回路及び高周波 1/2 周波数分周回路の新回路を提案する。LSI の試作及び実験により、電源電圧 280 mV で消費電力 202  $\mu$ W の 2.4 GHz 発振及び電源電圧 300 mV で消費電力 34  $\mu$ W の 2.4 GHz 分周動作を確認する。

第 4 章では、超低電圧で動作する超低消費電力の 2.4 GHz 帯周波数シフトキーイング変調の受信無線システムを提案する。このシステムには、新規に開発したカスコード型のフォールド低雑音増幅器回路やトランス結合器帰還型電圧制御発振回路、疑似パッシブミキサー回路などを用いた Low IF 受信システムを開発した。LSI の試作及び実験により、電源電圧 300 mV で消費電力 1.6 mW 動作時に、受信システムの性能としてビットエラーレート  $10^{-3}$  において受信感度 -95.5 dBm を確認した。

第 5 章では、超低電圧で動作する超低消費電力の 2.4 GHz 帯周波数シフトキーイング変調の閉ループ位相同期型変調送信無線システムを新規に提案する。低消費電力を実現するために、新規に電圧制御発振回路の発振周波数を拡大するトランス結合器型容量バンクの新規回路を開発した。LSI の試作及び実験により、電源電圧 400 mV で消費電力 2.1 mW 動作時に、電圧制御発振回路の周波数可変範囲 450 MHz を実現する。また、周波数シフトキーイング変調スペクトラム信号の出力レベル-6 dBm に於いて、-42 dBc @1.5 MHz の隣接妨害チャネル性能を確認する。

第 6 章では、結論として各章で得られた内容をまとめ、本研究の成果を要約する。



---

# 目次

目次.....	i
図目次.....	v
表目次.....	viii
<b>第 1 章 序論.....</b>	<b>1</b>
1.1 はじめに.....	2
1.2 背景.....	5
1.3 センサーネットワークの通信技術.....	11
1.3.1 携帯電話無線方式.....	11
1.3.2 WiFi 無線方式.....	13
1.3.3 省電力無線方式.....	14
1.4 センサーネットワークの無線システム.....	16
1.4.1 スーパーヘテロダイン無線システム.....	16
1.4.2 ダイレクトコンバージョンシステム.....	17
1.4.3 Low IF 受信システム.....	19
1.4.4 デジタルサンプリング受信システム.....	20
1.4.5 スライディング IF システム.....	22
1.4.6 ポーラー変調送信システム.....	23
1.4.7 All digital 送信システム.....	24
1.5 エネルギーハーベスト技術.....	26
1.5.1 光発電技術.....	27
1.5.2 温度差発電技術.....	28
1.5.3 振動発電技術.....	29
1.5.4 電磁波発電技術.....	30
1.6 本研究の目的.....	32
1.7 本論文の構成.....	39
参考文献（第 1 章）.....	41

<b>第 2 章 センサーネットワーク無線回路の トランジスタの低電圧動作最適化技術 .....</b>	<b>47</b>
2.1 はじめに.....	48
2.2 シミュレーション解析の課題.....	49
2.3 トランジスタサイズとバイアス条件.....	52
2.4 Inversion Coefficient (反転係数).....	57
2.5 おわりに.....	60
参考文献 (第 2 章).....	62
<b>第 3 章 超低電圧高周波コア回路技術 .....</b>	<b>63</b>
3.1 はじめに.....	64
3.2 超低電圧 VCO 回路 .....	66
3.2.1 従来の VCO 回路 .....	66
3.2.2 新規提案の VCO .....	69
3.2.3 トランスの設計.....	72
3.3 超低電圧高周波 1/2 周波数分周器.....	75
3.3.1 従来の高周波 1/2 周波数分周器.....	75
3.3.2 提案の超低電圧高周波 1/2 周波数分周器.....	77
3.4 測定結果.....	80
3.4.1 VCO の測定結果 .....	80
3.4.2 高周波 1/2 周波数分周器の測定結果.....	85
3.6 おわりに.....	89
参考文献 (第 3 章).....	91
<b>第 4 章 超低電圧動作の無線受信システム技術 .....</b>	<b>94</b>
4.1 はじめに.....	95
4.2 アーキテクチャの検討.....	97
4.2.1 従来技術.....	97
4.2.2 新提案の無線受信機のシステム.....	97
4.2.3 オンチップトランス.....	99
4.3 RF フロントエンド回路システム.....	102

4.3.1	Folded Low Noise Amplifier 回路 .....	103
4.3.2	Transformer-feedback VCO 回路 .....	106
4.3.3	Quasi-passive mixer 回路 .....	109
4.3.4	VCO 回路とミキサー回路の接続手法 .....	114
4.4	ベースバンド回路 .....	116
4.4.1	アーキテクチャの検討 .....	116
4.4.2	アナログ IF 増幅器 .....	117
4.4.3	Frequency-translated IF filter 回路 .....	119
4.5	チップ試作評価結果 .....	123
4.6	おわりに .....	133
	参考文献 (第 4 章) .....	134
<b>第 5 章</b>	<b>超低電圧動作の無線送信システム技術 .....</b>	<b>137</b>
5.1	はじめに .....	138
5.2	無線送信システム .....	140
5.3	VCO 回路と高周波 1/2 周波数分周回路 .....	144
5.3.1	高周波 1/2 周波数分周回路 .....	145
5.3.2	VCO 回路 .....	147
5.4	低周波周波数分周回路およびプログラム分周回路 .....	154
5.5	位相周波数比較回路とチャージポンプ回路 .....	156
5.6	FSK 変調回路 .....	158
5.7	Power Amplifier Buffer 回路 .....	160
5.8	測定結果 .....	161
5.9	おわりに .....	167
	参考文献 (第 5 章) .....	169
<b>第 6 章</b>	<b>結論 .....</b>	<b>172</b>
6.1	まとめ .....	173
6.2	本研究で得られた結論 .....	174
6.3	今後の展望 .....	178

---

謝辞.....	179
著者論文目録.....	181

# 図目次

図 1.1 IoT デバイスの 2011 から 2020(予測)接続数.....	5
図 1.2 センサーネットワークの市場と応用例.....	6
図 1.3 各無線通信規格における通信速度と伝送距離.....	11
図 1.4 スーパーヘテロダインの受信システム.....	16
図 1.5 スーパーヘテロダインの送信システム.....	17
図 1.6 ダイレクトコンバージョン受信システム.....	18
図 1.7 ダイレクトコンバージョン送信システム.....	19
図 1.8 Low IF 受信システム.....	20
図 1.9 デジタルサンプリング受信システム.....	21
図 1.10 Sliding IF 受信システム.....	22
図 1.11 Sliding IF 送信システム.....	23
図 1.12 Polar Loop 変調送信システム.....	23
図 1.13 All Digital 送信システム.....	25
図 1.14 放電容量（一次電池として）と電池体積の関係.....	26
図 1.15 光発電の原理.....	28
図 1.16 温度差発電の原理.....	29
図 1.17 振動発電の原理.....	30
図 1.18 電磁波発電原理.....	31
図 1.19 エナジーハーベストを利用したセンサーネットワークシステム.....	32
図 1.20 ブーストコンバーター回路の電力効率.....	34
図 1.21 センサーネットワークの送受信時間と蓄電池動作.....	35
図 1.22 エナジーハーベストを利用した自律型センサーネットワークシステム.....	36
図 1.23 本研究内容の各章のつながり.....	38
図 1.24 本論文の構成.....	40
図 2.1 半導体プロセスにおける電源電圧とゲート長の推移.....	50
図 2.2 バルク・ソース間電圧 $V_{BS}$ の $V_{th}$ 電圧特性.....	52
図 2.3 low- $V_{th}$ の NMOSFET トランジスタの設計ゲート長特性( $I_d$ : 0.5 mA, 1 mA). (a) $V_{th}$ と $V_{gs}$ 特性. (b) $f_T/f_0$ 特性. (c) $(g_m/I_d)*(f_T/f_0)$ 特性. (d) $g_m/g_{ds}$ 特性.....	54
図 2.4 low- $V_{th}$ の PMOSFET トランジスタの設計ゲート長特性. (a) $V_{th}$ と $V_{gs}$ 特性. (b) $f_T/f_0$ 特性. (c) $g_m/I_d$ 特性. (d) $g_m/g_{ds}$ 特性.....	55
図 2.5 low- $V_{th}$ の NMOSFET トランジスタの反転係数 IC の設計変数. (a) $V_{th}$ と $V_{gs}$ 特性. (b) $f_T/f_0$ 特性. (c) $g_m/I_d$ 特性. (d) $g_m/g_{ds}$ 特性.....	59
図 3.1 ワイヤレスセンサー無線システムブロック図.....	65
図 3.2 リングオシレータ回路.....	66
図 3.3 NMOS クロスカップル VCO 回路.....	67

図 3.4 (a) トランス結合器フィードバック VCO 回路. (b) TF-VCO の等価半回路.....	68
図 3.5 (a) 新提案の TCC VCO 回路. (b) TCC VCO の等価半回路. ....	70
図 3.6 電源ノイズからの対策例.....	72
図 3.7 TF-VCO と TCC-VCO のトランスレイアウト形状.....	73
図 3.8 (a) トランスの $Q$ ファクタと $k$ ファクタの特性. (b) トランスの自己インダクタ ンス特性.....	74
図 3.9 (a) 2 段構成の DFF 周波数分周器. (b) 2 段構成の DFF 周波数分周回路. (c) 2 段 構成の低電圧 DFF 周波数分周回路. ....	76
図 3.10 新規提案の超低電圧周波数分周器.....	77
図 3.11 VCO からみた分周回路のインピーダンス. ....	78
図 3.12 (a) 従来の TF-VCO のチップ写真. (b) 新規提案の TCC-VCO のチップ写真...	81
図 3.13 (a) TF 及び TCC-VCO の最低電源動作特性. (b) TF-VCO 及び TCC-VCO の電 源電圧による消費電力特性.....	82
図 3.14 (a) TCC-VCO の周波数制御特性. (b) TF-VCO 及び TCC-VCO の位相雑音特性. .....	83
図 3.15 新規提案の高周波 1/2 周波数分周器チップ写真.....	85
図 3.16 (a) 新規提案の高周波 1/2 周波数分周器の入力感度. (b) 新規提案の高周波 1/2 周波数分周器の入出力波形.....	86
図 3.17 新規提案の高周波 1/2 周波数分周器の位相雑音特性.....	87
図 4.1 新規提案の Low-IF 受信機システムブロック図. ....	98
図 4.2 (a) bifilar planar 対称形状のトランスのレイアウト. (b) トランスの等価回路モデ ル.....	101
図 4.3 高周波 RF フロントエンド回路図 (Folded LNA, transformer-feedback LCVCO and quasi-passive mixer). ....	102
図 4.4 (a) pMOSFET カスコード Folded LNA. (b) 新規提案の transsformer-coupled folded LNA. ....	105
図 4.5 (a) 従来の cross-coupled VCO. (b) Transferr-coupled VCO.....	107
図 4.6 (a) Gilber-cell mixer 回路. (b) Switched- $g_m$ mixer 回路. (c) Passive mixer 回路. (d) Quasi-mixer 回路.....	110
図 4.7 Duty-cycle の変化における $R_{in}$ の計算値とシミュレーション結果.....	113
図 4.8 IF 増幅器とフィルタ段のブロック図.....	117
図 4.9 (a)IF 増幅器. (b) フィルタチェーン回路図.....	120
図 4.10 LNA の測定結果 (a) $ S_{11} $ 特性. (b) 利得及び雑音指数特性.....	123
図 4.11 VCO 特性 (a) チューニング特性. (b) 位相雑音(フリーラン時とインジェクシ ョンロック時). ....	124
図 4.12 ミキサー出力の測定結果. (a) 利得と雑音指数. (b) IIP3.....	125
図 4.13 IF 出力の利得と NF 特性.....	125
図 4.14 受信機全体のフィルタの正規化応答特性.....	126

図 4.15	トランスのパラメータのシミュレーション結果と測定結果.....	127
図 4.16	受信感度 BER 測定セットアップ.....	128
図 4.17	受信システム特性 (a) BER 特性. (b) 送信入力波形と受信復調波形.....	129
図 4.18	受信システムのチップ写真.....	131
図 5.1	新提案の直接変調閉ループ FSK 無線送信システムアーキテクチャ.....	141
図 5.2	センサーネットワークシステムに於ける符号化処理.....	143
図 5.3	マンチェスター符号化による連続データの符号化例.....	143
図 5.4	従来の VCO 及び周波数分周器ブロック図.....	144
図 5.5	従来の VCO 回路及び周波数分周回路図.....	145
図 5.6	(a) VCO と周波数分周器ブロック図. (b) VCO 回路と周波数分周回路図.....	146
図 5.7	トランス結合器のレイアウト形状.....	146
図 5.8	(a) 新提案の VCO キャパシタバンク回路. (b) MOS-C-MOS 型キャパシタバンク回路. (c) C-MOS-C 型キャパシタバンク回路. (d) 従来の VCO キャパシタバンク回路.....	149
図 5.9	MOSFET トランジスタ オン抵抗特性.....	150
図 5.10	2.4 GHz におけるトランス結合器の Q ファクタ.....	151
図 5.11	VCO の 2.4 GHz における可変周波数範囲.....	151
図 5.12	トランス結合器の等価回路.....	152
図 5.13	1 次の $\Delta\Sigma$ フラクショナル N 回路.....	154
図 5.14	プログラム分周器のタイミングチャート.....	154
図 5.15	ETSPC 周波数分周回路.....	155
図 5.16	位相周波数比較回路.....	156
図 5.17	チャージポンプ回路.....	157
図 5.18	位相周波数比較回路特性.....	157
図 5.19	ガウスフィルタ回路.....	158
図 5.20	電圧利得制御回路.....	159
図 5.21	E 級増幅 PA バッファ回路.....	160
図 5.22	E 級増幅 PA バッファ回路の出力シミュレーション結果.....	160
図 5.23	超低電圧電源の FSK 無線送信システムの試作チップ写真.....	161
図 5.24	VCO 回路の位相雑音特性.....	162
図 5.25	VCO の周波数可変特性.....	162
図 5.26	2.4 GHz 高周波 1/2 周波数分周回路の入出力信号波形.....	164
図 5.27	プログラム分周回路の入出力信号波形.....	164
図 5.28	位相周波数回路入出力信号波形.....	165
図 5.29	送信出力スペクトラム波形.....	165

---

# 表目次

表 1.1 携帯電話の無線方式.....	13
表 1.2 WiFi の通信規格と特徴.....	13
表 1.3 省電力無線通信方式.....	15
表 1.4 1 次電池の容量.....	26
表 1.5 エナジーハーベストのエネルギー量.....	27
表 1.6 ブーストコンバーターの効率.....	33
表 1.7 先行研究のセンサーネットワーク無線システムとの比較.....	37
表 2.1 2章における課題・アイデア・結果のまとめ.....	61
表 3.1 低消費電力の高周波 VCO 性能比較.....	84
表 3.2 高周波 1/2 周波数分周器の性能比較.....	88
表 3.3 3章における課題・アイデア・結果のまとめ.....	90
表 4.1 トランスのトポロジー比較.....	100
表 4.2 トランスの形状拡大における各パラメータの変化.....	100
表 4.3 各電源電圧の主な受信特性.....	130
表 4.4 受信システムの性能比較.....	131
表 4.5 4章における課題・アイデア・結果のまとめ.....	133
表 5.1 FSK 無線送信システム全体目標仕様.....	141
表 5.2 Bluetooth Low Energy の送信性能の比較.....	166
表 5.3 各回路ブロックの消費電流.....	166
表 5.4 5章における課題・アイデア・結果のまとめ.....	168



---

# 第1章 序論

---

## 1.1 はじめに

携帯電話が世の中に普及するようになり、これまで有線が主流であった音声やデータ伝送に代わって無線通信システムが、世の中に一般に使われるようになってきた。携帯電話は 1990 年頃に開発され、限られた無線通信帯域の中で多くの端末を大容量で通信できるよう様々な技術開発が行われてきた。近年では 4G と呼ばれる Long Term Evolution(LTE)-Advanced という規格で最大通信データレートが 1 GHz 以上も可能となっており[1]、このデータレートは固定の光通信回線とほぼ同等の通信速度が無線技術でも利用できるようになってきている。

一方、無線通信技術は、携帯電話だけでなく様々な用途で用いられるようになってきている。例として車用途では、タクシーの無線通信・警察無線・ETC システムなどで利用されている。コンピュータ用途では Wi-Fi、Bluetooth を用いたデータ通信が一般的に普及している。近距離無線として Felica をもちいた Suica などに代表されるカードの通信で交通機関やコンビニなどで利用されている。音響システムでは、無線マイクや Bluetooth を用いたヘッドホンなどの無線通信連携によりケーブルの配線から解放されている。また、公共システムなどでは、防災無線システムやガスメーターの自動検針システムや電力系のスマートメータで用いられるスマートグリッドで無線システムの利用が進んでいる。医療系では、Zigbee 規格を用いた健康機器や医療機器からのバイタルセンシングデータをクラウド連携するシステムなどで用いられている。

近年、無線通信で非常に注目を集めているのが Machine to Machine (M2M)や Internet of Things (IoT)と呼ばれているセンサーネットワークシステムである。このセンサーネットワークシステムとは、身近にある様々な電子機器、構造物、公共システム、屋内外環境、健康デバイスなどあるとあらゆる物からセンサーデータを集めて、それらをクラウドに収集するシステムを指す。この収集したセンサーデータの活用は、ビッグデータとして分析する[2]ことにより、従来にない新しいサービスや価値を創造し、大きなビジネスを開発し経済活性化をはかり、安心・安全な街づくりを実現し、さらには健康で明るい社会づくりに貢献するなど非常に期待が高い分野である。このようなセンサーネットワークシステムは、個々のセンサーノード端末と呼ばれるセンサーデータを収集する端末とデータを収集するサーバー間で通信を行う。このセンサーノード端末は、通信にはモバイル環境を考慮して無線による通信が利用されており、主にセンサー、マイクロプロセ

---

ッサー、電源回路、無線システムで構成されている。また、センサーネットワークシステムでは、センサーノード端末からのデータを単に収集するだけでなく、他のセンサーノード端末へのゲートウェイとして中継の機能を持ち、一部の中継機能が動作しなくても他のルートを自動的に再構築する機能などもある。このように、センサーネットワークは、自律型の無線システムとして期待が大きい。しかしながら従来の無線技術とは異なり、自律型のセンサーネットワークを実現するには電源がない環境で動作する必要がある。特に、低消費電力に特化したネットワーク技術、低消費電力としての MEMS センサー技術、センサーデータを低消費でデジタル化する ADC 技術、高効率の電源技術及び無線通信部の低消費電力化技術の課題を解決することが求められる。特に、従来の無線通信技術は、携帯電話を中心に通信速度の高速化が求められてきており、無線部の消費電力は常に増大してきた。しかしながら、センサーネットワークで用いる通信速度は非常に低速で、従来の研究されてきた無線通信技術では消費電力の観点からセンサーネットワークには適応できない。

そこで本研究では、センサーネットワークに用いる無線通信技術の低消費電力化に焦点を当てる。低消費電力のための無線通信技術を実現するために、従来は無線通信のネットワークのアクセス時間を短くし、システムが常に動作するのではなく間欠動作で、消費電力を削減する技術などの提案がなされてきた。しかし、無線システムが動作している状態での消費電力そのものの削減にならない。本研究では、無線通信の無線部に着目し、新しい電力源として最近研究が進んできているエナジーハーベストの電力源を利用した電源を利用することで、自律型のセンサーネットワークを実現するアプローチを試み、センサーネットワークを自己発電により半永久的に動作させることを実現する。しかし、このエナジーハーベストの起電力は非常に小さく、具体的にはこのエナジーハーベストの電圧(400 mV 以下)で、実用的な大きさを考慮すると電力は 5 mW 程度であり、直接動作できる無線システムを低消費電力で実現することは極めて困難である。そこで、従来の高周波回路で利用されている回路トポロジーとは全く異なる新規の回路トポロジーが必要となる。具体的には、従来トランジスタを多段にスタックして回路を構成していたため電源電圧を低電圧化することが困難であったが、この回路構成をオンチップのトランス結合器を使って 1 段の MOSFET トランジスタ構成で動作する高周波回路を提案する技術を提案する。さらに従来は MOSFET トランジスタを強反転領域で動作させるため、電源電圧が MOSFET トランジスタの  $V_{th}$  以上の必要であったが MOSFET トランジ

---

スタを弱反転領域で動作させることで低電圧化を実現する。この弱反転領域では、従来高周波回路では高周波特性が劣化するために利用されてこなかったため、トランジスタ自身のバイアス条件やトランジスタのサイズなどの最適化を図ることが重要となる。本研究は、この新規技術を利用してエネルギーハーベットの電源で利用できるセンサーネットワークに最適な低消費電力の無線システムと、超低電圧で動作する高周波回路技術を用いた無線受信システムと送信システムの開発を述べたものである。

本章は序論である。まず、M2M や IoT を実現するセンサーネットワークについて述べる。次に近年センサーネットワークシステムの電力源として研究が進んでいるエネルギーハーベットの技術について解説する。次に、センサーネットワーク無線通信技術と課題について解説し、本研究の位置づけを明らかにする。最後に本研究の目的である、半永久動作が可能な自律型センサーネットワークシステムにおける無線システムの具体的な研究課題を述べ、解決すべく本研究の全体構成を示す。

## 1.2 背景

近年、大量のデータを色々な角度で分析を行い、そこから新しく価値を見出すビックデータ解析が注目を浴びている。ビックデータ分析の事例をいくつか述べる。

その中でも、M2M や IoT を実現するセンサーネットワークが、今後の生活を大きく変えていくという意味で重要な役割を果たす。

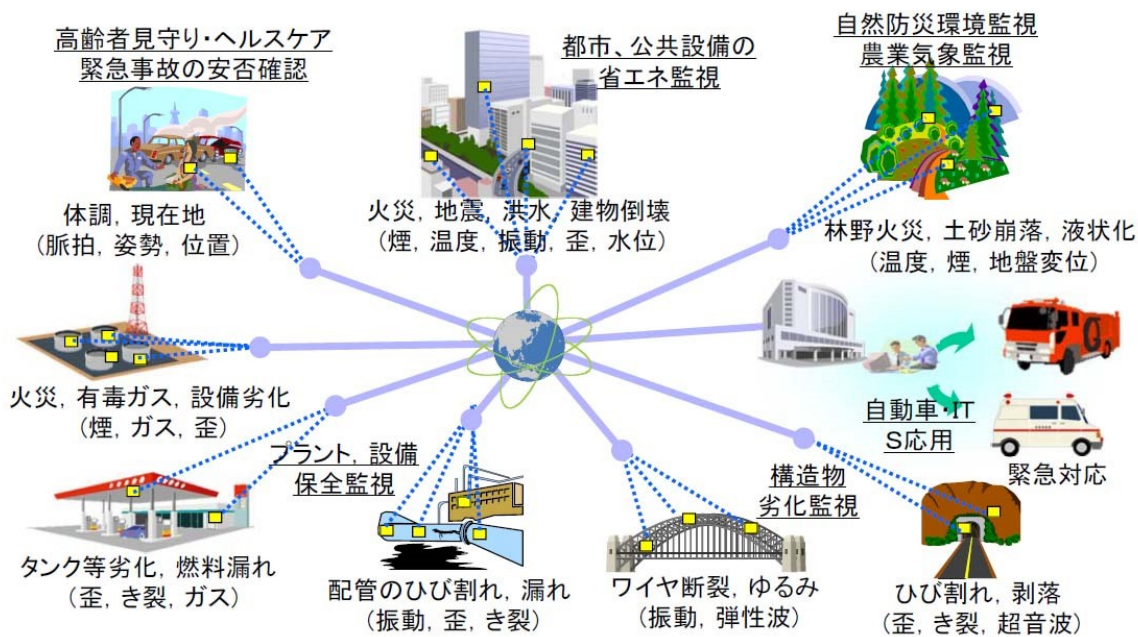


出典：Verizon Research Report より

図 1.1 IoT デバイスの 2011 から 2020(予測)接続数.

最近の調査[3]による、IoT デバイスのセンサーネットワークの接続数の予測を図 1.1 に示す。これによると、アメリカの携帯電話会社 Verizon によるとアクティブな無線接続されたデバイスの数は、2014 年は 120 億台の普及であったが、2020 年には 4 倍以上の 504 億台を超える予測をしている。このように接続されたデバイスの爆発的増加は、モノのインターネット(Internet of Things)によって牽引される。

このような、IoT を利用したセンサーネットワークはさまざま市場で利用され、拡大が見込まれている。このようなセンサーネットワークの市場の応用例を図 1.2 に示す。



出典：パナソニック資料より

図 1.2 センサーネットワークの市場と応用例.

Inert Communication Technology (ICT)の普及により、人々はスマートフォンやタブレットをいつでもどこでも利用できる環境が整備されてきた。このような環境が整備されると、一個人のデータを扱うサービスを越えて、多くの人々が参加するソーシャルネットワークのような様々情報がクラウド上に集まり、それらのデータを利用したサービスが提供されてくるようになってきた。このクラウドに集まったビックデータを分析すると現在世界中で起こっている様々な事象から、自分に必要な情報を簡単に収集できるようになる。さらに、自分が発言した内容を長期的に分析して、人々の属性を分類してターゲット広告などに用いることができるなど、ビックデータを中心としたセンサーネットワークビジネスが非常に注目されている[4]。

センサーネットワークを実現している代表的な事例として、電力のスマートメータがあげられる。スマートメータの中に携帯電話の通信モジュールを内蔵し、携帯の通信網を使った無線システムや独自のメッシュネットワークを構築した無線システム[5]などを利用して、メータのデータを電力データクラウドに収集する。このように各家庭の電力をリモートで管理して、自動検針をすることで電気料金の課金を行うことができるようになる。日本でのスマートメータの導入は、2014年度から主に電力会社により推進さ

---

れており、2025年度までに日本全国の世帯に普及していくことが計画されている[6]。さらに、電力データを30分の積算値としてクラウドに収集して、その値を需要家に電気の見える化としてサービスを行い、電力の省エネ化を促進することも実施されている。

交通分野などの交通系カードは、改札の出入りによる一種のセンサーネットワークであり、このビックデータを利用して交通量や人々の流れを分析して、列車の運行計画や最適化や駅周辺の不動産や店舗出店の活用やマーケティングなどに活用範囲が広がられている。

テスラモータスは、当初より車に通信装置を搭載して、車のエンジンやバッテリーなどの様々なセンサーデータをクラウドに収集して次の開発に活用をしている[7]。さらに、ホンダでは2011年の震災時に車のナビゲーションの位置データをビックデータとしてクラウドに収集して、車の移動形跡から現在通れる道を分析して一般に情報を開放した。このようなデータは、災害時の流通経路として活用が期待される。また、コマツではいち早く大型産業用機器などにセンサーやGlobal Positioning System (GPS)を取り付けてクラウドにデータを収集している。これにより機器の盗難防止やメンテナンスに活用し、効率的な機器の活用ができるようなサービスが展開されている。

車は移動データだけではない、車からのセンサー情報をクラウドに収集して分析をして交通安全に活用する試みも進められている。例えば、様々な人の運転するブレーキの強さなどを地図上にプロットすることにより、道路の危険な場所を把握することができるようになり、事前にこのような場所をナビゲーションシステムで知らせるたり、道路の改善をすることにより、交通事故の低減に活用が進められている。さらに、ワイパーの動作を感知することによって、サーバー側で雨の強さをリアルタイムで把握することで、安全を促すことも検討されている。このように、車に積まれたセンサーデータを収集することにより、単に個々の車の情報を蓄積して整備に活用するだけでなくビックデータとしての活用も非常に期待されている。

また、インダストリー分野のGeneral Electric Company (GE)では飛行機エンジンの製造を手掛けているが、近年このエンジンにセンサーを取り付けてビックデータの活用が進められている。従来はエンジンのメンテナンスは定期的に行っていたのだが、飛行機が空港に着陸するたびにこの取り付けられたセンサーからエンジンの細かい情報をクラウドに収集して、リアルタイムにエンジンの状況を把握するとともに、定期メンテナンスへのフィードバックなどに活用している。このようにして、飛行機の重要な部品のエン

---

ジンの信頼性を向上させ航空機の安全を目的としてセンサーネットワークが利用されている。

インダストリー分野では、同様な活用が幅広く行われており、工場などの製造現場での各種機器やロボットなどにもセンサーが取り付けられて、遠隔制御や監視及び機器のメンテナンスなど活用されている[8]。これまでは、このような機器は故障して止まってしまうと製造現場では非常に大きな損失となっていたが、センサーにより機器が故障してしまう前に、センサービックデータから得られた情報により、メンテナンスの交換修理を効率的に行うことができるようになってきている。このように、屋内や車といった電源が確保できる場所にセンサーを導入する事例が先行して広まっている。

一方、屋外やモバイル環境におけるセンサーを利用したビックデータも普及が進んでいる。

近年架橋やダム、トンネル、ビルなどの公共の建設されたものに関する安全性が重要となってきている[9]。特に、トンネルの屋根が落下した事故や高速道路の橋げたの地震による劣化などが問題視されている。そこで、このような建築物に構造物の劣化を壁内や構造物に埋め込まれたセンサーよりクラウドにデータを収集して分析することにより、劣化の度合いをリアルタイムで把握する。このように収集されたデータは、ビックデータの解析により、構造物のメンテナンスや修理などを、事故が起こる前に効率よく実施できるようになっている。この場合のセンサーは、振動・構造物の膨張・温度・湿度などさまざまなデータを収集する。このシステムの動作の要求仕様として、ビルメンテナンスなどのセンサーシステムでは約 30 年のメンテナンスフリーの動作が求められてきている。

家庭内においては、家の中の火災報知機や防犯センサーなどにセンサーネットワークが利用されている。火災報知器（温度センサー・煙センサー）や防犯センサー（窓ガラス破壊センサー・人感センサー・ドア開放センサー）などは、家の中で単独で動作するだけでなく、無線によって相互接続されクラウドへデータを収集されている。これにより、リアルタイムでデータ分析して早期に駆けつけを行うサービスが展開されている。このシステムの動作の要求仕様は、例えば火災報知器や防犯システムでは約 10 年の動作保証が求められてきている[10]。

また、農場などにおいても生産する野菜や果物においてもビックデータが活用されている[11]。例えば、ワインに用いるブドウ農家ではブドウ農園においてセンサーを設置し



---

て、そのデータをクラウドに収集して生産を管理している。センサーには日照・湿度・温度・肥料など生産に必要なデータが収集されている。このデータを分析して一番おいしく生産できるレシピに沿って管理・生産することにより、気候などに大きく左右されることなく安定した生産が行えるようになってきている。このシステムの動作の要求仕様は、農場のセンサーネットワークとして約3～5年の動作保証が求められてきている。

さらに、モバイルセンサーのビックデータ使われ方としてバイタルセンシングの分野がある。例えば、医療の分野では、血液の血糖値の管理が必要な患者に対して、血糖値センサーをモバイルでリアルタイムに測定する研究が進められている。従来は、患者は定期的に自ら針で血液を採り血糖値センサーで測定して管理をしていた。このような技術が進められると患者は定期測定から解放され、必要なタイミングを自動的に知らせてくれるようになる。

同様な分野として、心臓疾患の患者に対してもバイタルセンシングの技術が利用されている[12][13]。心臓の不整脈を測定するのは、非常に長い時間測定をしなければ見つけることができない。そこで、従来はホルター心電計というものをつけて病院に2～3日検査入院が必要であった。その場合、動作が制限されるなど患者にとっては負担が大きかった。しかし、最近モバイル環境で利用できるホルター心電計が開発され入院しなくてもこの測定器を付けて普通に生活をしながらデータを取ることができるようになっている。このデータをリアルタイムでクラウドにて収集して患者のデータを分析して医療に役立てようになっている。このような医療系の用途では、センサーネットワークの動作保証として1週間から数月程度が求められている。このように医療の現場では徐々にバイタルセンサーによるビックデータの活用が進められてきている。

ヘルスケアの分野では、Apple Watch を代表とする活動計と呼ばれる時計型のバイタルセンサーが非常に普及し始めている。この活動計は、心拍・歩数・睡眠・血圧など様々なデータが収集できるようになってきており、このデータをクラウドに収集して、健康アドバイスなどに活用している。さらにアメリカでは、このようなバイタルセンサーデータを医療に活用して、生活習慣病の基礎データとして参考にしている医療機関もある。また、バイタルセンサーデータから病気の予知などに利用するとともに、保険会社がリスク回避のために活用を検討し始めている。このバイタルセンサーは、ユーザー自らが充電を行い、用途に応じて数日から数週間の動作が求められている。これまで述べてきたように、様々なセンサーを用いてクラウドに情報を収集してビックデータの活用する

---

ビジネスが拡大してきている。

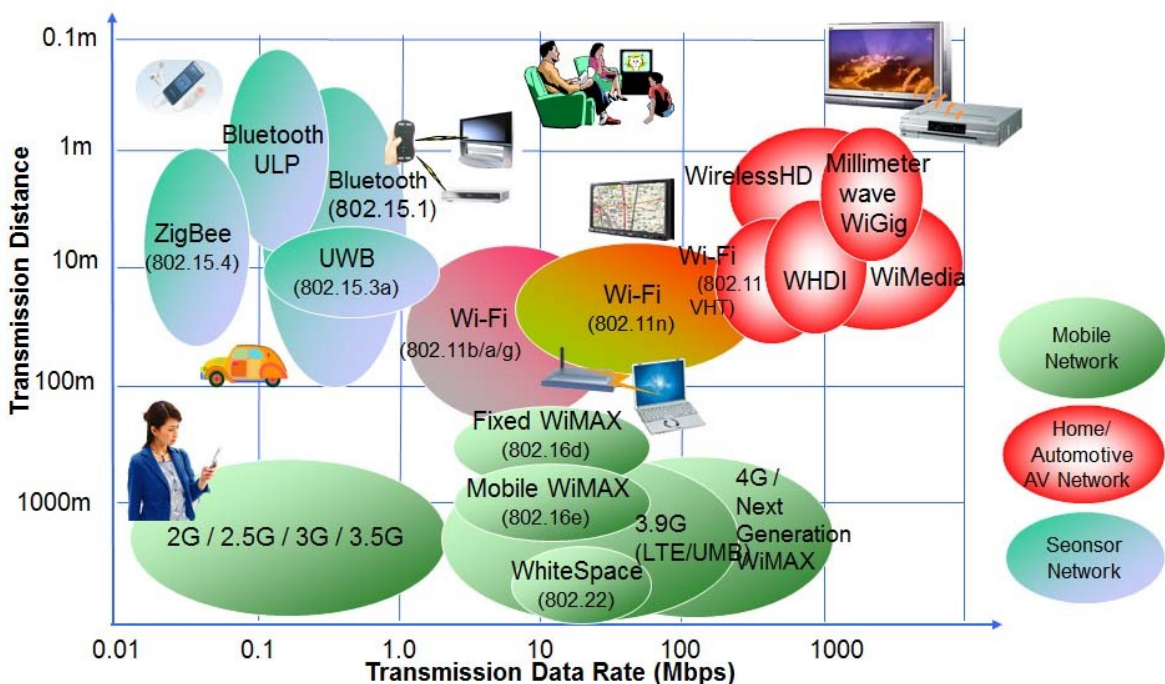
この他に、自然防災環境監視の分野でもセンサーネットワークが利用されている。例えば、温度、煙、地盤変位などのセンサーを、山林や河川に設置をして土砂崩落や森林火災、地盤の液状化さらには河川の氾濫などの監視するために利用されている。この自然防災監視のセンサーネットワークは、電源の確保が難しい上に長年に渡る監視が必要となってくる。現状このような環境のセンサーネットワークシステムのノード端末は、大きな電池で利用しているが、保守管理として年に数回の電池交換の必要があり非常にコストがかかっているのが課題である。

センサーネットワークシステムは、センサーの情報を収集するセンサーノード端末とセンサーノード端末からの情報を収集するサーバーで構成されている。特に自律型のセンサーネットワークを構成するためには、センサーノード端末とサーバー間の通信には、モバイル環境で動作する無線システムが必要である。このようなモバイル環境においてセンサーノード端末は、常時電源を利用できないため、どうしてもバッテリーで動作するシステムが必要となってくる。しかしながら、センサーネットワークを支える電源システムのバッテリーを交換するメンテナンスには、非常にコストがかかり現実的ではない。さらに、このバッテリーを用いて 10 年から 30 年以上の動作するネットワークを実現するためには非常に大きなサイズとなる。例えば火災報知機などのセンサーでは、設置に関して場所の制限などを受けるため、長期間にわたる動作は現実的ではない。このように限られた大きさのバッテリー電力を利用して長時間の動作を可能とするためには、センサーネットワークシステム、特に消費電力の大きい通信システムの無線部における回路全体の低消費電力化が大きな課題となっている。

## 1.3 センサーネットワークの通信技術

本研究を始めるにあたって、現在利用されているセンサーネットワークの無線通信技術に関して他の無線技術と比較しながら、センサーネットワークの現状の課題を考える。

無線通信は、コンシューマ分野において様々な分野で利用されている。この無線通信技術は図 1.3 に示すように各用途向けに規格化されており、この図に示すようにいくつかの分野に分類することができる。



出典：パナソニック資料より

図 1.3 各無線通信規格における通信速度と伝送距離.

### 1.3.1 携帯電話無線方式

携帯電話では、大容量・高速通信を実現するためのシステムが ITU の国際標準化団体をはじめとして GSM Association (GSMA) や Third Generation Partnership Project (3GPP) などにより国際標準規格として進められている。この携帯電話の規格の推移とし

---

ては、デジタルの Personal Digital Cellular (PDC)、Global System for Mobile Communications (GSM)、Code Division Multiple Access (CDMA)、Wideband Code Division Multiple Access (WCDMA)、Long Term Evolution (LTE)などが知られている。最新の通信規格では、LTE-Advance という規格で約 1 Gbps の通信速度を実現しようとしている。携帯電話の無線方式とシステムの特徴を表 1.1 に示す。この携帯電話の通信システムは、非常に広範囲をカバーするとともに、センサーデータを途中のハブを経由せずに直接基地局へ接続するためセキュリティの確保が得られるという利点から、センサーネットワークでも広く使われている。

例えば前述したスマートメータは、携帯電話の LTE 規格を利用したセンサーネットワークを利用しており、電力データの 1 日当たりのデータは非常に小さく数 kbyte 程度であるが、一方で、ノード数は非常に多く数千万のノードデータを収集する必要がある。また、電力データは課金に用いるため、データ欠損がないような品質が重要であり、通信品質の高い携帯電話網を利用する利点がある。このように携帯電話のネットワークを利用するには、無線部の消費電力が大きく電源確保の課題があるが、セキュリティやレイテンシー及びデータ欠損がない品質が確保できる利点がある。

携帯電話の無線システムは、いくつかのシステムが提案されている。その代表例として、ダイレクトコンバージョン送受信システム[14] - [16]、ポワラー変調送信システム[17][18]、デジタル RF サンプリング受信システム[19]、ダイレクトデジタル RF 変調システム[20]などが研究発表されている。これら、論文に示されているように現時点での携帯電話の無線部の消費電力は一般的に数十 mA となっている。また、現在利用されている無線システムの電源電圧は、1.5 V から 2.5 V となっている。この無線システムに関しては、次の 1.4 節で詳しく述べる。

表 1.1 携帯電話の無線方式.

無線方式	GSM/GPRS	EDGE	PDC	WCDMA	CDMA2000	LTE
採用国	欧州・北米・韓国・中国	欧州・北米・韓国・中国	日本	欧州・北米・日本	北米・韓国	世界共通
周波数帯	850 MHz帯 900 MHz帯 1800 MHz帯 1900 MHz帯	850 MHz帯 900 MHz帯 1800 MHz帯 1900 MHz帯	800 MHz帯 1.5 GHz帯	2100 MHz帯 850 MHz帯 900 MHz帯 1700 MHz帯	2100 MHz帯 850 MHz帯 900 MHz帯 1700 MHz帯	WCDMA + 700 MHz帯
帯域幅	200 kHz	200 kHz	50 kHz	1.25 MHz 5 MHz 10 MHz 20 MHz	1.25 MHz 3.75 MHz	1.4-20 MHz
ビットレート	270.833 kbps	9.6-28.8 kbps	5.6-11.2 kbps	0.384-28.8 Mbps	0.153-3.2 Mbps	50-100 Mbps
変調方式	GMSK	8 PSK	$\pi/4$ シフト QPSK	QPSK 16 QAM	QPSK 16 QAM 64 QAM	OFDM
最大送信出力	+30 - +33 dBm	+30 - +33 dBm	800 mW	+24 dBm	200 mW	+24 dBm

### 1.3.2 WiFi 無線方式

次に、現在最も普及している WiFi 無線方式について述べる。WiFi のシステムは上位互換をもっているいろいろな規格が制定されている。この WiFi の通信規格と特徴を表 1.2 に示す。

表 1.2 WiFi の通信規格と特徴.

無線規格	802.11	802.11b	802.11a	802.11g	802.11n	802.11ac	802.11ad
周波数帯	2.4 GHz帯	2.4 GHz帯	5 GHz帯	2.4 GHz帯	2.4 GHz帯 5 GHz帯	5 GHz帯	60 GHz帯
伝送速度	1-2 Mbps	11-22 Mbps	54 Mbps	54 Mbps	100-600 Mbps	1 Gbps	7 Gbps
変調方式	FHSS, DSSS	CCK	OFDM	OFDM	OFDM, MIMO	OFDM, MIMO	OFDM, SC
特徴	速度が遅い	速度が遅く、 干渉に弱い	干渉に強い	11bと互換 干渉に弱い	高速通信	干渉に強く 高速通信	超高速通信 通信距離が短い
消費電力	小	小	中	中	大	大	大

WiFi は Wi-Fi Alliance の標準化団体により標準化が進められており、国際標準規格の

---

IEEE802.11 規格の認定を受けたものである。一般に無線 LAN と呼ばれるものものであるが、一部の製品などでは認定を受けていないものもある。WiFi は、アクセスポイントと呼ばれる親機と WiFi の端末である子機とが 1:N で接続される方式とピアツーピアの 1:1 で接続される方式を採用した通信システムがある。セキュリティ強化のため、認証などの機能も備えている。

現在この WiFi は様々な用途に用いられている。当初は、イーサネットケーブルでつながれていた PC をモバイルで使うために利用されたが、現在では携帯電話、携帯ゲーム、カメラ、ビデオカメラ、TV、プリンターなど PC や家電製品などに幅広く利用されている。最近では、ミリ波通信を利用した 1 Gbps を超える超高速な通信が可能となっている。このように一般的に普及している点と屋内をカバーする通信エリアの広さから、WiFi の無線通信もセンサーネットワークで幅広く用いられている。

この WiFi 通信に用いられている無線システムは、その周波数と変調方式が似ていることから、携帯電話と同じような無線システムを採用している。しかしながら、WiFi の出力は携帯電話と比較して 10 mW と少なく、一般的に無線システムの消費電力は低く数十 mA 程度であるが、最近では高速通信のため MIMO を採用しているため、無線システムとして同時に 4 回路が動作する場合は携帯電話よりも消費電力が 4 倍程高くなる傾向がある。また、無線部の動作電圧も携帯電話と同様に 1.8 V から 2.5 V 程度となっている。

### 1.3.3 省電力無線方式

最後に、センサーネットワークで最も利用されている省電力無線通信方式について述べる。省電力無線通信は、用途に応じて様々な方式があるが、現在広く利用されている代表的な方式を表 1.3 に示す。省電力無線通信方式の特徴は、主にモバイル用途で利用する目的で設計されており、バッテリー電源で長時間動作させる理由から伝送速度が遅いため大容量のデータ通信を目的とする用途（例えば画像伝送など）には向かない。同様に消費電力を抑えるために、伝送距離も主に屋内利用を前提に最適化されており、最大でも数十 m の伝送距離となっている。特に、無線部における送信出力のパワーアンプ (PA) の効率を考慮して、伝送方式に振幅情報無い変調を用いている場合が多い。また、実際のセンサーネットワークの利用環境においては、通信時間を間欠動作で非常に短い期間だけ動作するなど、システムの実動作時間を最小限にして利用している。このような

結果から、モバイル環境においても、消費電力が少ないシステムを用いることにより携帯電話や WiFi などと比較してバッテリー動作の長時間化が図られている。表 1.3 から解るようにこの省電力無線の消費電力は、携帯電話などと比べると約 10 - 30 mA と少ない。また、動作電圧は 1.2 - 2.5 V 程度が主流となっている。

表 1.3 省電力無線通信方式.

無線方式	特定小電力無線	微弱無線	Zigbee	Bluetooth	Bluetooth Low Energy	ANT
主な用途	セキュリティ テレコン テレメータ	キーレスエント リー リモコン	ビルメンテ センサーネット ワーク	ヘッドセット ゲーム機リモ コン	センサーネット ワーク	ヘルスケア機 器
周波数帯	420 MHz帯	315 MHz帯	2.4 GHz帯	2.4 GHz帯	2.4 GHz帯	2.4 GHz帯
最大伝送速度	19.2 kbps	256 kbps	250 kbps	1-3 Mbps	300 kbps	1 Mbps
通信距離	数百 m	数 m	数十 m	数-数十 m	数十 m	数十 m
他システムからの干渉	なし	なし	あり	あり	あり	あり
消費電流 (代表例)	送信 26 mA 受信 12 mA	送信 13 mA 受信 11 mA	送信 24 mA 受信 25 mA	送信 36 mA 受信 38 mA	Bluetooth の1/10程度	Bluetooth と同程度
伝送方式	規定なし	規定なし	スペクトラム 拡散	スペクトラム 拡散	スペクトラム 拡散	時分割多重

以上のように、センサーネットワークで利用されている様々な無線方式があるが利用する用途によって使い分けがなされている。携帯電話や WiFi などの無線方式は、電源が確保できる環境下においてはセンサーネットワークでの利用が促進される。しかしながら絶対的な台数はやはりモバイル用途で、今後最も普及が見込まれている省電力無線方式を使ったセンサーネットワークである。近年、この中でも普及が見込まれている方式は、2.4 GHz 帯を用いた Bluetooth Low Energy (Bluetooth LE)や Zigbee などである。また、低い周波数帯を用いた特定小電力無線は、電波の伝達距離が長いことためテレメータ用途での普及が見込まれている。

低消費電力無線システムは省電力化のために、複雑なシステム構成ではなく単純なシステムを採用している製品が多い。代表的な消費電流は数十 mA 程度で電源電圧も 1.8 V 程度であり、大幅な低消費電力化が非常に難しい課題となっている。

## 1.4 センサーネットワークの無線システム

1.3 節では、センサーネットワークに用いる無線方式に関して述べた。この節では特に、消費電力の大きい高周波無線システム部に着目し、この無線方式に利用されている代表的なシステムをこれまでの研究事例を取り上げて、各無線方式の特徴と低消費電力化への適応課題を述べる。

### 1.4.1 スーパーヘテロダイン無線システム

まず初めに、最も古典的なスーパーヘテロダインの無線システムを取り上げる。このスーパーヘテロダインシステムは受信、送信ともに広く利用されている。図 1.4 に受信システムを示す。

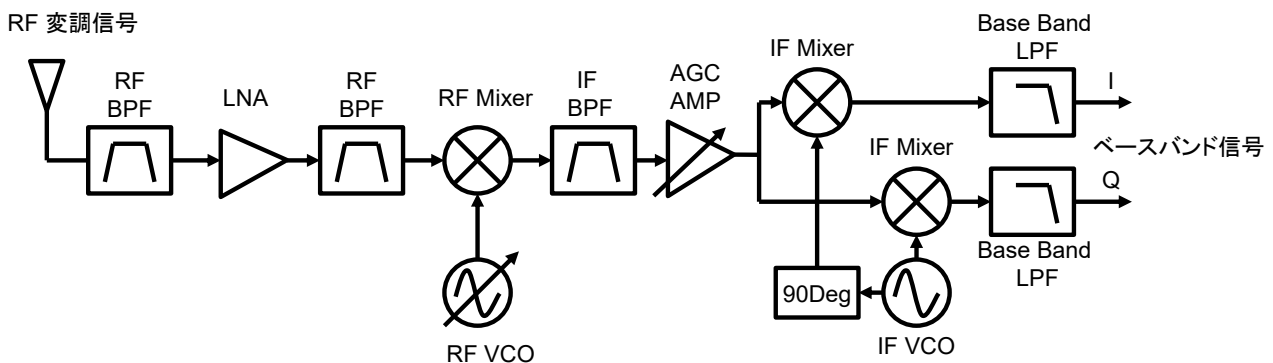


図 1.4 スーパーヘテロダインの受信システム.

このスーパーヘテロダインシステムは、次のような特徴を持つ。受信信号と局部発振器(RF VCO)の信号をミキサー回路でダウンコンバージョンし両方の信号の周波数差を、中間周波数に変換した後に 90 度位相差のある固定の周波数の局部発回路(IF VCO)からの信号と 2 つのミキサーで IQ 信号を生成して復調する受信方式である。

図 1.5 にスーパーヘテロダイン送信システムを示す。この送信システムも基本的構成は受信システムと同じで、ベースバンドの IQ 信号を 90 度の位相差のある低周波の局部発振器(IF VCO)を利用して中間の IF 周波数の IF 信号を作成し、この IF 信号を高周波局部発振器(RF VCO)で RF 信号に変換して PA からの変調信号を作り出す。



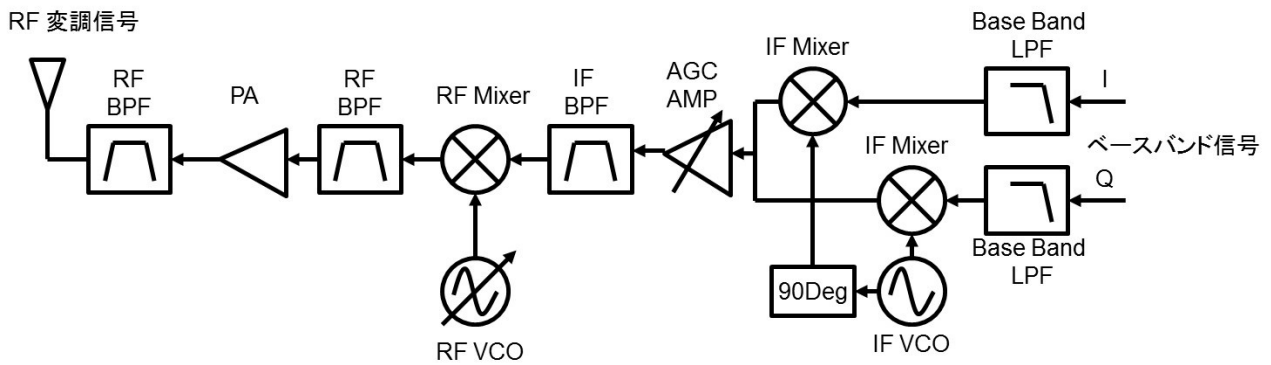


図 1.5 スーパーヘテロダインの送信システム。

現在、スーパーヘテロダインシステムは、無線システムでもっともよく使用されているシステムの一つである。その理由として、IF フィルタと RF フィルタの 2 つを用いることにより受信選択度を取りやすく、不要信号やひずみ信号を除去されるため、出力される信号が高いダイナミックレンジを実現でき、結果的に良好な受信感度や隣接チャネル漏洩電力性能が得られることにある。本システムの欠点として RF のバンドパスフィルタ及び IF のバンドパスフィルタの 2 つのフィルタが必要なため、外付けの部品点数が多く集積化に適さない。本スーパーヘテロダインシステムは、センサーネットワークではシステムが単純で構成しやすいためと不要信号の除去が優れている点から低消費電力化が容易となり多くのシステムで採用されている[21]。

本スーパーヘテロダインシステムの無線部の消費電力は 10 - 30 mA 程度となっている。特に消費電力が多い回路ブロックは、RF VCO (PLL 周波数シンセサイザ)回路と高周波のミキサー回路である。また、従来の技術を用いて 2 つ回路を動作させるためには、最新の CMOS プロセスを用いた場合、トランジスタの閾値電圧  $V_{th}$  が 0.5 V 程度であり、トランジスタを強反転領域で動作させるとなると、少なくとも電源から GND まで 3 段スタックした回路トポロジーを用て、最終的に 1.5 V 以上の電源が必要となってくる。

## 1.4.2 ダイレクトコンバージョンシステム

次に、もう少し消費電力を抑えるためと回路のシンプル化して考えられたのがダイレクトコンバージョン無線システムである。このダイレクトコンバージョン無線システム

の受信システムを図 1.6 に示す[15]。

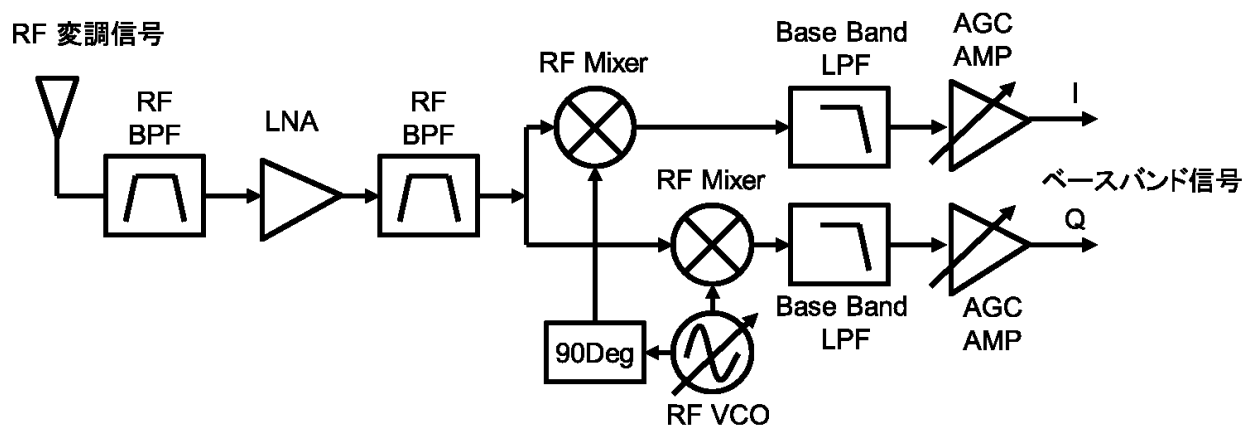


図 1.6 ダイレクトコンバージョン受信システム.

このシステムはつぎのような構成で動作する。アンテナ端より入力された RF 変調信号を低雑音増幅器(LNA)の前後の RF のフィルタで帯域外不要信号を除去し、RF 信号と同じ周波数の 90 度位相差をもつ高周波周波数シンセサイザで生成された RF-VCO と 2 つの RF ミキサー回路により直交検波することで、直接ベースバンドの I/Q 信号に変換する。また、この I/Q 信号はベースバンドにおける帯域内の不要信号を除去し増幅することで、I/Q の復調信号を生成する。文献[15]によると WCDMA の受信機の場合、電源電圧 1.5 V 動作し消費電力は 42 mW である。

ダイレクトコンバージョン無線システムの送信システムを図 1.7 に示す[14]。送信回路は、受信システムの逆の同じ動作をする。ベースバンドの I/Q 信号を 2 つのミキサーと 90 度位相差を持つ周波数シンセサイザで生成された RF-VCO により RF 信号をベースバンドの I/Q 直交信号から直接生成するとともに、PA の前後の RF フィルタによりひずみ信号やスプリアス信号を除去して RF の変調信号を生成する。文献[14]によると、WCDMA の受信機の場合、電源電圧 1.8 V 動作し消費電力は 31 - 53 mW である。文献[16]によると、センサーネットワーク向けの 2.4 GHz の ISM 受信機の場合、1.2 V 動作で 2.74 mW である。また、Bluetooth の受信機の場合、電源電圧 2.7 V 動作で消費電力は 37 mW である[22]。

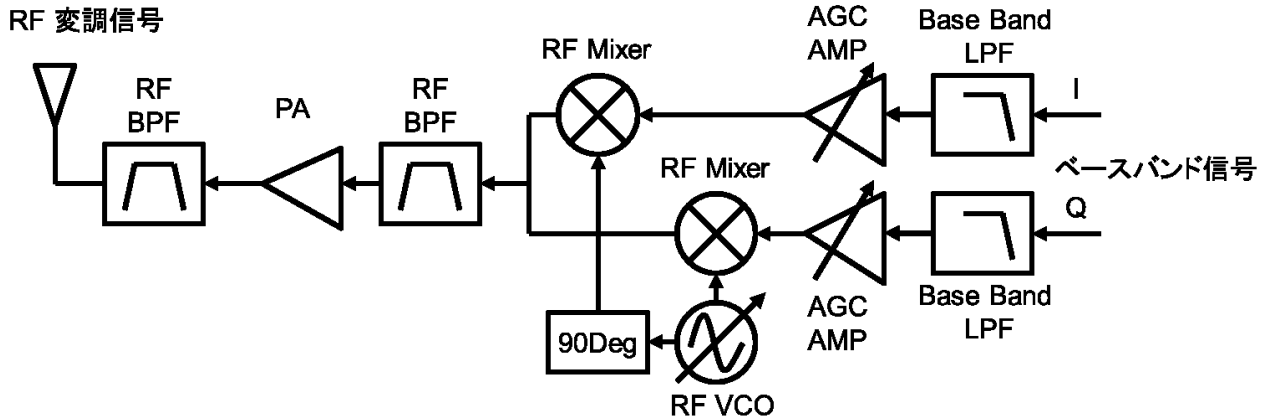


図 1.7 ダイレクトコンバージョン送信システム.

このダイレクトコンバージョン受信機の特徴は、RF 変調信号からベースバンドに直接 I/Q 変調するため、IF バンドパスフィルタが不要で外付け部品点数が少なく、集積回路化が容易である。前述のスーパーヘテロダイン受信システムと比較して、回路構成が少ないため消費電力を下げることが可能となる。一方で、RF のミキサー回路で同じ周波数の RF 入力信号と VCO からの信号が入力されるため、VCO の信号が RF 入力信号に回り込んでしまい、ミキサー回路で DC オフセットが生じてしまうという欠点がある。これを除去する回路を挿入しなければいけない。同時にこの DC オフセットは、ベースバンド信号の信号レベルとしてのダイナミックレンジを減少させてしまうという欠点がある。

また、この高周波回路を動作させるためにはスーパーヘテロダインと同じ理由で、最新の CMOS プロセスを用いたとしても、トランジスタの閾値電圧  $V_{th}$  が 0.5 V 程度であり、トランジスタを強反転領域で動作させるとなると、少なくとも電源から GND まで 3 段スタックしたトポロジーを用いて、最終的に 1.5 V 以上の電源が必要となってくる。

### 1.4.3 Low IF 受信システム

このダイレクトコンバージョン受信システムとスーパーヘテロダイン受信システムの利点を活用した受信システムとして、Low IF 受信システムがある。この Low IF 受信システムを図 1.8 に示す[23]。

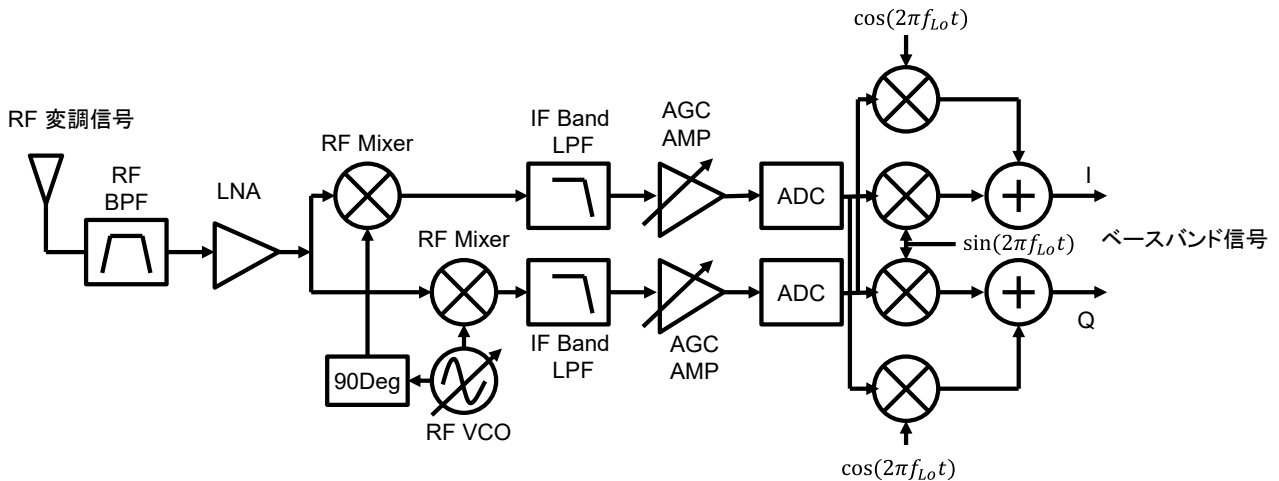


図 1.8 Low IF 受信システム.

この図に示すように、システムの構成はダイレクトコンバージョン受信と同じである。しかし、IF 周波数は、受信帯域の 2 倍にと非常に低い周波数に設定されている点が異なる。このような IF 周波数を選択することによって AGC の出力信号は、DC オフセットの発生が影響するベースバンド信号ではなく IF 信号として動作する。この IF 信号をデジタル変調部の AD コンバータ(ADC)でデジタル信号に変換して IQ のベースバンド信号をデジタル処理して生成する。ダイレクトコンバージョン受信システムと比較すると、DC オフセットによる性能劣化がないため、余分な DC 補償回路が必要ないなどの利点もある。しかし、この Low IF 受信システムは、ベースバンドの帯域幅が広い場合、急峻なローパスフィルタがベースバンドで必要なため、GSM や Bluetooth などのような狭帯域のシステムで主に利用されている[24][25]。

この Low IF システムも他のシステムと同じく、CMOS トランジスタの特性上従来技術では電源電圧が 1.8 ~2.5 V となっている。

#### 1.4.4 デジタルサンプリング受信システム

従来のアナログ回路で構成されていた無線回路ブロックを、デジタル技術を使って受信するデジタルサンプリング受信システムを解説する。このデジタルサンプリング受信システムを図 1.9 に示す[19]。

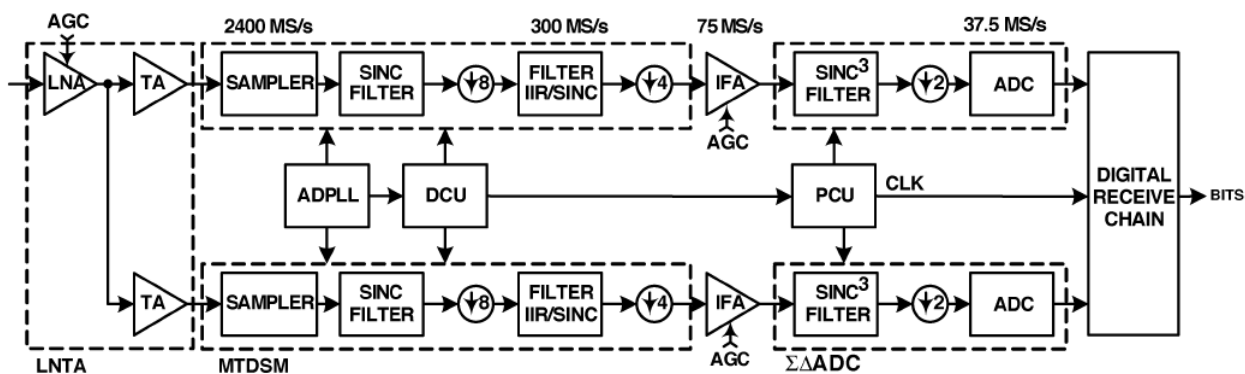


図 1.9 デジタルサンプリング受信システム.

このデジタルサンプリング受信システムは、次のような動作で復調をする。変調された RF 信号は、LNA で増幅後 DISCRETE-TIME RECEIVER で、RF 変調信号を All Digital PLL(ADPLL)のクロック信号からサンプリングを行い直接デジタル化する。Multi Tap Digital Sampling Mixer (MTDSM)を用いてサンプリング後、離散フィルタで高調波と妨害波を除去して I/Q のベースバンドを生成する。

このシステムの特徴は、従来高周波無線部はアナログ回路で構成されていた高周波の信号処理をデジタル信号処理で復調する点にある。このため、半導体のプロセス技術の進化であるムーアの法則に従った、CMOS のプロセス技術の進化に対応することでさらなる高速化と低消費電力化が進化することが見込まれる。また、アナログの弱点であるプロセス・電源・温度(PVT)変動をデジタルで補正することで性能を向上させることが可能となっている。さらに、高周波回路のアナログ部分の仕様で低雑音・線形性などで多くの消費電力が必要となっていた回路の低消費電力化が可能となる。また、このような構成の無線システムは、単機能の復調システムだけではなく色々な変調方式に容易に対応することが可能となる。

デジタルサンプリング受信システムは、初めに無線の仕様が比較的達成容易な Bluetooth のシステムに採用され、現在では実現困難とされていた携帯電話システムにも利用されている。このダイレクトサンプリング受信システムの消費電力は Bluetooth のシステム[19]では 41 mA で電源電圧は 1.5 V で動作する。しかし、本システムは電源電圧の特性は、PLL を除くとほとんどがデジタルロジックで決まるため、製造プロセスに依存しているものの、低電圧化に向いている。

### 1.4.5 スライディング IF システム

次に、受信システムとして、スライディング IF 受信システムを図 1.10 に示す[26]。スライディング IF 受信システムは、スーパーヘテロダイン送信システムと同じような構成となっているが、PLL シンセサイザが 1 つしかなく 2nd IF の局部発振器が高周波局部発振器(RF-VCO)を分周して作られている点にある。従来のスーパーヘテロダインの IF 周波数が固定周波数であるが、本システムの IF 周波数は、RF のチャンネル選択周波数に従って IF 周波数が変化する。このような構成の受信システムは、ダイレクトコンバージョンのように RF 変調出力の周波数と局部発振器の周波数が同じとなる復調ではないため、DC オフセットの影響がないため、信号の劣化が少ない。同様にスーパーヘテロダイン送信回路の欠点である IF の局部発振を実現するための回路と消費電力の増大が無いため、ダイレクトコンバージョンと同等の消費電力となる。論文[26]によると、センサー無線ネットワーク規格で利用できる Bluetooth LE 無線部の消費電力は 2.1 mA で電源電圧が 3 V となっている。

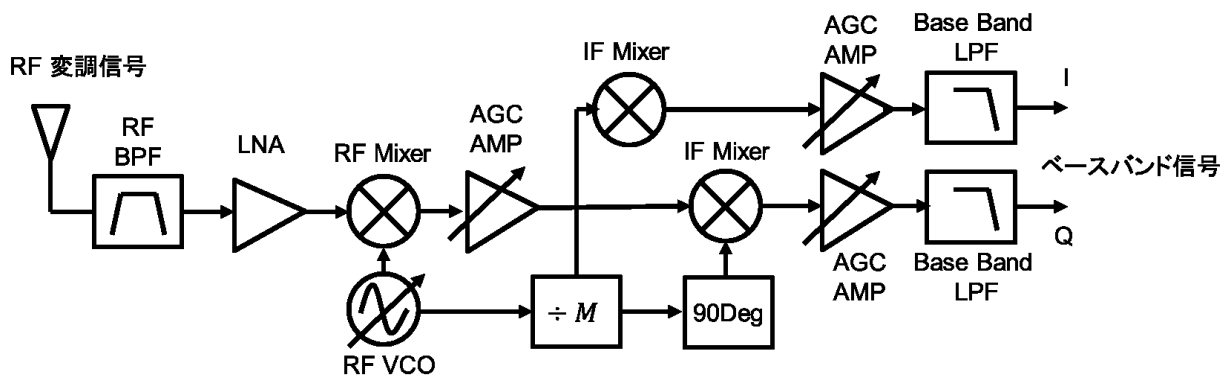


図 1.10 Sliding IF 受信システム。

同様に、スライディング IF 送信システムを図 1.11 に示す[13]。スライディング IF 受信システム同様の逆構成で、高周波局部発振器(RF-VCO)の PLL シンセサイザが 1 つしかなく、2nd IF の局部発振器が RF-VCO を分周して作られている点が特徴である。従来のスーパーヘテロダインの IF 周波数が固定周波数であるのに対して、本システムの IF 周波数は、RF のチャンネル選択周波数に従って変化する点に異なる。このような構成の送信システムは、ダイレクトコンバージョンのように RF 変調出力の周波数と局部発振

機の周波数が同じとなる復調ではないため、DC オフセットの影響がない。同様に、スーパーヘテロダイン送信回路の欠点である IF の局部発振を実現するための回路と消費電力の増大が無い場合、ダイレクトコンバージョンと同等の消費電力となる。論文[13]によると、センサー無線ネットワーク規格で利用できる無線部の消費電力は 4.8 mA で電源電圧が 1.2 V となっている。

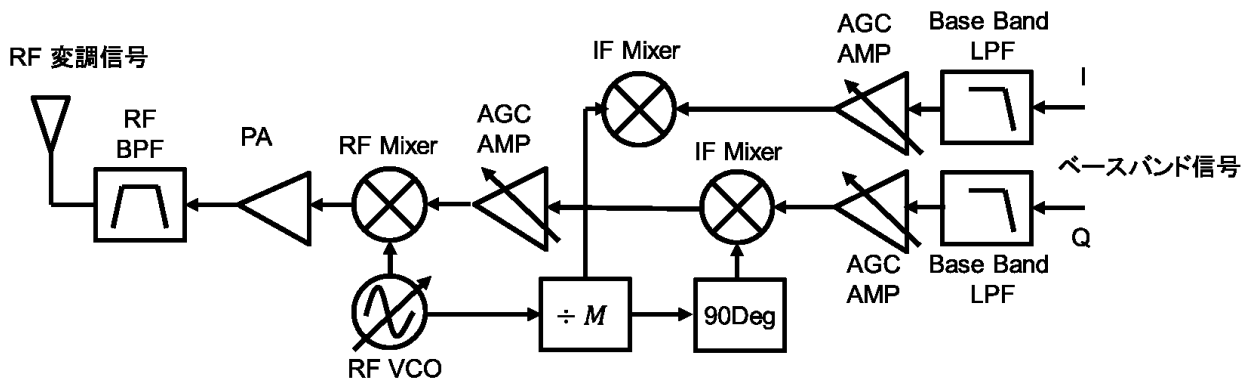


図 1.11 Sliding IF 送信システム.

#### 1.4.6 ポーラー変調送信システム

次に、省電力目的での無線送信システムとして、ポーラー変調送信システムを図 1.12 に示す[17][18]。送信システムで一番消費電力が大きいのが、最終出力回路のパワーアンプ部分である。このポーラー変調送信システムは、パワーアンプ(PA)の電力効率を向上させることができる。

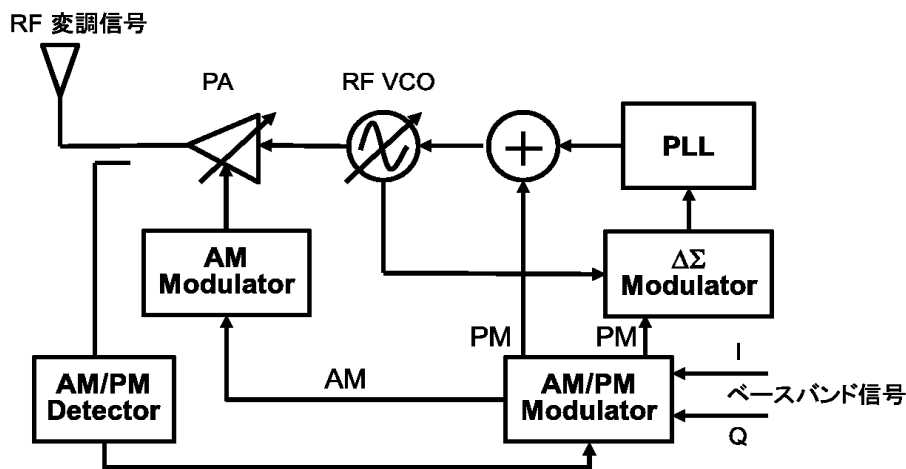


図 1.12 Polar Loop 変調送信システム.

---

ポラー変調システムは、従来のベースバンドのデジタル I/Q 信号の直交変調軸を振幅と位相に分けて変調を行うことが特徴である。このように分離されたベースバンドの位相信号は、PLL シンセサイザにより直接位相変調をかけ RF の信号に変換する。この RF 信号は PA の入力信号となる。同時にベースバンドの振幅信号は、PA の電源やバイアスなどに入力され PA の RF 信号に振幅信号が直接加算される。このようにして変調された信号は、PA の出力端で合成され RF 変調信号として出力される。このとき PA の増幅動作は、コンスタントエンベロープとなる位相だけの変調信号を増幅するため、振幅成分の歪みの影響を受けない E 級増幅器などの高効率な飽和増幅回路を用いることができる。このような飽和増幅回路は、一般的に振幅変調を増幅する線形タイプの増幅回路と比較して、効率が非常に良い。また、増幅信号に合わせて電源による振幅コントロールを同時に行うため、電力のロスが少ない。しかしながら、このポラー変調は PLL シンセサイザによる位相変調を行うため、広い帯域を持つ変調信号を取り扱う場合には、2 点変調などを用いて、PLL ループの帯域外信号を補完する必要がある。さらに振幅信号と位相信号との同期をとるための補正回路が必要となり、PA の出力から振幅と位相の検波回路が必要となるなどシステムが大きくなりやすい。同様に 64QAM などの多値変調に関しては、信号の直交軸でのゼロクロスに対してピークを持つなど欠点があり、IQ の直交軸において、ゼロクロスの信号軸跡とならないようなベースバンド処理も必要となる。

文献[18]によると、WCDMA システムによる消費電力は 128 mA となり、この時の電源電圧は 3.7 V となっている。このシステムは、位相信号パスにおいて線形性が必要としないため、パワーアンプを除く高周波回路は低電圧化に向いている。

#### 1.4.7 All digital 送信システム

このポラー変調送信システムと同様な構成の All digital 送信システムを図 1.13 に示す[20]。このシステムの特徴は、ポラー変調システムのパワーアンプ部分をデジタル増幅器に置き換えられたもので、パワーアンプの振幅変調動作を各増幅動作に割り当てた各ビットに対応するいくつものパワーアンプを、高速に切り替える制御を行うことで振幅変調動作を実現している点にある。同様にアナログの VCO 部分は、デジタルコントロール発振器(DCO)に置き換えて、All Digital Phased Lock Loop (ADPLL)により、デジタル信号によってステップ的に周波数を切り替える。この ADPLL を実現するために、Time



to Digital Converter (TDC) と呼ばれる時間軸の信号をデジタル的にサンプリングする技術が使われている。このこのようにしてパワーアンプの振幅制御と PLL の位相制御のタイミングをデジタル的に時間補正して調整することで、安定動作を確保している。デジタルパワーアンプは、振幅成分を持たない飽和増幅器を用いることができ、ポラー変調のパワーアンプと同様に電力効率が非常に高い。この論文では GSM の規格動作では消費電力は 42 mA、動作電圧は 1.2 V である。

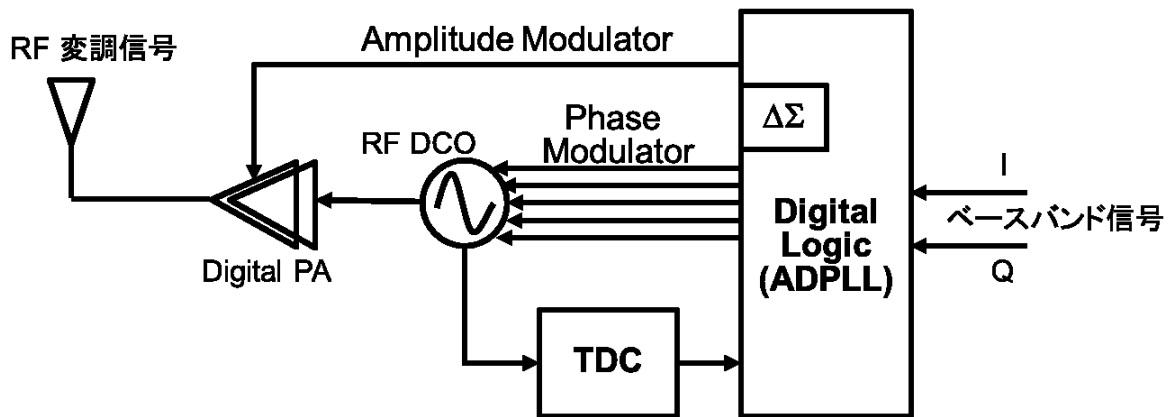


図 1.13 All Digital 送信システム.

以上のように、センサーネットワークで用いられる無線システムは、各変調方式に合わせて様々な方式が採用されている。また各方式は、低消費電力化の技術を取り入れて前章で述べた無線方式で工夫がなされている。しかしながら、どの無線システムも画期的に低消費電力化になっておらず、センサーネットワークの要求仕様としてのバッテリー動作で 10 年から 30 年の動作を行うためには十分でない。また、各システムの動作電圧は、回路の信号処理の必要性から従来技術の回路トポロジーでは 1.5 V 以上の電源は必要となっているのが現状である。

そこで、センサーネットワークの長期間における動作を満たすために、システムの低消費電力化に加えて電源電圧を通常のバッテリーではなく、自己発電できるエネルギーハーベスト電源を使いようとして、無線システムの永久動作の検討を行う。次章ではこの自己発電のエネルギーハーベスト技術に関して述べる。

## 1.5 エナジーハーベスト技術

これまでは、センサーネットワークで用いる無線方式とその無線システムに関して述べてきた。この節では、モバイル環境の無線センサーネットワークに使われる電源の課題と、現在研究が進められているエナジーハーベスト技術を使った電源の特徴を考察し、無線センサーネットワークへの適応可能性を述べる。

無線システムを実現するためには、システムを動作させる電源の確保が必要となる。電源の種類としては、一般電源コンセントから供給する場合は消費電力の点で問題となることはない。しかしながらモバイル環境などで電源を確保できない環境で、センサーノード端末のシステムを動作する場合は、バッテリーが必要となってくる。モバイルバッテリー用途としては、1次電池・2次充電電池（リチウムイオンバッテリー）・ボタン電池等が一般的に利用されており、その容量は各製品によって大きく異なる。その代表例を表 1.4 に示す。また、放電容量（一次電池として）と電池体積の関係を図 1.14 に示す。

表 1.4 1次電池の容量.

1次電池形式	容量 (mAh)
単4マンガン(黒)	450
単4アルカリ	900
単3マンガン(赤)	700
単3マンガン(黒)	1000
単3アルカリ	2000
単3ニッカド	500-1000
単3ニッケル水素	1000-1300

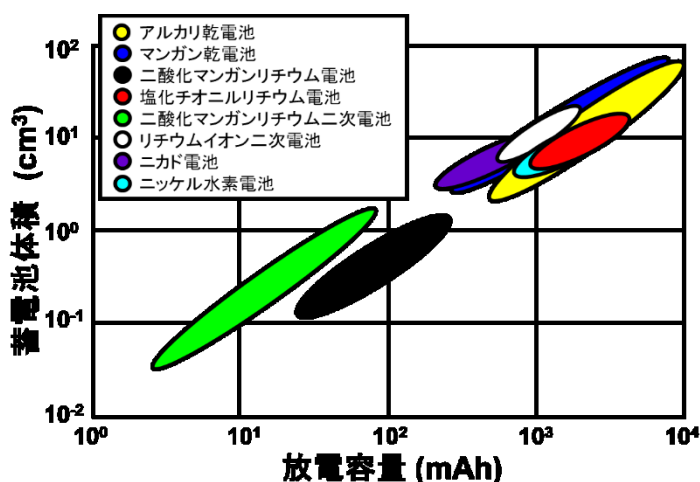


図 1.14 放電容量（一次電池として）と電池体積の関係.

この表 1.4 と図 1.14 から解るように、モバイル用途としての体積ではバッテリーの容量が限られており、前章で述べた 10~30 年のセンサーネットワーク用途での無線システムでの利用を考えた場合、無線システムの消費電力の仕様を満足するバッテリーの技術はない。

このような背景のもと、センサーネットワークの長期間における動作を満たすために、電源電圧を 1 次電池などのバッテリーではなく、近年研究が進められている自己発電できるエネルギーハーベスト（環境発電）を使うことで永久動作させることが研究として進められてきている[27] [28]。

このエネルギーハーベスト技術とは、太陽光、照明光、機械の発する振動、熱、放送の電波などの身の回りに存在するエネルギーを採取し電力を得る技術であり、この電力を用いて電子回路を動作させる。この用途として、特にセンサーネットワークでの活用が見込まれている。このエネルギーハーベストから得られる電力と起電力は非常に小さいが、用途によっては 1 次電池も充電も必要なく動作し続けるという利便性がある。さらにセンサー等の周辺部品の半導体技術が進み、実際に利用できる場面が拡大している。それをけん引するのは、前述した高効率で低消費電力な無線システムである。エネルギーハーベストの技術では単位当たりの発電デバイス当たりの発電量は、 $\mu\text{W}$  オーダーにとどまるものが大半を占める。この代表的な発電エネルギー量を表 1.5 に示す。

表 1.5 エネルギーハーベストのエネルギー量.

エネルギー源	例	単位当たりのエネルギー量 ( $\text{W}/\text{cm}^2$ )	発電電圧 (mV)
振動	歩行、モータ、車、橋梁	$10^{-3} \sim 10^{-4}$	20~300
光	太陽光、照明	$10^{-4}$	200~900
熱	体温、車、温水	$10^{-5}$	20-300
電磁波	放送・通信基地局の電波	$10^{-6}$	~100

### 1.5.1 光発電技術

エネルギーハーベスト技術で現在最も製品として普及進んでいるのが光発電である[29]。この光発電は、太陽光、蛍光灯、発熱灯、LED からの光エネルギーを電力として変換して発電するものである。この光発電の発電原理を図 1.15 に示す。

光発電は基本的に、n型半導体とp型半導体の半導体を接合させた構造をしている。n型半導体は負の電荷を持った電子が多く存在し、p型半導体では正の電荷を持った正孔が多く存在している。このp型半導体とn型半導体の接合部には空乏層と呼ばれる領域があり、n型半導体からp型半導体へと負の電荷を持った電子が移動して、この部分では正の電荷を持った正孔と負の電荷を持った電子の数が均衡している。負の電荷を持った電子が足りなくなったn型半導体はプラスに帯電し、逆にp型半導体はマイナスに帯電している電界が生じる。このような状態において、この空乏層に光が当たると、光のエネルギーで半導体の価電子が光（光子）によって励起される。この結果負の電荷を持った電子はn型半導体へ、正の電荷を持った正孔はp型半導体へ、移動することにより起電力が発生する。これは、光が当たっている間この動作は持続する。

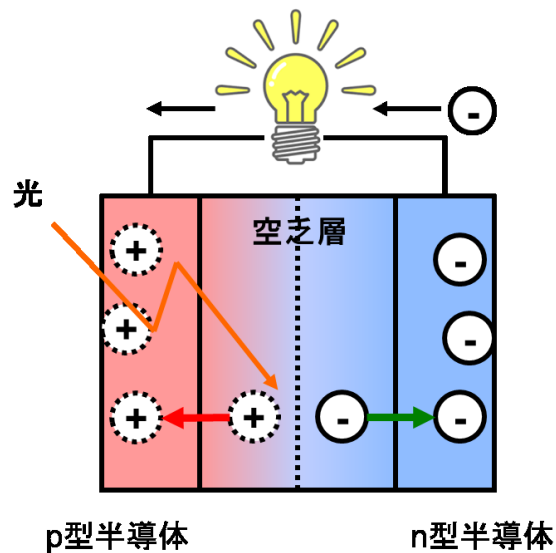


図 1.15 光発電の原理.

このようにして光エネルギーは電気エネルギーに変換される。この光発電は、光がある限りは永久に電気エネルギーを取り出すことができる。エネルギーの変換効率は、現在の最新技術では約 20%程度となっている。

## 1.5.2 温度差発電技術

温度差発電は、ゼーベック効果を利用して発電する[30][31]。図 1.16 に、温度差発電の

原理図を示す。物質は温度差がない状態では、電子が安定状態にあり、電子が均等に分布している。物質を加熱すると、キャリア（負の電荷を持った電子、あるいは正の電荷を持った正孔）が生じる。一方、冷却されている端ではキャリアの発生がほとんどないため、キャリア密度バランスが崩れ、加熱端から冷却端にキャリアが流れる。しかし、ある程度のキャリアが冷却端にたまと、それ以上のキャリアの移動が出来なくなる。

一方、加熱端においてキャリアが流れ出て行った後は、キャリアと反対符号の電荷を持つため、加熱端と冷却端の間に電位差が生じる。これがゼーベック効果である。この状態で加熱端と冷却端を導線をつなぎ負荷を与えることで、電力を取り出すことができる。この効果を利用し、異なる性質を持つ p 形と n 形の半導体を導体で交互に連結したものがゼーベック素子である。n 形半導体は冷却側に負の電荷を持った電子が移動するのに対し、p 形半導体は加熱側に負の電荷を持った電子が移動する。移動した電子は導体を伝って、隣の半導体へ移動する。この電子の移動が電流となり、連結された半導体の両端がゼーベック素子の起電圧となる。

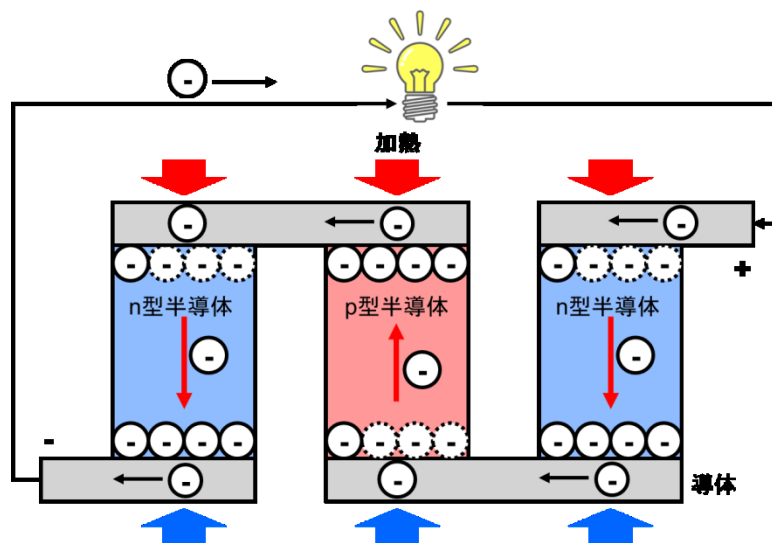


図 1.16 温度差発電の原理.

### 1.5.3 振動発電技術

エネルギーハーベストとして利用の普及が見込まれているものとして、振動発電がある。従来振動発電は、スプリングなどの先に磁石を取り付け、コイルの中を振動によって変動させて、磁界変動を電力に変換して起電力を得ていた。この装置が大きくなかなか普

及するに至らなかった。

しかし、近年 Micro Electro Mechanical Systems (MEMS) と呼ばれる、半導体のシリコン基板上に機械構造の可動部を実装できる技術が出てきた[32]。これは半導体製造技術の発展により、3次元の立体構造で空間を製造することができるようになってきたためである。このようにシリコン基板上にメカニカルな駆動部分と電子回路が共存することで、非常に小型なエネルギーハーベストシステムが実現することができるようになった。

この MEMS を使った振動発電の原理を図 1.17 に示す[33][34]。

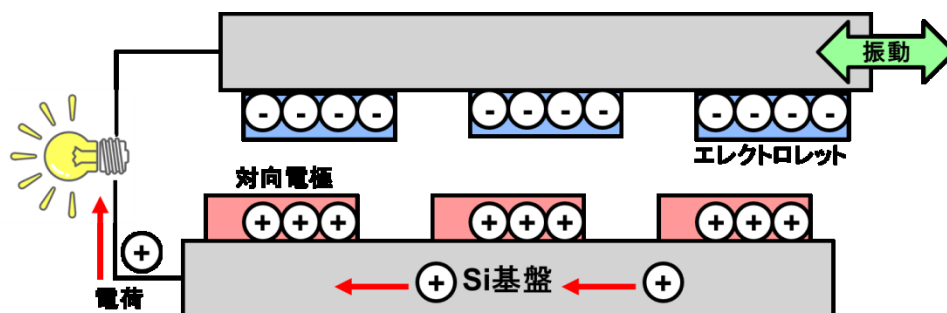


図 1.17 振動発電の原理.

エレクトロレットと呼ばれる半永久的な電荷をもつ絶縁体と対抗電極が、別々の Si 基板上に置かている。このエレクトロレットと対抗電極は、非常狭い（通常は数十 $\mu\text{m}$ ）間隔を持つ。この時エレクトロレットは振動によって動くことができ、この振動により静電誘導の電極が移動することにより、電気を取り出すことができる。この時の得られる電力は単位面積当たり  $10\ \mu\text{W}$  程度である。しかし、この方式は電圧が数十 V と非常に高くインピーダンスも高いため、電源として使いにくい部分もある。

この他に、MEMS を利用した振動発電は圧電方式やピエゾ方式などがあり一般的に広く使われて始めている。

#### 1.5.4 電磁波発電技術

電磁波発電は、交流の電気の電波を身の回りの環境から集め、利用しやすい電気の形に変化させることで電力を発生する。この発電の原理は、一般的にレクテナと呼ばれる素子を用いて、電波を電力に変換させる。レクテナの発電原理を図 1.18 に示す[35]。電

磁波発電は、レクテナは電波を受信する受電アンテナと、入力低域通過フィルタ、整流ダイオード、出力低域通過フィルタを含む整流回路から構成されている。入力低域通過フィルタは整流時に発生する高調波（ノイズ）が、アンテナから空間に再放射されることを抑止する。また、出力低域通過フィルタは、基本波を含む高周波電力を整流ダイオード側に反射し、直流成分のみを直流として負荷へ出力することにより発電する。

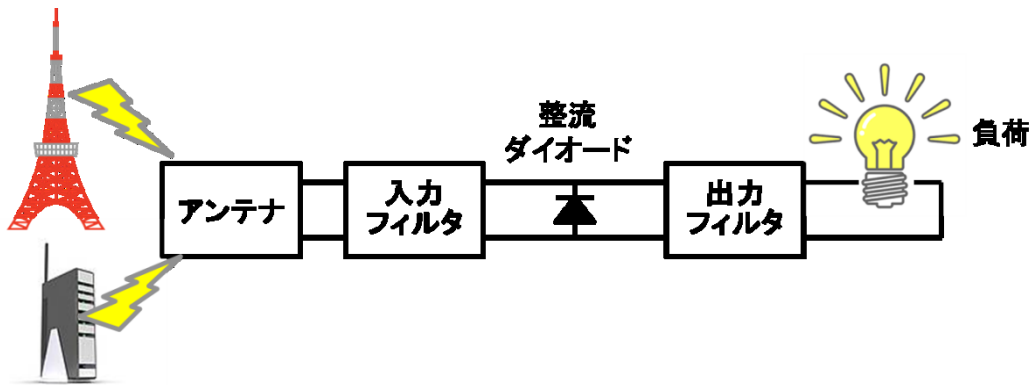


図 1.18 電磁波発電原理.

以上説明してきたように、様々な方式のエネルギーハーベスト技術を用いた電源は、普及に加速がかかり安価で提供される環境が整いつつある。また、エネルギーハーベストを利用することにより様々な環境で電源を確保することができるようになる。このことは、モバイル環境で利用されるセンサーネットワーク用の電源としての利用に非常に適している。

## 1.6 本研究の目的

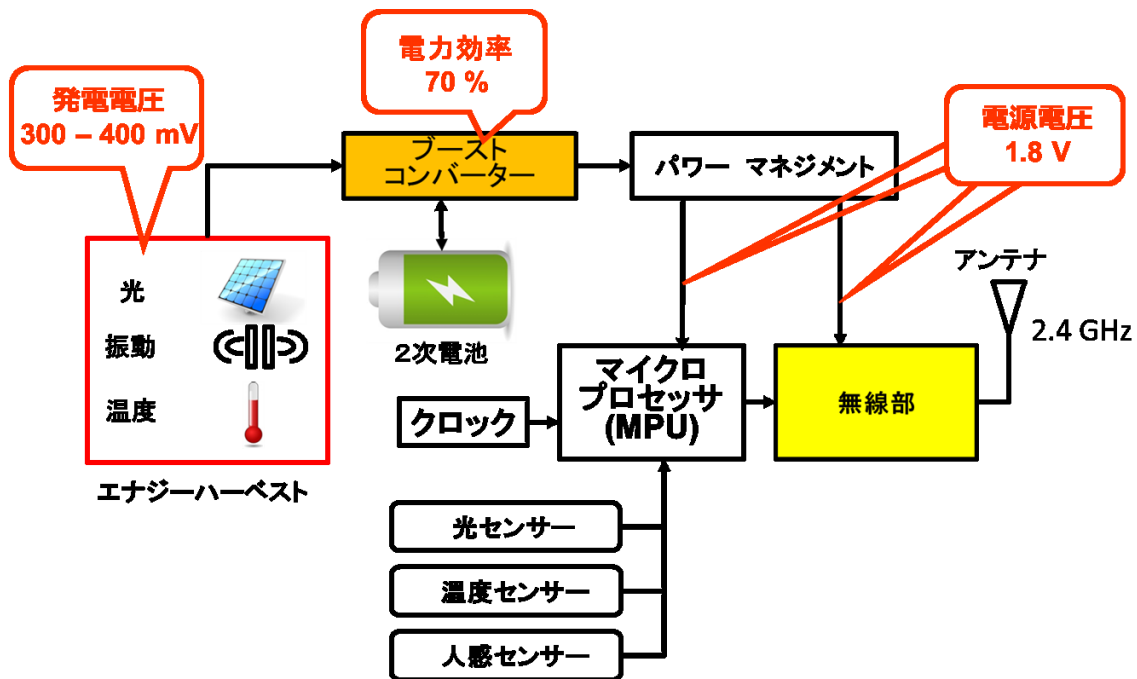


図 1.19 エネルギーハーベストを利用したセンサーネットワークシステム。

これまで述べてきたように、センサーネットワークの長期間における動作を満たすために電源電圧を従来のバッテリーではなく、前述したエネルギーハーベストの自己発電を利用することで、センサーノード端末を永久動作することを目的として研究を行う。

エネルギーハーベストを利用したセンサーネットワークのシステムの一例を図 1.19 に示す[36]。様々なエネルギーハーベストのエネルギー源から得られた微小の電力を、一旦、Micro Processor Unit (MPU)や無線部の集積回路(LSI)が動作できる電圧に昇圧するブーストコンバーター回路で、数百 mV の電圧を数 V へと昇圧する。エネルギーハーベストで得られた電力を 2 次電池によって保存して安定的に電力が使えるようになっている[37]。また省電力化を実現するために、パワーマネジメント部は、電力を間欠動作させるの機能と出力電圧が安定した一定電圧となるような制御する機能を持つ[38][39]。MPU には各センサーからの信号が入力され、MPU によってデジタル信号処理され高周波の無線部へ変調信号が伝達される構成となっている。

エネルギーハーベストを利用したセンサーネットワークのシステムの各機能ブロックで、一番消費電力が大きい無線システムは、これまで述べたように省電力の無線システムを



採用しても、受信・送信とも前述したように数十 mA となってしまう。これと比較して各種センサーや MPU のロジック回路は既に超消費電力の研究[40][41]が行われており、数百  $\mu\text{A}$  程度で動作が可能で、先述した無線部と比較して 2 桁ほど違う。そこで、このようなシステムにおいても非常に微弱な電力を効率的・安定的に動作させるためには、この無線部の消費電力を下げるのが非常に重要となっている。

図 1.19 に示したシステムにおいて、ブーストコンバーターは入力されたエネルギーハーベスタの起電力を MPU や無線部などの回路を駆動するために昇圧を行う機能ブロックである。このブーストコンバーター回路の電力変換効率は 40 – 70 % と理想の 100% と比較して非常に効率が悪い。最近のブーストコンバーターの文献での効率を比較したものを表 1.6 示す[42] - [45]。

表 1.6 ブーストコンバーターの効率.

	[42]	[43]	[44]	[45]
<b>Process</b>	0.13 $\mu\text{m}$	0.13 $\mu\text{m}$	N/A	0.13 $\mu\text{m}$
<b>Startup</b>	External	Not need	Not need	White noise
<b>Min, <math>V_{in}</math></b>	20 mV	270 mV	330 mV	40 mV
<b><math>V_{out}</math></b>	1 V	1.4 V	3 V	2 V
<b>Peak Efficiency</b>	75 %	65 %	75 %	61 %

ここで例えば、光発電の起電力は前述したように 1 セルあたり 400 mV であり、この電圧から高周波無線回路に供給する電源電圧の電圧は少なくとも 1.2 V 以上は必要である。ここで、ブーストコンバーター回路をチャージポンプ式昇圧回路で実現した場合、キャパシタを充電するため電力損失が発生する。この電力効率 $\eta$ は、式(1.1)のようになる。

$$\eta = \frac{V_{out}Q_{out}}{V_{in}Q_{in}} . \quad (1.1)$$

ここで、 $V_{out}$  は昇圧電圧の後の電圧であり、 $V_{in}$  はブースト電圧の前の電圧である。 $Q_{in}$ 、 $Q_{out}$  はそれぞれ入力側から供給された電力量、出力側に流れた電力量である。一段目に供給される電力量を  $Q$  とすると、2 段目以降に供給される電力量は  $Q/2$  になる。この結果を(1.1)に代入し、 $n$  段ある時の効率は次式のようにになる。

$$\eta = \frac{V_{out}}{(n + 1)V_{in}} \quad (1.2)$$

この結果を用いて、0.1 V～1.1 V の入力電圧を無線部の電源電圧の 1.2 V に昇圧した際の効率を図 1.20 示す。

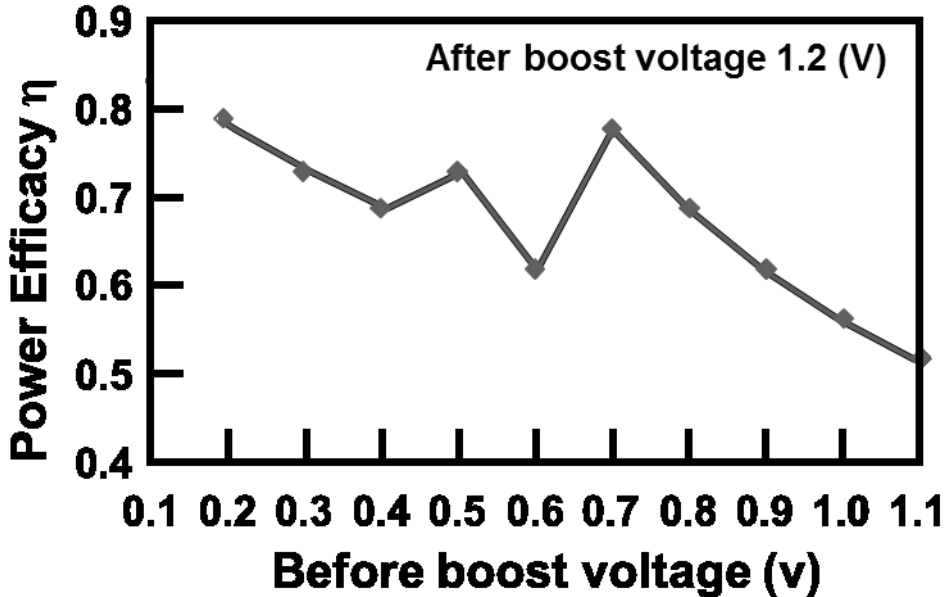


図 1.20 ブーストコンバーター回路の電力効率.

太陽光発電の電圧が 0.2～0.9 V であると考え、そこから 1.2 V に昇圧する際には 70%前後の効率しか出すことが出来ない。従って、エネルギーハーベストを利用した電源にブーストコンバーターを用いて無線部を動作させると、30%近く無駄な電力を消費してしまうことになる。

低消費電力の実現には、高周波無線回路の消費電力を低減する優れた手法として、次の 2 つの方法が有効であると考えている。一つは、無線の各回路自体を新しいトポロジーを用いて低消費電力を実現する方法である。新たな回路トポロジーの文献[4]では、低雑音増幅器 (LNA)、電圧制御発振器 (VCO) とミキサー回路は、GND から電源間に各ブロックが垂直に積層して動作している。このような回路では、三つの回路ブロックで電流源を共有し総消費電力を削減している。このアプローチは、5 個の MOSFET トランジスタを GND から電源までスタックしているため、最小動作電圧が 0.8 V に制限される。

もう一方のアプローチは、無線回路を超低電圧で実現することである。この方法は、

回路の消費電流が同じか、より少ない電流を消費するように実現することができる場合、全体の消費電力を低減するために有効である。超低電圧回路で無線部を実現できれば、エネルギーハーベスト技術を利用した電源から直接動作させることが可能となるだけでなく、ブーストコンバーターでの電力効率の影響を受けることなく安定したセンサーネットワークを実現できる。一方前述した、MPU などのデジタルベースバンド回路では、消費電力が非常に少ないために、このブーストコンバーター効率が悪いことによる影響は少ない。

MPU などに用いられているロジック回路でも、超低電圧化の研究が行われている。例えば、文献[46]によると乗算回路を 300 mV の電源で動作することが可能となっている。文献[47]では、SRAM のメモリ回路を 200 mV の動作が報告されている。このように無線回路とデジタル回路の超低電圧を実現することで、自律型センサーネットワーク無線システムが可能となり永久に動作するセンサーノード端末が実現可能となる。

同様に、無線部の超低電圧化による先行研究がいくつか行われている[48] - [55]。この先行研究においては前述したように、センサーネットワークシステムで主に利用されている標準的な無線システムである Zigbee や Bluetooth LE などとは異なる独自規格のシステムで、ターゲットとなるシステム仕様が非常に限られたものとなる。そこで、Zigbee や Bluetooth LE などのシステムにおいても非常に微弱なエネルギーハーベストの電力を効率的・安定的に動作させるためには、標準規格システムの無線部で消費電力を下げるのが非常に重要となっている。

さらに省電力化を進めるために、無線センサーネットワークでは、省電力化のために常に受信状態または送信状態とはならず間欠動作をする。この間欠動作は無線システム

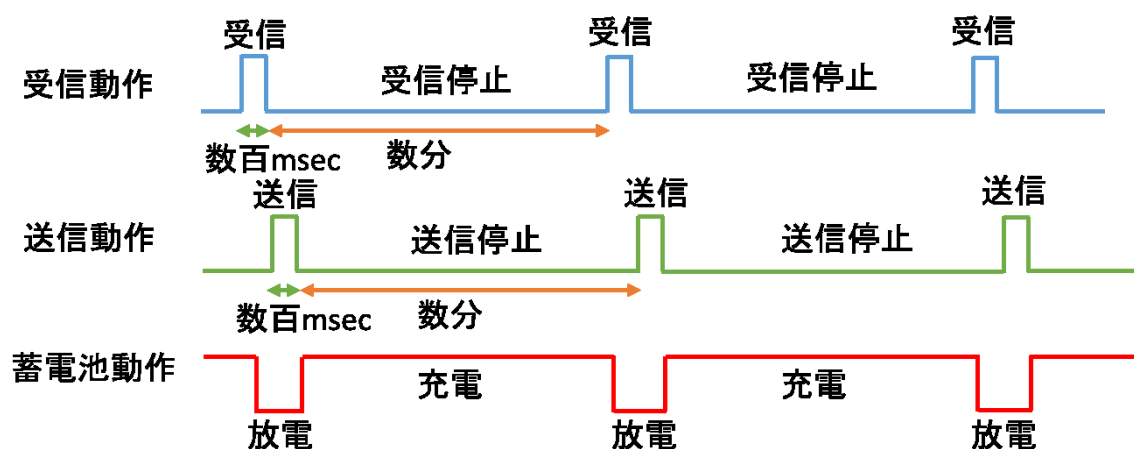


図 1.21 センサーネットワークの送受信時間と蓄電池動作.

によって異なるが、図 1.21 に示すように実動作時間は数 msec 以下と短く、その動作間隔は数分となっている。つまり、ほとんどの時間はスタンバイ状態で電力を消費することない。

さらに、エネルギーハーベストで発電した電力は、発電する電力は微小な電力のため、前述したように非常に短時間に送受信する期間だけ電力が消費される。この通信に必要な電力を一旦2次蓄電池（キャパシタなどを含む）に蓄積し、送受信できる電力として利用される。

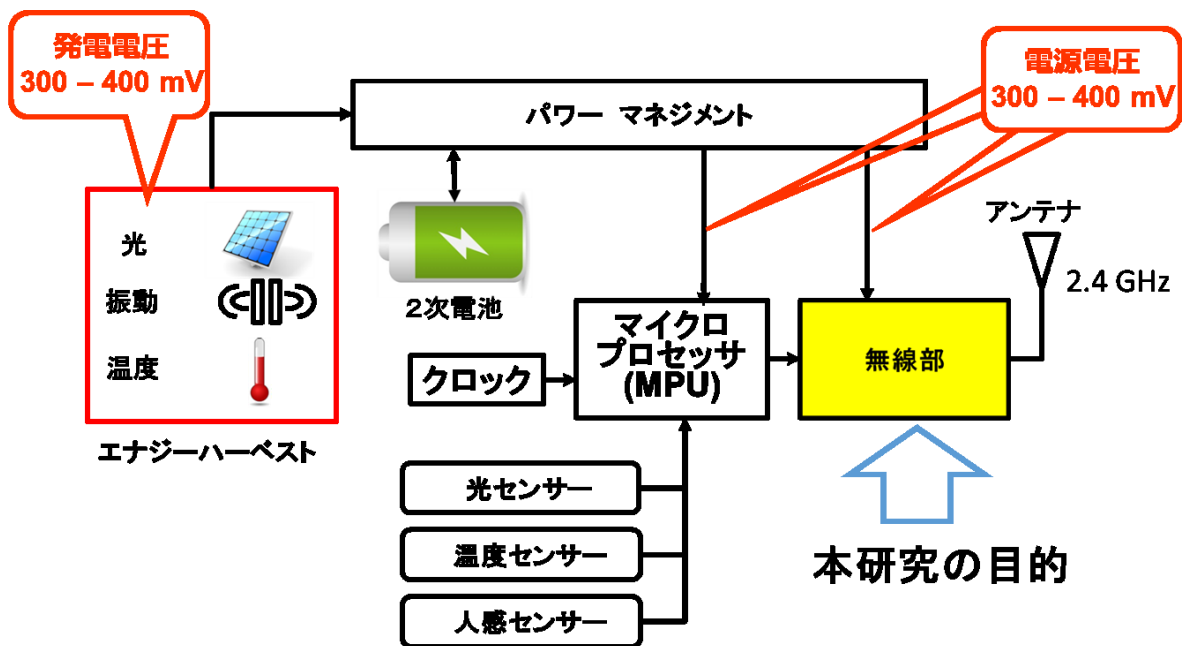


図 1.22 エネルギーハーベストを利用した自律型センサーネットワークシステム。

以上のように、センサーネットワークシステムで用いられる Zigbee や Bluetooth LE などの標準的な無線システムを、2.4 GHz 帯域の高周波回路において超低電圧で動作する回路やシステムの先行研究は、極めて少なく技術も確立していない。そこで本研究は、図 1.22 に示すように、エネルギーハーベストの電源をそのまま利用し、超低電圧で動作することで低消費電力化が図れるとともに、安定した長時間動作のデータ伝送を実現する自律型センサーネットワークの高周波無線システムを実現することを目的とし、特に消費電力が大きい受信システムと送信システムの高周波回路の無線部の低電圧化による低消費電力を実現することに着目する。

表 1.7 に、これまでの先行研究のセンサーネットワーク無線システムと本研究の目指すセンサーネットワーク無線システムの比較を示す。

表 1.7 先行研究のセンサーネットワーク無線システムとの比較.

	先行研究の センサーネットワーク無線システム	本研究の センサーネットワーク無線システム
動作電源電圧	1.8 (V)	0.4 (V)以下
無線部消費電力	50 (mW)	5 (mW)以下
無線周波数	400 (MHz), 2.4 (GHz)	2.4 (GHz)
変調方式	独自方式, FSK変調	FSK変調 (Bluetooth LE)
エネルギーハーベスト 電源対応	ブーストコンバーター回路 必要	直接電源で動作可能

さらに本章以降では、最終的に自律型センサーネットワークとして、エネルギーハーベストの超低電圧電源(400 mV 以下)で動作する低消費電力の送受信システムを実現するにあたり、図 1.23 に示すように各章ごとに順を追って説明をする。

## 第1章 研究背景

無線センサーネットワークの先行研究と、エネルギーハーベスト技術を用いた半永久動作を目指す無線システムの課題

低電圧無線回路を検討するための  
トランジスタ動作条件の検討

## 第2章 基本動作

MOSFETのトランジスタ形状・バイアス条件の最適化

課題: 超低電圧電源での弱反転領域のトランジスタ動作が不明  
アイデア: シミュレーションで高周波トランジスタのFigure-of-meritが最大となる、トランジスタのW/L及びボディバイアスなどの条件を検証

最適なトランジスタ形状を利用した  
無線回路ブロックを検討

## 第3章 基本回路

トランスフォーマを用いた低電圧動作の高周波回路の提案

課題: 先行研究の回路は、トランジスタを多段のスタック構成で低電圧化が困難  
アイデア: 無線システムで重要な発振器と周波数分周回路を、トランスフォーマを用いて、電源とGND間に1段のトランジスタの構成のトポロジーを提案

トランスフォーマ技術を用いた  
受信システム無線部を検討

トランスフォーマ技術を用いた  
送信システム無線部を検討

## 第4章 受信システム

トランスフォーマ技術等で超低電圧受信システムを提案

課題: 先行研究受信機は、0.5Vの電源動作で消費電流も26.2mAと大きい  
アイデア: 受信回路のフロントエンド部にトランスフォーマ技術を用い、パッシブミキサー構成のトポロジーを提案

## 第5章 送信システム

トランスフォーマ技術等で超低電圧送信システムを提案

課題: 先行研究送信機は、1.0Vの電源動作で消費電流も数8.9mAと大きい  
アイデア: 送信回路のフロントエンド部にトランスフォーマ技術及びダイレクト変調構成のトポロジーを提案

## 第6章 まとめ

エネルギーハーベストの超低電圧電源(300-400 mV)で動作する低消費電力の送受信システムを動作検証し、自律型センサーネットワークの実現を実証

図 1.23 本研究内容の各章のつながり.

---

## 1.7 本論文の構成

図 1.24 に本論文の構成を示す。第 1 章は序論である。本研究の背景としてセンサーネットワークシステムで利用される無線通信技術を説明し、このセンサーネットワーク環境で用いられる電源技術としてエネルギーハーベスト技術の研究動向を概説する。そして、本研究のエネルギーハーベスト技術を利用した無線システム開発の意義と解決すべき課題をまとめる。

第 2 章では、センサーネットワークシステムで用いる超低消費電力の無線システムを超低電圧で動作する高周波回路で実現するために、従来議論されてこなかった超低電圧・高周波領域でのトランジスタデバイスの特性を明らかにする。そこで、標準的な半導体プロセスでの高周波回路で用いる MOSFET トランジスタを超低電圧動作させるため、サブスレッショルド領域や弱反転領域のトランジスタの最適化手法を検証する。

第 3 章では、超低消費電力の無線システムを実現するために、システムで重要で超低電圧動作が実現困難な高周波回路ブロックである電圧制御発振回路及び高周波 1/2 周波数分周器回路を、300 mV の超低電源電圧での動作を検討する。従来、電源と GND 間にトランジスタを複数段スタックして回路を構成していた。そこで、新規にトランス結合器を用いて 1 段のトランジスタとするトポロジーを提案し超低電圧を実現する。提案した技術は、65 nm CMOS プロセスを用いた試作チップによる実測で動作を検証し性能を評価する。特に、試作したチップを用いて、高周波動作の最低動作電圧を検証し消費電力とのトレードオフを実証する。

第 4 章では、超低消費電力の 2.4 GHz 帯 FSK 受信システムとして 300 mV の超低電圧で動作する回路ブロックを検討して実現する。この回路ブロックには、受信の無線回路で重要な低雑音増幅器、ミキサー回路 (Mixer)、電圧制御発振回路、利得制御増幅器 (GCA)、Filter などを含む。高周波回路は、3 章で開発したトランス結合器を利用するとともに、新規にパッシブミキサーを利用して低電圧化を図った。提案した技術は 65 nm CMOS プロセスを用いた試作チップを行い、各回路の性能や受信システムの性能を検証する。さらに、試作したチップを用いて 2.4 GHz の高周波 FSK 変調信号を用いて受信性能を実測する。

第 5 章では、超低消費電力の 2.4 GHz 帯 FSK 変調 Bluetooth LE 送信システムとして、

400 mV の超低電圧で動作する回路ブロックを用いて開発した。この回路ブロックには、送信の無線回路で重要な電力増幅回路、電圧制御発振回路、高周波周 1/2 波数分周器回路、チャージポンプ回路、周波數位相比較回路、利得制御増幅回路、フィルタ回路などを検討する。3章で開発した電圧制御発振回路及び周波数分周回路に、新たにトランス結合器容量バンクスイッチ回路を提案し、VCO の可変周波数を大幅に拡大する回路を新規提案する。検討した回路を 65 nm CMOS プロセス技術を用いてチップを試作し、各回路の性能や Bluetooth LE の送信システムの性能を実測で動作を検証する。

第6章では、結論として各章で得られた内容をまとめ、本研究の成果を要約する。

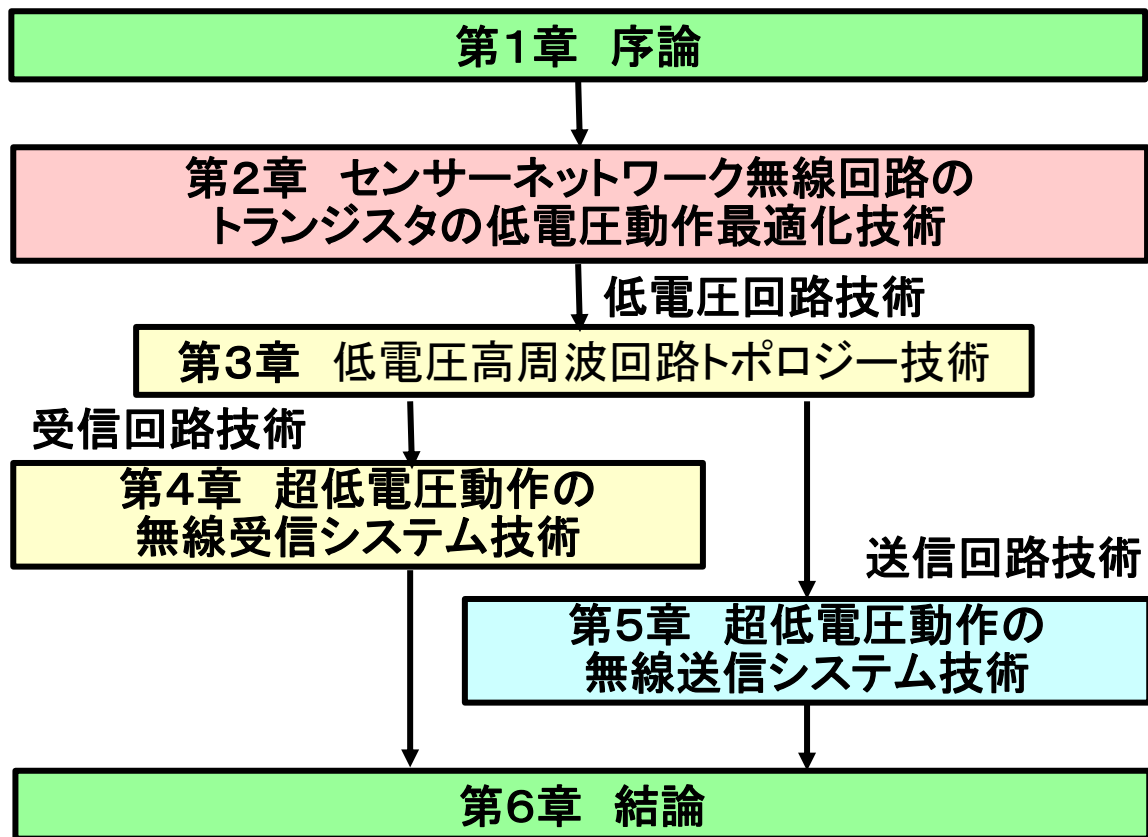


図 1.24 本論文の構成.



---

## 参考文献（第 1 章）

- [1] K. Saito, *et al.*, “Field Experiments on 1-Gbps Data Transmission Using 4-by-2 Multi-User MIMO with Cross-Polarized Linear Antenna Array in LTE-Advanced Downlink,” *IEEE Vehicular Technology Conf. (VTC Spring 2013) Proc.*, pp.1-5, Jun. 2013.
- [2] L.G. Rios, *et al.*, “Big Data Infrastructure for analyzing data generated by Wireless Sensor Networks,” *IEEE Int. Congress Big Data (BigData Congress 2014)*, pp.816-823, Jun. 2014.
- [3] Verizon research report, “State of the Market the Internaet of Things 2015 Discover how IoT is transforming business results,” 2015. [Online]. Avairable:  
[http://www.verizonenterprise.com/resources/reports/rp\\_state-of-market-the-market-the-internet-of-things-2015\\_en\\_xg.pdf](http://www.verizonenterprise.com/resources/reports/rp_state-of-market-the-market-the-internet-of-things-2015_en_xg.pdf)
- [4] V. Tsetsos, *et al.*, “Commercial Wireless Sensor Networks: Technical and Business Issues,” *IEEE Second Annual Conf. Wireless On-demand Network Systems and Services (WONS 2005)*, pp.166-173, Jan. 2005.
- [5] A. Reinhardt, “SmartMeter.KOM: A Low-Cost Wireless Sensor for Distributed Power Metering,” *IEEE 36th Conf. Local Computer Networks (LCN 2011)*, pp.1032-1039, Oct. 2011.
- [6] 経済産業省 スマートメータ制度検討会(第 15 回) 配布資料, スマートメータの導入促進に伴う課題と対応について, 平成 26 年 12 月 9 日. [Online]. Avairable:  
[http://www.meti.go.jp/committee/summary/0004668/pdf/015\\_03\\_00.pdf](http://www.meti.go.jp/committee/summary/0004668/pdf/015_03_00.pdf)
- [7] J. Hirsch, “Five ways Tesla Motors pushes technology change in auto industry,” *Los Angels Times*, Mar 2014. [Online]. Avairable:  
<http://www.latimes.com/business/autos/la-fi-hy-how-tesla-pushes-auto-technology-20140321-story.html>
- [8] G. Balakrishnan, *et al.*, “Multifunctional Sensor Networks for Automation, Process Monitoring and Robotic Applications,” *IEEE 19th Int. Workshop Robotics in Alpe-Adria-Danube Region*

---

(RAAD2010), pp.341-345, Jun. 2010.

- [9] S.E. Watkins, *et al.*, “Smart Bridges with Fiber-Optic Sensors,” *IEEE Instrumentation & Measurement Magazine*, vol. 6, no. 2, pp.25-30, Jun 2003.
- [10] M.F.M. Fuzi, “HOME FADS: A Dedicated Fire Alert Detection System Using ZigBee Wireless Network,” *IEEE 5th Control and System Graduate Research Colloquium (ICSGRC 2014)*, pp.53-58, Aug. 2014.
- [11] A. Singh, *et al.*, “Sensor Integration in a Wireless Sensor Network System for Environmental Monitoring System,” *IEEE Int. Conf. Intelligent and Advanced Systems (ICIAS 2010)*, pp.1-5, Jun. 2010.
- [12] D-S. Lee, *et al.*, “Vital Sign Monitoring System with Life Emergency Event Detection using Wireless Sensor Network,” *IEEE Conf. Sensors*, pp.518-521, Oct. 2006.
- [13] Y.-H. Liu, *et al.*, “A 1.9nJ/b 2.4GHz Multistandard (Bluetooth Low Energy / Zigbee / IEEE802.15.6) Transceiver for Personal/Body-Area Networks,” *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers (ISSCC 21013)*, pp.446-447, Feb. 2013.
- [14] H. Tomiyama, *et al.*, “A Low Voltage (1.8V) Operation Triple Band WCDMA Transceiver IC,” *IEEE Radio Frequency Integrated Circuits Symp. Dig. Papers (RFIC 2006)*, pp.4, Jun. 2006.
- [15] J. Rogin, *et al.*, “A 1.5-V 45-mW Direct-Conversion WCDMA Receiver IC in 0.13- $\mu$ m CMOS,” *IEEE Journal of Solid-State Circuits*, vol. 38, no.12, pp.2239-2248, Dec 2003.
- [16] J.A.M. Jarvinen, *et al.*, “2.4-GHz Receiver for Sensor Applications,” *IEEE Journal of Solid-State Circuits*, vol. 40, no. 7, pp.1426-1433, Jul. 2005.
- [17] T. Tsukizawa, *et al.*, “ISO-Less, SAW-Less Open-Loop Polar Modulation Transceiver for 3G/GSM/EDGE Multi-Mode/Multi-Band Handset,” *IEEE Int. Microwave Symp. Dig. Papers (MTT2010)*, pp.252-255, May 2010.
- [18] M. Nakamura, *et al.*, “Accurate UMTS Power Transition with Power Alignment Loop Between Two Different Modulation Modes for Polar Transmitter,” *IEEE Int. Microwave Symp. Dig.*

---

*Papers (MTT2011)*, pp.1-4, Jun. 2011.

- [19] R.B. Staszewski, *et al.*, "All-digital TX Frequency Synthesizer and Discrete-Time Receiver for Bluetooth Radio in 130-nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 39, no. 12, pp.2278-2291, Dec. 2004.
- [20] R.B. Staszewski, *et al.*, "All-Digital PLL and Transmitter for Mobile Phones," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 12, pp.2469-2482, Dec 2005.
- [21] I. Madadi, *et al.*, "A TDD/FDD SAW-Less Superheterodyne Receiver with Blocker-Resilient Band-Pass Filter and Multi-Stage HR in 28nm CMOS," *IEEE Int. Symp. VLSI Circuits Dig. Tech.*, pp.C308-C309, Jun. 2015.
- [22] G. Chang, *et al.*, "A Direct-Conversion Single-Chip Radio-Modem for Bluetooth," *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers (ISSCC. 2002)*, vol.1, pp.88-448, Feb. 2002.
- [23] G. Ordu, *et al.*, "A Novel Approach for IF Selection of Bluetooth Low-IF Receiver Based on System Simulations," *IEEE Int. SOC Conf. Proc.*, pp.43-46, Sep. 2003.
- [24] C.Durdodt, *et al.*, "Comparison of an Inductorless low-IF and Zero-IF Receiver for Bluetooth," *IEEE Midwest Symp. Circuits and Systems (MWSCAS-2002)*, vol. 1, pp.I-563-6, Aug. 2002.
- [25] J. Crols, *et al.*, "Low-IF Topologies for High-Performance Analog Front Ends of Fully Integrated Receivers," *IEEE Trans. Circuits and Systems II Analog and Digital Signal Proc.*, vol. 45, no. 3, pp.269-282, Mar. 1998.
- [26] T. Sano., *et al.*, "13.4 A 6.3mW BLE Transceiver Embedded RX Image-Rejection Filter and TX Harmonic-Suppression Filter Reusing On-Chip Matching Network," *IEEE Int. Solid- State Circuits Conf. (ISSCC 2015)*, pp.1-3, Feb 2015.
- [27] P. Harrop, *et al.*, "Energy Harvesting and Storage for Electronic Devices 2010-2020," *IDTechEx Ltd.*, Jul. 2010.
- [28] Innovative Research and Products, Inc., "Ultra-low Power (Microwatt) Energy Harvesting for Wireless Switches and Wireless Sensor Networking," Types, APPLICATIONS, NEW DEV

---

ELOPMENTS, INDUSTRY, Apr. 2010.

- [29] V. Raghunathan, *et al.*, “Design Considerations for Solar Energy Harvesting Wireless Embedded Systems,” *IEEE Int. Conf. Information Processing in Sensor Networks (IPSN 2005) Proc.*, pp.457-462, Apr. 2005.
- [30] I. Stark, “Invited Talk: Thermal Energy Harvesting with Thermo Life,” *Int. Workshop Wearable and Implantable Body Sensor Networks*, pp.19-22, Apr. 2006.
- [31] P. Spies, *et al.*, “Energy Harvesting for Mobile Communication Devices,” *Int. Telecommunications Energy Conf. (INTELEC 2007)*, pp.481-488, Sep. 2007.
- [32] S.Roundy, *et al.*, “A Study of Low Level Vibrations as a Power Source for Wireless Sensor Nodes,” *Computer Communications*, vol. 26, no. 11, pp.1131-1144, Jul. 2003.
- [33] R. Mialtu, *et al.*, “Electret Based Capacitive MEMS Vibration-to-Electric Energy Harvesting,” *IEEE Int. Semiconductor Conf. (CAS 2009)*, vol. 1, pp.219-222, Oct. 2009.
- [34] K. Kholostov, *et al.* “Design and Technology for 3D MEMS Device for Vibration Energy Harvesting,” *Ph.D. Research in Microelectronics and Electronics Conf.*, pp.1-4, Jun.2015.
- [35] A. Dolgov, *et al.*, “Power Management System for Online Low Power RF Energy Harvesting Optimization,” *IEEE Trans. on Circuits and Systems Regular Papers*, vol.57, no. 7, pp.1802-1811, Jan. 2010.
- [36] Naveen, *et al.*, “Energy Aware Self Powered Wireless Sensor Mote,” *IEEE Int. Conf. on Sensing Technology (ICST 2012)*, pp.630-636, 2012.
- [37] F. Simjee, “Everlast: Long-life, Supercapacitor-operated Wireless Sensor Node,” *IEEE Int. Symp. Low Power Electronics and Design (ISLPED 2006) Proc.*, pp.197-202, Oct. 2006.
- [38] C. Moser, *et al.*, “Power Management in Energy Harvesting Embedded Systems with Discrete Service Levels,” *Proc. IEEE Int. Symp. Low Power Electronics and Design (ISLPED 2009) Proc.*, pp. 413–418, Aug. 2009.
- [39] A. Kansal, *et al.*, “Power Management in Energy Harvesting Sensor Networks,” *ACM Trans.*

---

*Embed. Comput. Syst.*, vol. 6, no. 4, Sep. 2007.

- [40] B. A. Warneke, *et al.*, “An Ultra-Low Energy Microcontroller for Smart Dust Wireless Sensor Networks,” *IEEE Int. Solid-State Circuits Conf. Dig. Tech Papers*, pp. 316-317, Feb. 2004.
- [41] M. D. Scott, *et al.*, “An Ultra-Low-Energy ADC for Smart Dust,” *IEEE Journal of Solid-State Circuits*, vol. 38, no. 7, pp. 1123-1129, Jul. 2004.
- [42] E. Carlson, *et al.*, “A 20mV Input Boost Converter with Efficient Digital Control for Thermoelectric Energy Harvesting,” *IEEE Journal of Solid-State Circuits*, vol. 45, no. 4, pp. 741–750, Apr. 2010.
- [43] Y.-C. Shih, *et al.*, “An Inductorless DC-DC Converter for Energy Harvesting with a 1.2-W Bandgap-Referenced Output Controller,” *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 58, no. 12, pp. 832–836, 2011.
- [44] K. Kadirvel, *et al.*, “A 330nA Energy Harvesting Charger with Battery Management for Solar and Thermoelectric Energy Harvesting,” *IEEE Int. Solid-State Circuits Conf. Dig. Tech Papers*, pp. 106–108, 2012.
- [45] H.-C. Chen, *et al.*, “0.5-V 5.6-GHz CMOS Receiver Subsystem,” *IEEE Trans. Microw. Theory Tech.*, vol. 57, no. 2, pp. 329–335, Feb. 2009.
- [46] A. Tajalli, *et al.*, “Subthreshold Source-Coupled Logic Circuits for Ultra-Low-Power Applications,” *IEEE Journal of Solid-State Circuits*, vol. 43, no. 7, pp.1699-1710, Jul. 2008.
- [47] L.A.P. Melek, *et al.*, “Ultra-low voltage CMOS logic circuits,” *IEEE Argentine Conf. Micro-Nanoelectronics Technology and Applications (EAMTA 2014)*, pp.1-7, Jul. 2014.
- [48] B.W. Cook, *et al.*, “An Ultra-Low Power 2.4GHz RF Transceiver for Wireless Sensor Networks in 0.13/ $\mu\text{m}$  CMOS with 400mV Supply and an Integrated Passive RX Front-End,” *IEEE Int. Solid-State Circuits Conference Dig. Tech. Papers (ISSCC 2006)*, pp.1460-1469, Feb. 2006.
- [49] B.W. Cook, *et al.*, “Low-Power 2.4-GHz Transceiver with Passive RX Front-End and 400-mV Supply,” *IEEE Journal of Solid-State Circuits*, vol. 41, no. 12, pp.2757-2766, Dec. 2006.

- 
- [50] M. Rashdan, *et al.*, "Ultra Low Power Transceiver for Wireless Patient Vital Sign Monitoring," *IEEE Canadian Conf. on Electrical and Computer Engineering*, (CCECE 2007), pp.425-428, Apr. 2007.
- [51] F.S. Lee, *et al.*, "A 2.5nJ/b 0.65V 3-to-5GHz Subbanded UWB Receiver in 90nm CMOS," *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers (ISSCC 2007)*, pp.116-590, Feb. 2007.
- [52] A. V.Do, *et al.*, "A Subthreshold Low-Noise Amplifier Optimized for Ultra-Low-Power Applications in the ISM Band," *IEEE Trans. Microwave Theory and Techniques*, vol. 56, no. 2, pp.286-291, Feb. 2008.
- [53] N.M. Pletcher, *et al.*, "A 2GHz 52  $\mu$ W Wake-Up Receiver with -72dBm Sensitivity Using Uncertain-IF Architecture," *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers (ISSCC 2008)*, pp.524-683, Feb. 2008.
- [54] S. Drago, *et al.*, "A 2.4GHz 830pJ/bit Duty-cycled Wake-up Receiver with -82dBm Sensitivity for Crystal-less Wireless Sensor Nodes," *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers (ISSCC 2010)*, pp.224-225, Feb. 2010.
- [55] J. Ayers *et al.*, "A 2.4GHz Wireless Transceiver with 0.95nJ/b Link Energy for Multi-Hop Battery-Free Wireless Sensor Networks," *IEEE Symp. VLSI Circuits (VLSIC)*, pp.29-30, Jun. 2010.

---

## 第2章

# センサーネットワーク無線回路の トランジスタの低電圧動作最適化技術

---

## 2.1 はじめに

自律型のセンサーネットワークシステムを実現するために、第1章では、半永久動作を可能にする、エネルギーハーベットの超低電圧電源で動作する無線システムと回路について研究課題とすることを述べた。エネルギーハーベットの起電力を直接利用する超低電圧電源では、MOSFET トランジスタの  $V_{th}$  より低いバイアス条件で動作させなくてはならない。そのため、MOSFET トランジスタを強反転領域で利用する従来の高周波回路設計手法は適応できない。つまり、これまで養われてきた高周波回路設計やデバイスの高周波性能の知識やノウハウが全く活かすことができない未知の領域となる。

そこで、本章では、次の第3章、第4章、第5章の無線センサーネットワークで実現する無線受信システムや送信システムで利用する高周波回路を検討する前に、超低電圧電源の条件下でのデバイスの特性を十分に把握する必要がある。そこで実際に設計・試作に利用する標準的な高周波半導体プロセスを用いて、MOSFET トランジスタの超低電圧動作時のサブスレッショルド領域や弱反転領域での性能を検証するとともに、トランジスタの種類、MOSFET トランジスタの種類、バイアス条件、動作条件、トランジスタサイズ形状などの最適化手法を確立する。

本章で確立した手法を利用して、次章以降の超低電圧電源で動作させる MOSFET トランジスタの弱反転領域を利用し、高周波回路に適応した無線受信システムや送信システムの開発を実現する。



---

## 2.2 シミュレーション解析の課題

今日の高周波無線デバイスの回路設計は、シミュレーションによってシステム設計・回路設計・ばらつき検証・レイアウト設計・ポストレイアウト検証までの一連の作業を行うことが可能である。ここで、回路設計に於いては、2つの重要な要素がある。それは、シミュレーション解析のエンジンとシミュレーションを行うためのデバイスのモデルである。

前者のシミュレーション解析エンジンは、近年無線システムに合わせて様々な解析が可能となってきた。特に、これまではシングルキャリアの解析が主体だったが、通信の変調信号がシミュレーションできるエンベロープ解析などが、トランジスタの回路レベルで実行できるようになっている。この結果、無線システムにおける送信出力の隣接チャンネル漏えい電力比(Adjacent Channel leakage Power ratio (ACPR))やスペクトラムマスクといったこれまで試作しなければ解らなかった性能が、試作前にシミュレーションで検討・確認が可能となっている。同様に受信性能の Bit Error Rate (BER)等も今日では回路レベルでの検討も可能となっている。また、回路単体性能としての歪み解析や雑音解析、位相ノイズ解析など回路の仕様に合わせた解析も色々と用意されている。この解析は、単にシミュレータ性能が上がっただけでなくコンピュータの解析能力の向上も寄与している。

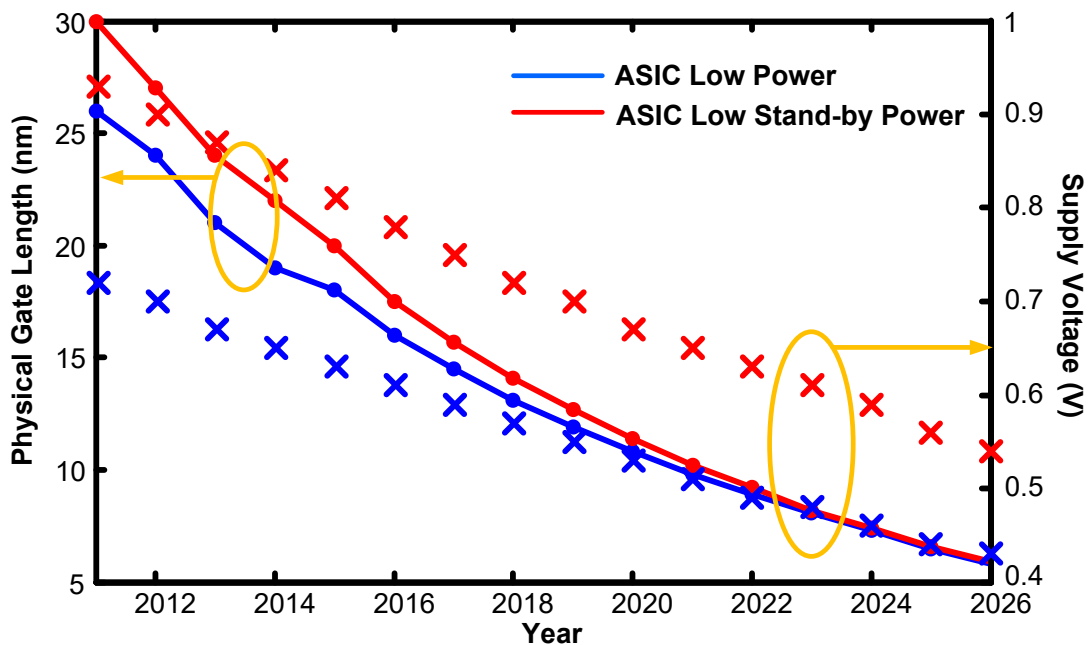
また、このシミュレータの解析精度に大きく影響しているのが、半導体メーカーから提供されている Process Design Kit (PDK)にあるモデルである。この PDK には回路図で入力するトランジスタや抵抗、受動素子などのシンボルやモデルなどが含まれている。この他に半導体プロセスにかかわる検証用の記述などが用意されている。ここで、この PDK で提供されているモデルがシミュレーション解析に重要となってくる。

PDK に含まれるモデルは大きく大別して、能動デバイス(トランジスタやダイオードなど)と受動デバイス(抵抗・容量・インダクタ・ボンディング PAD など)がある。受動デバイスは理想モデルではなく、実際のチップレイアウトに即して内部で寄生容量や寄生抵抗をデバイスの細部に応じてスケラブルにモデル化することでシミュレーションの精度が向上している。ここでは、低電圧動作に非常に影響のあるトランジスタモデルに注目をする。

現在、MOSFET トランジスタのデバイスモデルは BSIM4 が中心となっており、このモ

デル化の手法はコンパクトモデル国際標準化機関(Compact Integration Initiative)で標準モデルの選定が進められている。この BSIM4 は米国 UC Berkeley の Chenming Hu 教授が開発を行っている。この他に、代表的な MOSFET のトランジスタモデルは HiSIM、PSP などがある。BSIM4 は 2000 年に標準化が決まり現在も継続して使われている。

一方、プロセス技術の開発のスピードはムーアの法則に従って、微細化が進んでおり(図 2.1)[56]、このように微細化が進むと、従来のモデル化の技術では対応できない内容も出てきている。特にこのような電源電圧が年々微細化に伴い下がってきていることは非常に注目すべき点である。



*\*ITRS Executive Summary 2011*

図 2.1 半導体プロセスにおける電源電圧とゲート長の推移.

ここで、我々の目的とする超低電圧で高周波動作におけるトランジスタのモデルの課題を幾つか述べる。まず、これまでの BSIM4 のモデルでは主に強反転領域の特性を主として測定や合わせ込みが行われてきた[57]。この結果超低電圧動作に欠かせないサブスレッショルド領域での高周波領域における歪みやノイズ特性は測定すら行われていないのが現状である。つまり、現状のトランジスタモデルを利用するに当たってサブスレッショルド領域における高周波のシミュレーション精度が劣化することに注意をしなければいけない。現状の低電圧高周波回路設計に於いては目標仕様のぎりぎりの特性を確保

---

するのは危険であり余裕のある設計マージンを見込む必要がある。

また、BSIM4 自体はトランジスタの動作領域を大きく 3 つの領域(サブスレッショルド領域・弱反転領域・強反転領域)に分けてモデリング化されている。このため、各領域にまたがる変化点に於いては、モデルの精度や合わせこみが悪いと不連続となりシミュレーション上ではノイズや歪み特性が悪くなる。

上記、問題を解決したのが E. A. Vittoz らが提案した EKV モデルである[58][59]。この EKV モデルはもともと腕時計の LSI の開発を目的に作られたモデルで、MOSFET トランジスタが低電圧電源でのサブスレッショルド領域を正確にモデリングすることである。従って MOSFET トランジスタの特性を電圧の 2 乗特性で表現する 2 乗モデル (Quadratic Model)とは異なり、EKV Model は MOSFET トランジスタの動作を電荷モデルとして内部計算し解を求めており、閾値領域の動作も正確に表現できると言った特徴を持つ。しかしながらこの EKV モデルは 1995 年頃に開発されたモデルで、今日の超微細加工のトランジスタモデルでは適用できない。

そこで、米国 UC Berkeley の Chenming Hu 教授と Ali Niknejad 教授は従来の BSIM4 の内部の電圧を 2 乗特性で求める方法から、EKV と同じく電荷モデルで内部計算することで従来の 3 つの領域からの不連続性と閾値領域のトランジスタ動作の正確性を求めることができる BSIM6[60] - [62]を開発中であり近年標準化作業も完了するスケジュールでいる。このように、低電圧操作に対応した閾値領域近傍の MOSFET トランジスタのシミュレーションも改善しつつある。

さて、上記のようなシミュレーションに関する課題があるものの 300 mV で動作する無線設計の実現可能性を検証するために、はじめにアクティブおよびパッシブデバイスの DC および RF 特性を把握する必要がある。この実現可能性調査のための TSMC 65 nm プロセス技術[63]の CMN65GP1p9m プロセス・オプションを利用して検証することにした。本プロセス技術では、微細化技術による  $f_T$  の向上とフリッカーノイズが増加するというトレードオフがある。また、最上位層の低抵抗の Al 厚膜金属層は、高クオリティ(Q)、低損失のインダクタンス等の受動部品の設計に利用可能である。ここで、我々は幾つかの代表的な形状の MOSFET のテストパターンをチップに実装しシミュレーションだけでなく実測における低電圧動作の性能の検証も行った。

## 2.3 トランジスタサイズとバイアス条件

今回利用したプロセス技術では、マルチ  $V_{th}$  を採用しており通常の閾値電圧を持つ standard  $V_{th}$ , 低い閾値電圧を持つ low  $V_{th}$  および高い閾値電圧を持つ high  $V_{th}$  を同一チップで選択して利用できる。ここで、超低電圧電源での動作を実現することを目的とすることから low  $V_{th}$  (以下 LVT と呼ぶ) の NMOSFET と PMOSFET トランジスタの性能に焦点を当てて検証することにした。low  $V_{th}$  の NMOSFET トランジスタデバイスの閾値電圧  $V_{th}$  は約 320 mV である。この 300 mV の NMOSFET トランジスタのバルク・ソース接合電圧を順方向にバイアスすることによって、約 10% の 35 mV の閾値電圧  $V_{th}$  を下げることができる(図 2.2)。この図は、PDK のトランジスタモデルからシミュレーション計算した結果である。

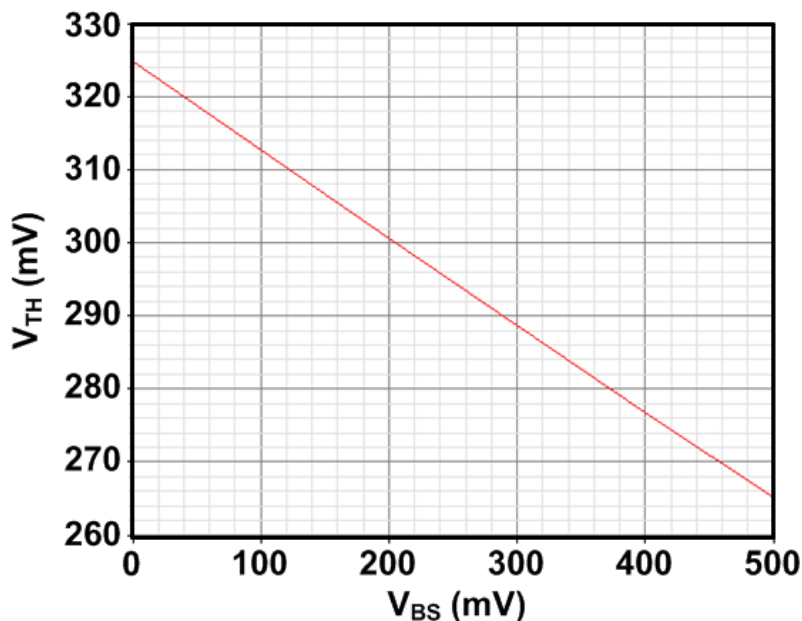


図 2.2 バルク・ソース間電圧  $V_{BS}$  の  $V_{th}$  電圧特性.

次に、最適なゲート長を選択する方法を検討した。  $W/L$  比 ( $W/L=1333$ ) が一定になるよう LVT の NMOSFET トランジスタのゲート幅を固定幅 (80  $\mu\text{m}$ ) として、ゲート長を変化させて  $V_{gs}$ ,  $V_{th}$ ,  $g_m$ ,  $I_d$  および  $f_T$  の特性の影響度を検討した。

図 2.3 (a) は、微細加工のプロセスで漏れ電流を低減する”halo”注入層までゲート長を増加することにより、 $V_{th}$  が減少することを示している。したがって、low- $V_{th}$  のために最

---

小のゲート長を使用することは避けることにする。ゲート幅を  $80\mu\text{m}$  に固定したデバイスの  $V_{gs}$  は、 $1\text{mA}$  の電流に対し一定の約  $300\text{mV}$  となる。この時、 $W/L$  比が一定のデバイスの  $V_{gs}$  は、閾値電圧  $V_{th}$  に比例している。そこで、実現可能なサイズと電流値からトランジスタのバイアス電圧として、閾値電圧  $V_{th}$  よりわずかに大きい値が最適であると考えられる。

高周波狭帯域無線システムのセンサーネットワークアプリケーションの利用を目的とすると、MOSFET トランジスタデバイスの特性として実際の動作周波数  $f_o$  と遮断周波数  $f_T$  の比率が重要である。前述したように、高い  $f_T/f_o$  比をアナログ/RF 性能指針として最適化をはかる必要がある。図 2.3(b)によると、短いゲート長は高  $f_T$  になるということが解る。また、低消費電力動作のために  $g_m$  を最大化することによって、電力最適化をはかることを考える。電流効率を表す  $g_m/I_d$  は、省電力性能を示すための一般的な測定基準である。ここで高い  $g_m/I_d$  は、 $f_T/f_o$  が減少することで達成することが可能である。優れた性能指数 FOM (Figure Of Merit) は、二つのデバイス設計マトリックス ( $g_m/I_d$  及び  $f_T/f_o$ ) のトレードオフで決定される。図 2.3(c) は、短いゲート長の方がより良い FOM を達成することを示している。また、MOSFET トランジスタデバイスの固有利得 ( $g_m/g_{ds}$ ) は、LNA や IF アンプの回路の電圧利得を決定するパラメータである。図 2.3(d) は、トランジスタのゲート長が  $100\text{nm}$  から  $250\text{nm}$  の間の長さについて、最大利得を達成していることを示している。

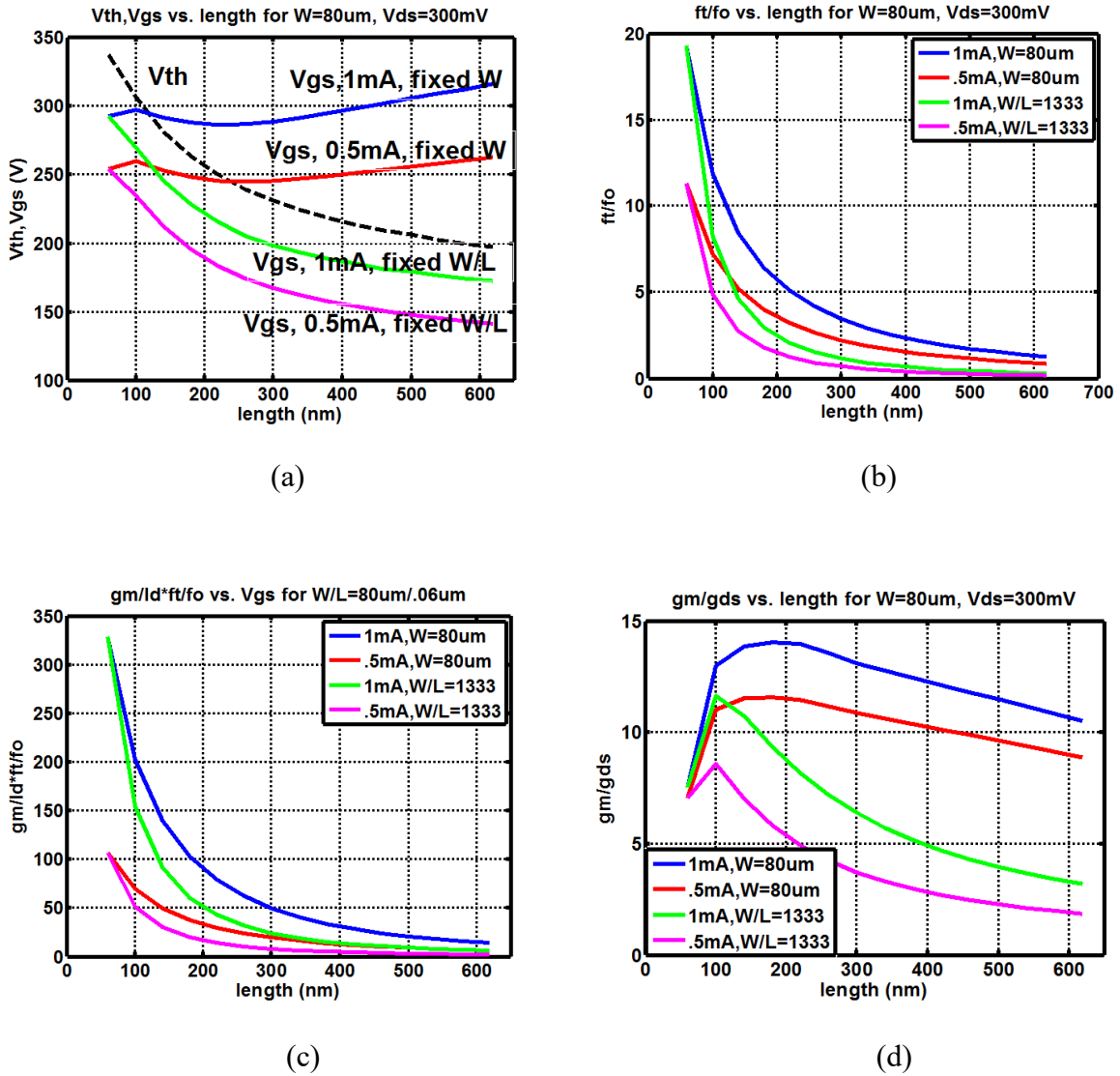
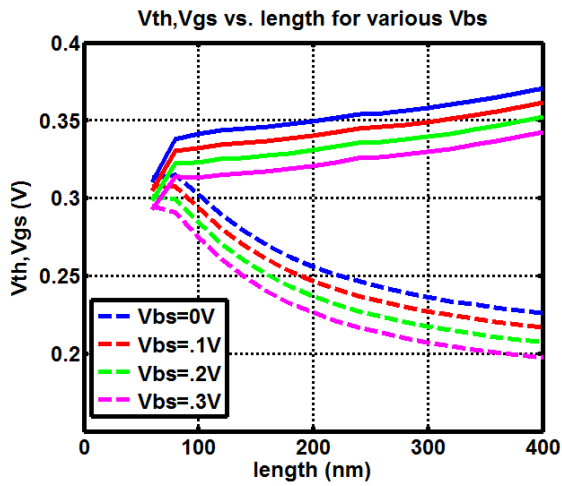
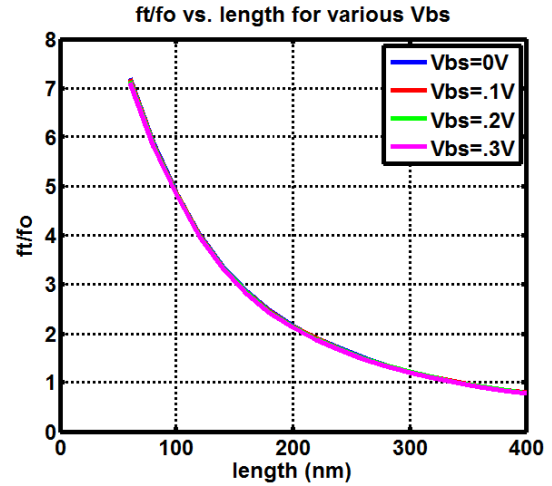


図 2.3 low- $V_{th}$  の NMOSFET トランジスタの設計ゲート長特性( $I_d$ : 0.5 mA, 1 mA).  
 (a)  $V_{th}$  と  $V_{gs}$  特性. (b)  $f_t/f_o$  特性. (c)  $(g_m/I_d)*(f_t/f_o)$ 特性. (d)  $g_m/g_{ds}$  特性.

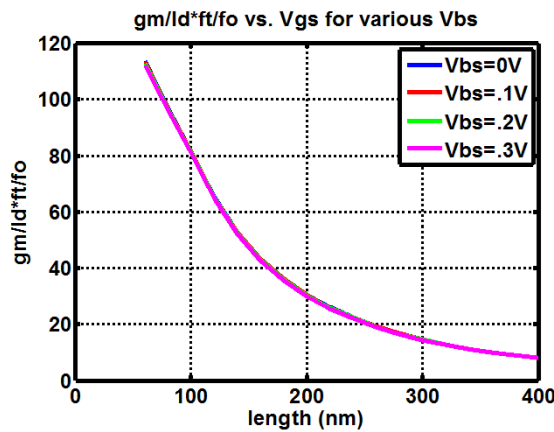
また、LVT NMOSFET トランジスタの比較対応として、LVT PMOSFET トランジスタデバイスでも同様の検討を行った。LVT PMOSFET トランジスタのデバイスでは、LVT NMOSFET トランジスタと同様のバイアス条件を得るためにゲート幅を大きく ( $200\ \mu\text{m}$ ) する必要があり(図 2.4 (a))、その結果トランジスタ自身に大きな寄生容量が生じることになる。このことから、LVT PMOSFET トランジスタのデバイスは LVT NMOSFET トランジスタに比較して、より低い  $f_t/f_o$  の特性を示す(図 2.4 (b))。図 2.4 (c)によると、LVT NMOSFET トランジスタと同様にトランジスタのゲート長が小さい方がより良い FOM の結果を示している。



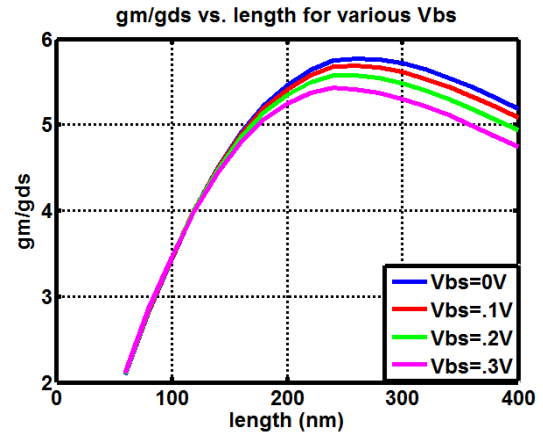
(a)



(b)



(c)



(d)

図 2.4 low- $V_{th}$  の PMOSFET トランジスタの設計ゲート長特性.

(a)  $V_{th}$  と  $V_{gs}$  特性. (b)  $f_t/f_o$  特性. (c)  $g_m/I_d$  特性. (d)  $g_m/g_{ds}$  特性.

しかし、LVT PMOSFET トランジスタの FOM の絶対値は、LVT NMOSFET トランジスタより 2 から 3 倍低くなっている。図 2.4 (d) に示すように、LVT PMOSFET トランジスタの  $g_m/g_{ds}$  を最大値は、LVT NMOSFET トランジスタと同様のバイアス条件で、LVT NMOSFET トランジスタのデバイスの半分であり、最大値はゲート長が 200 nm から 300 nm の長さの間に存在する。また、LVT NMOSFET トランジスタと同様に、LVT PMOSFET トランジスタでもバルク・ソース間の接合電圧を順方向にバイアスすることによって閾値電圧 300 mV の約 10 % を減少させることができる。しかし、バルク・ソース間の順方向バイアス条件下では  $g_m$  や  $g_{ds}$  がほとんど影響を受けないことから、 $f_t$  や FOM

---

そして  $g_m/g_{ds}$  への性能の影響は、無視できると考えられる。その結果、同様なバイアス条件下で VLT PMOSFET トランジスタのデバイスと比較した結果、DC と RF の性能に優れた LVT NMOSFET トランジスタのデバイスを設計に使うことにした。



## 2.4 Inversion Coefficient (反転係数)

トランジスタのサイズを選択した後、トランジスタのバイアス動作条件の最適領域を見つける必要がある。そこで、トランジスタのすべて領域（特に反転領域）で有効な EKV モデルを用いる。領域が反転する開始時 ( $V_{gs} = V_{th}$ ) に、電流は式(2.1)のように表すことができる[58]。

$$I_S = 2 \cdot n \cdot \mu \cdot C_{ox} \cdot \frac{W}{L} \cdot \phi_t^2 \quad (2.1)$$

ここで、 $n$  はサブスレッショルドのスロープ係数、 $\mu$  は電子の移動度、 $C_{ox}$  は酸化膜容量、 $\phi_t = kT/q$  はサーマル電圧とする。閾値電圧  $V_{th}$  の近傍の電流は次のようにモデル化することができる。

$$I_{DS} = \frac{I_S \cdot IC}{k_{fit}} \quad (2.2)$$

さらに、 $IC$  を反転係数とし、 $k_{fit}$  をモデルのフィッティングパラメータとする。Inversion Coefficient (反転係数( $IC$ )) は、トランジスタの反転度合いを表し、次式(2.3)で表すことができる。

$$IC = \left( l_n \left( e^{\frac{(1+\sigma) \cdot V_{gs} - V_{TH}}{2 \cdot n \cdot \phi_t}} + 1 \right) \right)^2 \quad (2.3)$$

ここで、 $\sigma$  は drain-induced barrier lowering(DIBL)係数を表している。一般的に、 $IC=1$  の時  $V_{gs} = V_{th}$  となる。 $V_{gs}$  と  $IC$  の間の関係を見つけるために、技術依存関係のあるパラメータ " $n$ " と " $\sigma$ " を解くことが必要である。そこで、リーク電流式( $V_{gs}=0$  の時)の 2 つのデータポイントを使用することにした[64]。

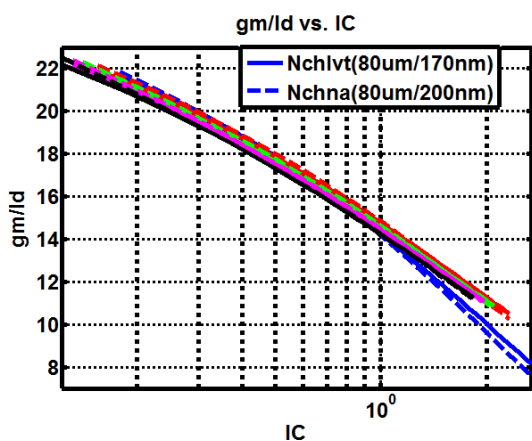
$$I_{Leakage} = I_S \cdot e^{\frac{\sigma \cdot V_{gs} - V_{TH}}{n \cdot \phi_t}} \quad (2.4)$$

式(2.4)の " $n$ " と " $\sigma$ " を用いることで、式(2.3)を使用した  $V_{gs}$  に応じた  $IC$  が比較的簡単に正確なモデルを開発することが可能となる。

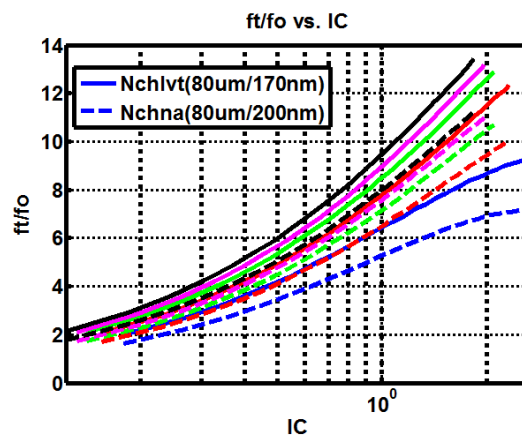
---

ここからの説明は、この反転係数  $IC$  を用いて設計の最適化する方法に焦点を当てる。図 2.3 (a)に示すように、トランジスタの短いゲート長では、 $V_{gs}$  電圧が閾値電圧  $V_{th}$  より少し超えている条件では、NMOSFET トランジスタは weak inversion(弱反転)領域または moderate inversion(中反転)領域での動作となっている。Strong inversion(強反転)領域の NMOSFET トランジスタの動作は、我々の目的の超低電圧動作で用いるのは現実的ではない。

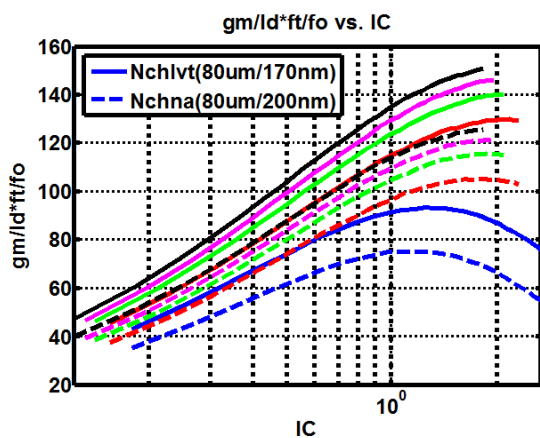
LVT NMOSFET(Nchlvt)トランジスタと通常の NMOSFET(Nchna)トランジスタを類似したアスペクト比のサイズを用いて (それぞれ  $80/0.17 \mu\text{m}/\mu\text{m}$  および  $80/0.2 \mu\text{m}/\mu\text{m}$ )、重要な設計指標を得るために、反転係数  $IC$  を弱反転領域から中反転領域全体で解析した。この結果 Nchna が Nchlvt より低い  $V_{th}$  を持っているが、その場合は最小のゲート長 (200 nm) を利用しなければいけない。同様のバイアス条件(同じ電流・電圧)で 2 つのサイズの NMOSFET トランジスタを比較したところ、図 2.5 (a)に示すように  $IC$  による  $g_m/I_d$  の比の変化は、同じとなっている。また図 2.5 (b)に示すように、強反転領域では高い  $f_T$  を持つ。しかし  $V_{ds}$  間の電圧が減少すると同様に  $f_T$  が減少する。この  $f_T$  の減少は、高周波の動作に大きな影響をもたらす。また、高い電流効率( $g_m/I_d$ )の低消費電力を達成するために、弱反転のトランジスタバイアスで動作させる方が良好な特性となる。しかし、回路の高周波性能にとって重要な、高い  $f_T$  を達成するためには、トランジスタはより強反転領域にバイアスで動作させなければいけない。この二つの背反する特性から最適な性能を達成するために、トランジスタを中反転領域のトランジスタバイアスで利用することにする (図 2.5(c)参照)。図 2.5 (d)に示すように、トランジスタ固有の利得を最大化するためには、トランジスタのバイアスを中反転領域で動作させるのが最適である。



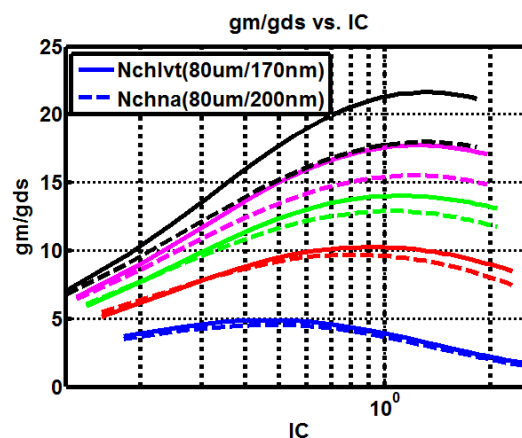
(a)



(b)



(c)



(d)

図 2.5 low- $V_{th}$  の NMOSFET トランジスタの反転係数 IC の設計変数.  
 (a)  $V_{th}$  と  $V_{gs}$  特性. (b)  $f_T/f_o$  特性. (c)  $g_m/I_d$  特性. (d)  $g_m/g_{ds}$  特性.

---

## 2.5 おわりに

これまで、述べたように自律型センサーネットワークで利用する無線デバイスで用いる高周波半導体デバイスの最大限に引き出すために、利用するプロセス技術をもとに MOSFET トランジスタの種類・サイズ・動作領域・バイアス条件に関して検討を行った。最適化のパラメータとして低消費電力を目的とするため、MOSFET トランジスタデバイス単体の利得及び高周波の動作をターゲットに、MOSFET トランジスタの利得は  $g_m/I_d$ 、高周波での動作は  $f_{tr}/f_0$  を用いて検討した。さらに用いる MOSFET トランジスタの形状は、 $L/W$  比が同じとなるようにしてゲート長を変化させて  $V_{th}$ 、 $V_{gs}$  が低い電圧となるように選択を行った。

この結果、TSMC の 65 nm 技術の CMN65GP1p9m プロセスでは、low- $V_{th}$  NMOSFET トランジスタデバイスを選択することにした。このデバイスは、他のデバイス PMOSFET トランジスタや通常の NMOSFET トランジスタよりも低電圧領域では高い FOM 値の性能を持つ。

また、ゲート長は短くすることで高周波特性が向上するが、 $V_{th}$  が高くなり低電圧動作には向かないといったデメリットも生じる。そこで、MOSFET トランジスタの固有利得が最大となるゲート長の選択として 100 nm から 250 nm の長さを利用する。さらに、このサイズのゲート長を用いた時の MOSFET トランジスタの動作領域を、反転係数  $IC$  を用いて検討した。その結果弱反転領域のバイアス条件で用いるのが最適であることが判明した。

さらに、この MOSFET トランジスタのバルク・ソース接合電圧を順方向にバイアスすることによって約 10 % (35 mV) の  $V_{th}$  を低下させることで、低電圧電源時の性能を向上させることができるようになる。

このようにして、自律型センサーネットワークで用いる、無線デバイスの MOSFET トランジスタデバイスの種類・サイズ、バイアス条件の最適化及び動作領域を確定することができた。これ以降、本検討をもとに回路設計を進めることにする。

しかしながら、前述したように現状の BSIM4 のモデルパラメータは、高周波動作においてサブスレッショルド領域や弱反転領域の性能を十分にモデル化している訳でない。今後開発過程である BSIM6 の登場までは、設計に余裕を持ってシミュレーション解析をすることが望ましい。

最後に、本章においてのまとめを表 2.1 に示す。

表 2.1 2章における課題・アイデア・結果のまとめ.

課題	超低電圧電源での弱反転領域やサブスレッショルド領域のトランジスタ高周波性能が不明であった。
アイデア	シミュレーションでトランジスタのFigure-of-merit(トランジスタの利得は $g_m/I_d$ 高周波での動作は $f_r/f_o$ )が最大となる、トランジスタの $W/L$ 及びボディバイアスなどの条件を検証して求める。
結果	<ul style="list-style-type: none"><li>• 利用するトランジスタはlow-<math>V_{th}</math> NMOSFETデバイスを選択。</li><li>• トランジスタの固有利得が最大となるゲート長の100 nmから250 nmの長さを選択。</li><li>• トランジスタのバルク・ソース接合電圧を順方向にバイアスすることによって約10 % (35 mV) の<math>V_{th}</math>電圧を低下させる。</li></ul>

---

## 参考文献 (第 2 章)

- [56] “International Technology Roadmap for Semiconductors 2011 Edition Executive Summary,” *ITRS report*, 2011. [Online]. Available:  
<http://www.itrs.net/ITRS%201999-2014%20Mtgs,%20Presentations%20&%20Links/2011ITRS/2011Chapters/2011ExecSum.pdf>
- [57] Y. Singh Chauhan, “BSIM Compact MOSFET Models for SPICE Simulation,” *IEEE Int. Conf. Mixed Design of Integrated Circuits and Systems (MIXDES) Proc.*, pp.23-28, Jun. 2013.
- [58] C. Enz, *et al.*, “An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage and Low-Current Applications,” *IEEE Journal of Analog IC Signal Proc.*, vol. 8, no. 1, pp.83-114, Jul. 1995.
- [59] C.C. Enz, *et al.* “A Short Story of the EKV MOS Transistor Model,” *IEEE Solid-State Circuits Society Newsletter*, vol. 13, no. 3, pp.24-30, 2008.
- [60] Y.S. Chauhan, *et al.*, “BSIM6: Analog and RF Compact Model for Bulk MOSFET,” *IEEE Trans. Electron Devices*, vol. 61, no. 2, pp.234-244, Oct. 2013.
- [61] M.-A. Chalkiadaki, *et al.*, “Low-Power RF Modeling of a 40nm CMOS Technology Using BSIM6,” *IEEE Int. Conf. Mixed Design of Integrated Circuits and Systems (MIXDES) Proc.*, pp.57-62, Jun. 2013.
- [62] S. Venugopalan, “A Non-Iterative Physical Procedure for RF CMOS Compact Model Extraction Using BSIM6,” *IEEE Custom Integrated Circuits Conf. (CICC) Proc.*, pp.1-4, Sep. 2012.
- [63] TSMC 65nm process technology, [Online]. Available:  
<http://www.tsmc.com/japanese/dedicatedFoundry/technology/65nm.htm>
- [64] D. Markovic, *et al.*, “Ultralow-Power Design in Near-Threshold Region,” *IEEE Proc.*, vol. 98, no. 2:pp.237-252, Feb. 2010.

---

## 第3章

# 超低電圧高周波コア回路技術

---

## 3.1 はじめに

第1章で述べてきたように、センサーネットワーク無線システムにおける高周波回路の超低消費電力動作は、極めて重要事項である。そこで本章では、エネルギーハーベットの技術を利用した、超低電圧電源で動作可能な超低消費電力の高周波回路を検討する。

第2章では、MOSFET トランジスタの高周波回路における低電圧動作のサブスレッショルド領域や弱反転領域動作時のバイアス条件やトランジスタの形状の最適化手法を述べた。本第3章では、第2章の設計手法の検討を用いて超低電圧で動作する無線システムで利用する2つの主要な高周波回路を具体的に検討し、設計・試作・評価を行う。

今回提案する超低電圧高周波回路として、システムの局部発振で用いる電圧制御発振器(VCO)と高周波 1/2 周波数分周器(High frequency Divider)を取り上げることにする。両回路は、無線システムの中でも受信システムや送信システムともに選局するために必ず必要な回路であり、各システムにおける受信性能のビットエラーレートや送信スペクトラムマスクの性能を決める重要な回路である。

図 3.1 にワイヤレスセンサーネットワークシステムで用いられる無線システムブロック図の例を示す。この無線システムの送信ブロックは、PLL 閉ループ直接変調システム(Direct closed loop modulation system)[65]であり、受信システムはスライディング Low-IF 復調システム(Sliding low IF demodulation system)[66]で構成されている。

両システムで用いられる位相同期シンセサイザ(PLL)回路ブロックは、無線ネットワークシステムで幅広く利用されている。

今回提案する2つの回路を無線センサーネットワークに用いることで、モバイル環境下でのセンサーネットワークシステムのバッテリーの電力消費の削減を劇的に改善することが可能となる。さらに、エネルギーハーベッドデバイス技術の超低電圧電源電圧を用いて直接この高周波回路を駆動することで、半永久動作可能な自律型の無線センサーネットワークシステムが実現できる。



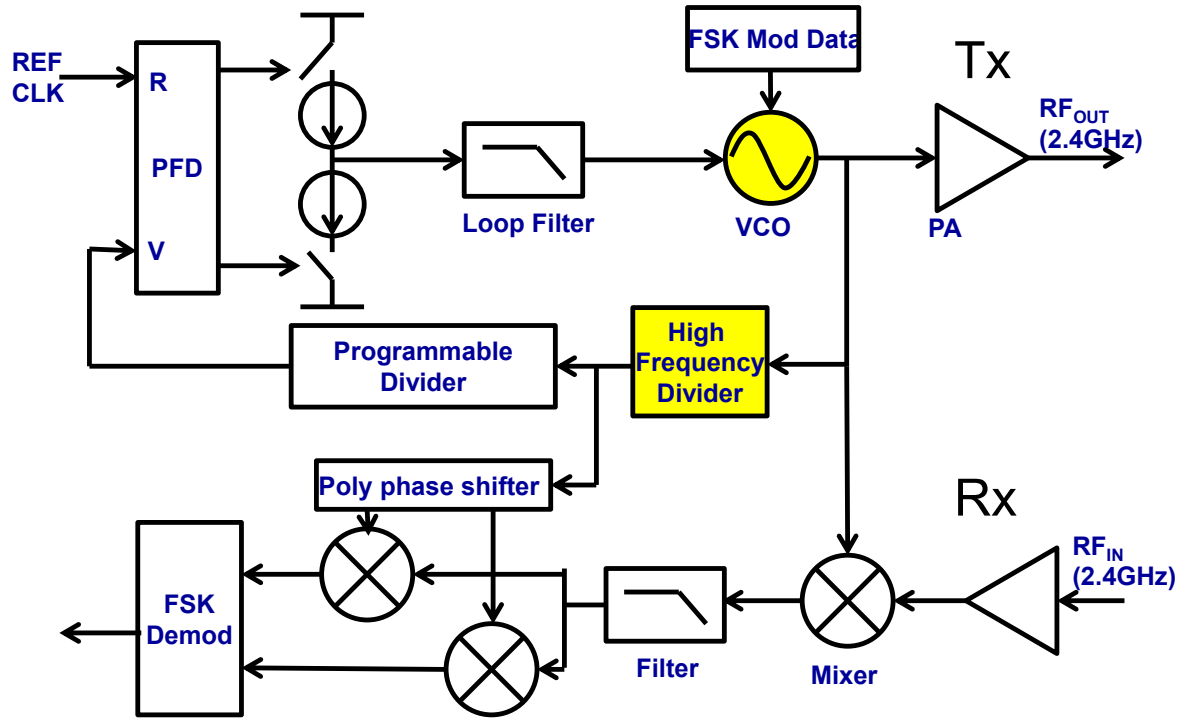


図 3.1 ワイヤレスセンサー無線システムブロック図.

## 3.2 超低電圧 VCO 回路

### 3.2.1 従来の VCO 回路

高周波で用いられる VCO 回路は、様々なタイプの回路が存在する[67] - [72]。特に有名な高周波 VCO はリングオシレータ(ring oscillator)と呼ばれる回路で、図 3.2 に示すような奇数段のインバーター回路をループ状に配置してフィードバックする構成で動作する[73][74]。本リングオシレータ回路は、高周波発振を得る回路として非常にシンプルな構成で低電圧回路として有力な候補である。このリングオシレータ回路は、位相雑音性能が一般的に LC 発振器と比較して悪いため、受信感度が厳しくない近距離無線のセンサーネットワークシステムで広く利用されている[75]。このリングオシレータの位相雑音は次の式(3.1)のようになる。

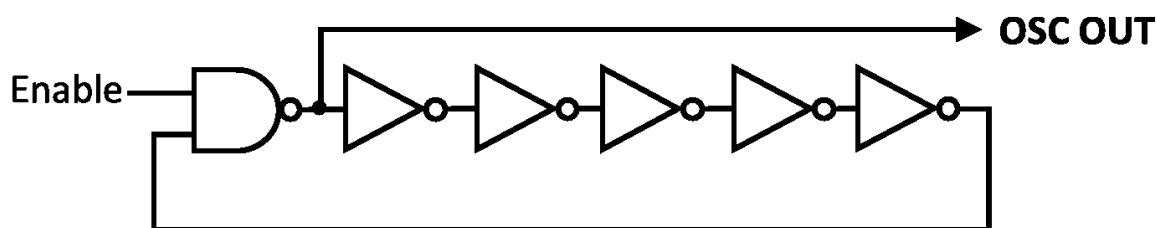


図 3.2 リングオシレータ回路.

$$L\{\Delta\omega\} \geq \frac{18kTV_{dd}}{\pi^2 V_0^2} \cdot \left( \frac{2.5}{E_c L_{eff}} + 1 \right) \cdot \left( \frac{f_0}{\Delta f} \right)^2 \cdot N . \quad (3.1)$$

ここで  $V_0^2$  は VCO の消費電力、 $E_c$  はシリコンのクリティカルフィールド(Critical field)、 $L_{eff}$  はトランジスタのゲート長、 $N$  はリングの段数である[76]。通常発振周波数 5 GHz 以上では、リングオシレータの位相雑音はリングの段数に依存している。

さて、LC 共振回路の VCO も無線システムで広く使われている。図 3.3 は、NMOSFET トランジスタを用いたクロスカップルの VCO のトポロジーである[77]。

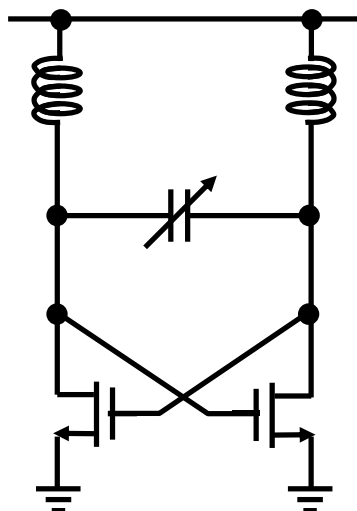


図 3.3 NMOS クロスカップル VCO 回路.

この回路の最小限の構成では、電源電圧と GND 間に 1 つのトランジスタしか存在せず低電圧の VCO として非常に向いている。この LC 共振回路の VCO の位相雑音は Leeson の式[78]で表され次式(3.2)のようになる。

$$L\{\Delta\omega\} = \frac{4FkTR}{V_0^2} \cdot \left(\frac{\omega_0}{2Q\Delta\omega}\right)^2 . \quad (3.2)$$

この LC 共振器の位相雑音を改善するために、図 3.4(a)に示すような発振の発振利得を向上するためにフィードバックループのトランス回路を挿入したトランスファーフィードバック(Transformer Feedback) VCO (TF-VCO)回路が既に研究されている。このに示す。

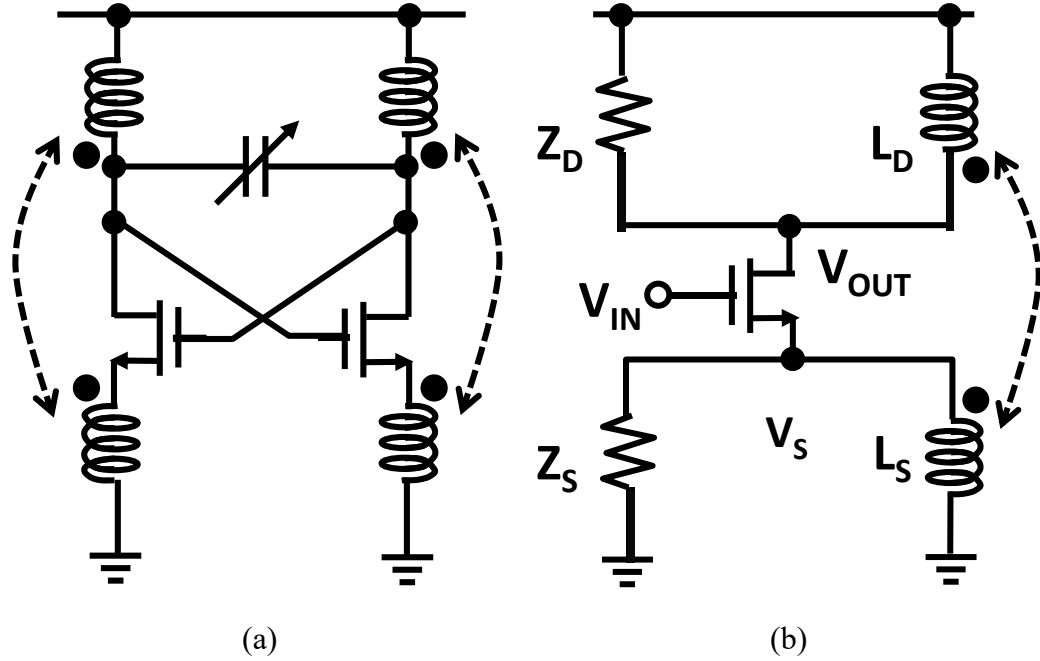


図 3.4 (a) トランス結合器フィードバック VCO 回路. (b) TF-VCO の等価半回路.

このトランスファードフィードバック VCO 回路構成は、電源と GND 間に 1 段のトランジスタしか存在せず、低電圧の動作が可能である。しかし、電源電圧がトランジスタの閾値電圧  $V_{th}$  以下になると、クオリティファクタ ( $Q$  値) と  $k$  ファクタの低下により、VCO の発振が困難となってくる[79][80]。

図 3.4(b) に TF-VCO の等価半回路を示す。この TF-VCO のオープンループゲインの伝達関数は、次式(3.3)のように示される。

$$\frac{V_{out}}{V_{in}} = \frac{sgm(\sqrt{L_s L_d})}{s\left(\frac{L_s}{Z_s} + \frac{L_d}{Z_d}\right) + sgm(L_s - \sqrt{L_s L_d}) + 1} \quad (3.3)$$

この式(3.3)の意味は、低い電源電圧でも大きな発振振幅を持つことができるということである。ここで、自己共振である  $k$  ファクタは、 $K_L = L_d/L_s$  となり理想的には 1 である。トランジスタのドレイン端での最大発振振幅のピーク値は増加して次式のようなになる。

$$V_{P-P} = 2 \cdot V_{DD} \left(1 + (1/K_L)\right) \quad (3.4)$$

この TF-VCO の位相雑音は式(3.4)を式(3.2)に代入することで次式(3.5)となる

$$L\{\Delta\omega\} = \frac{4FkTR}{\{2 \cdot V_{DD}(1+(1/K_L))\}^2} \cdot \left(\frac{\omega_0}{2Q\Delta\omega}\right)^2 \quad (3.5)$$

式(3.5)より、TF-VCO は従来の LC 共振器の VCO よりさらに低い位相雑音となるのが明らかである。

### 3.2.2 新規提案の VCO

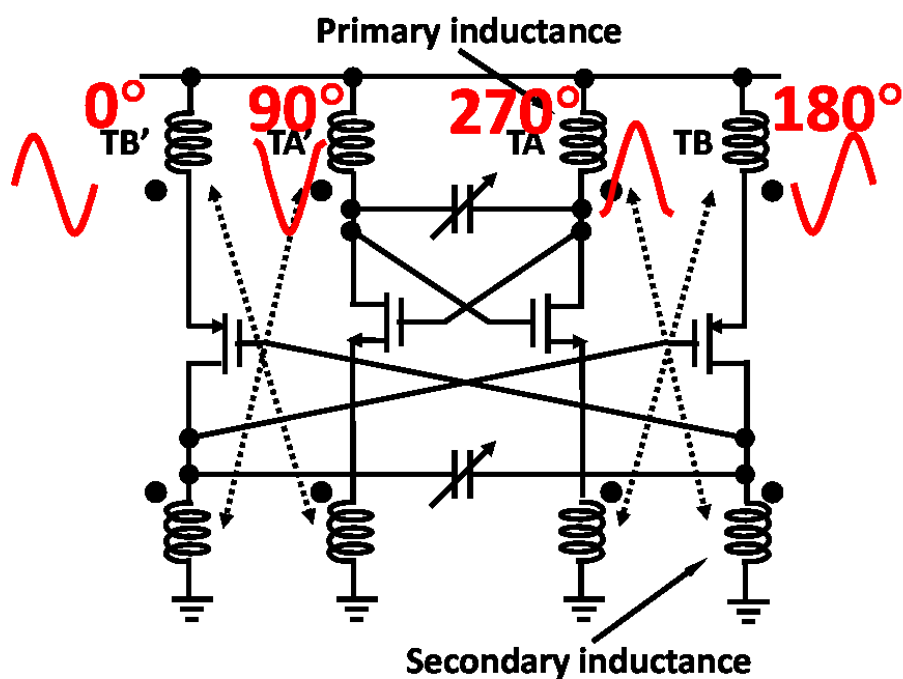
トランスファーフィードバック VCO 回路は、位相雑音の点で有利となることが明らかであるが、加えてクロスカップルの VCO にも雑音特性の良い PMOSFET トランジスタを用いることも多い。さらに、NMOSFET トランジスタで構成するクロスカップル VCO と比較して高い電源必要とするが、この NMOSFET と PMOSFET トランジスタを使った Complementary VCO も発振強度が高いという観点で従来から利用されている。

この従来の Complementary VCO を低電圧電源で利用可能にすべく、提案した Transfer Coupled Complementary VCO (TCC-VCO) 回路を図 3.5 (a)に示す。この回路は NMOSFET と PMOSFET トランジスタの VCO を結合した構成となっている。この NMOSFET 及び PMOSFET トランジスタ VCO は、4 個のトランスによって相互に接続されている。

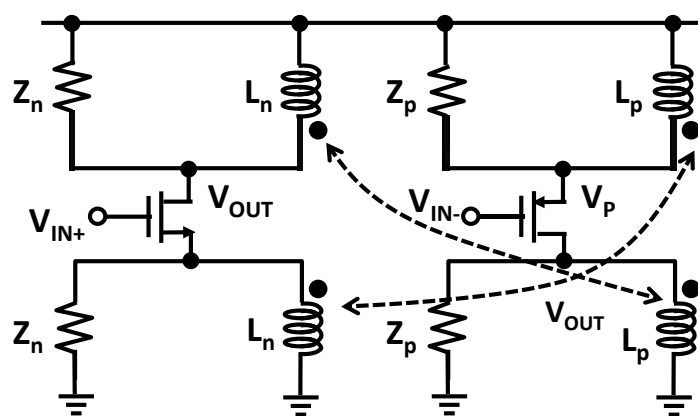
NMOSFET トランジスタのドレイン側と PMOSFET トランジスタのソース側のインダクタから構成されるトランス TA は、標準的な信号伝達の機能として動作する。もう一つの NMOSFET トランジスタソース側トランスおよび PMOSFET トランジスタのドレイン側トランスから成る他のトランス TB は、信号フィードバック機能として動作する。この接続では、二つの異なる VCO は完全に単一の補完的な VCO として機能する。TCC-VCO で用いているトランスは TF-VCO と同じ形状、同じサイズを使用している。各ノードにおける波形は図 3.5 (a)のようになる。内側の NMOSFET トランジスタのトランス結合器のフィードバックと外側の PMOSFET トランジスタのフィードバックは、図に示すような 90 度の位相差を持つ波形の動作をする。

図 3.5 (b)は、提案 TCC の VCO 等価半回路を示している。提案の TCC-VCO の NMOSFET トランジスタのゲート端の VIN とドレイン端の VOUT 間のオープンループゲイン伝達関数は式(3.6)で表される。

$$\frac{V_{out}}{V_{in}} = \frac{s(g_{mp}L_{pd} - g_{mn}\sqrt{L_{nd}L_{pd}}) \left[ s \left( \frac{L_{ps} + L_{ns}}{Z_{ps} + Z_{ns}} + \frac{g_{mn}g_{mp} \left\{ L_{pd}(L_{ns} - \sqrt{L_{ns}L_{ps}}) + \sqrt{L_{nd}L_{pd}}(L_{ps} - \sqrt{L_{ns}L_{ps}}) \right\}}{g_{mp}L_{pd} - g_{mn}\sqrt{L_{nd}L_{pd}}} \right) + 1 \right]}{\left\{ s \left( \frac{\sqrt{L_{nd}L_{pd}}}{Z_{nd}} + \frac{\sqrt{L_{nd}L_{pd}}}{Z_{pd}} \right) + 1 \right\} \left\{ s \left( \frac{L_{ps} + L_{ns}}{Z_{ps} + Z_{ns}} + g_{mn}L_{ns} - g_{mp}L_{ps} \right) + 1 \right\}}$$



(a)



(b)

図 3.5 (a) 新提案の TCC VCO 回路. (b) TCC VCO の等価半回路.

ここで式(3.6)は、次の式(3.7)のように簡略化することができる。

$$\frac{V_{out}}{V_{in}} = \frac{s(g_{mp}L_p + g_{mn}\sqrt{L_nL_p})}{\left\{s\left(\frac{L_p}{Z_p} + \frac{L_n}{Z_n} + g_{mn}L_n - g_{mp}L_p\right) + 1\right\}} \quad (3.7)$$

二つの式の主な違いは、 $sg_{mp}L_p$ の項が追加され従来の TF-VCO のオープンループゲインを増加させている。その結果、提案の TCC-VCO は、同じ動作条件の下で TF-VCO よりも強い発振強度を有する。さらに、オープンループ高利得化により、VCO の位相雑音が改善させる効果を生み出すことになる。

電源電圧 VDD がトランジスタの閾値電圧  $V_{th}$  以下になる場合には、従来の TF-VCO は発振が停止する。一方、提案の TCC-VCO の発振は、その高い発振強度のため超低電圧下でも動作し続ける。これは、たとえ NMOSFET と PMOSFET トランジスタが閾値電圧  $V_{th}$  の電源電圧以下のサブスレッショルド領域の動作となっても TC VCO は発振動作をすることが可能であることを示す。このサブスレッショルド領域では、高周波動作で重要なトランジスタ性能の  $g_m$  や  $f_T$  は強反転領域よりもはるかに悪くなっている。

TCC-VCO のドレイン端での peak-to-peak の最大発振振幅は次式(3.8)で表される。

$$V_{p-p} = (sg_{mp}L_p) \cdot 2 \cdot V_{DD} (1 + (1/K_L)) \quad (3.8)$$

TF-VCO の位相雑音は式(3.8)を式(3.2)に導入して以下のようなになる

$$L\{\Delta\omega\} = \frac{4FkTR}{\left((sg_{mp}L_p) \cdot 2 \cdot V_{DD} (1 + (1/K_L))\right)^2} \cdot \left(\frac{\omega_0}{2Q\Delta\omega}\right)^2 \quad (3.9)$$

TF-VCO および TCC-VCO の位相雑音は、式(3.5)と式(3.9)を比較すると、TCC-VCO の方が有利なのは明確である。

TCC-VCO の動作電流は、図 3.6 に示すようなトランジスタに流れる電流源回路を削除していることからトランジスタの閾値電圧  $V_{th}$  によって直接決まる。この結果、電流値はプロセスの製造ばらつきに大きく影響される。このように電源電圧からのロバスト性を確保するために、PMOSFET および NMOSFET のトランジスタボディバイアス端の電

圧を外部制御することで、安定した電流制御動できるようにシステム設計する。

また本トポロジーでは、電源に直接回路が接続されるため電源ノイズの影響を受けやすい。

一般的に、この電源からの影響を少なくするために、図 3.6 に示すような電流減回路を入れるが、超低電圧電源では  $V_{gs}$  分の電圧が上昇してしまうため本手法が使えない。従って、VCO の特性として位相雑音が多少悪化する。

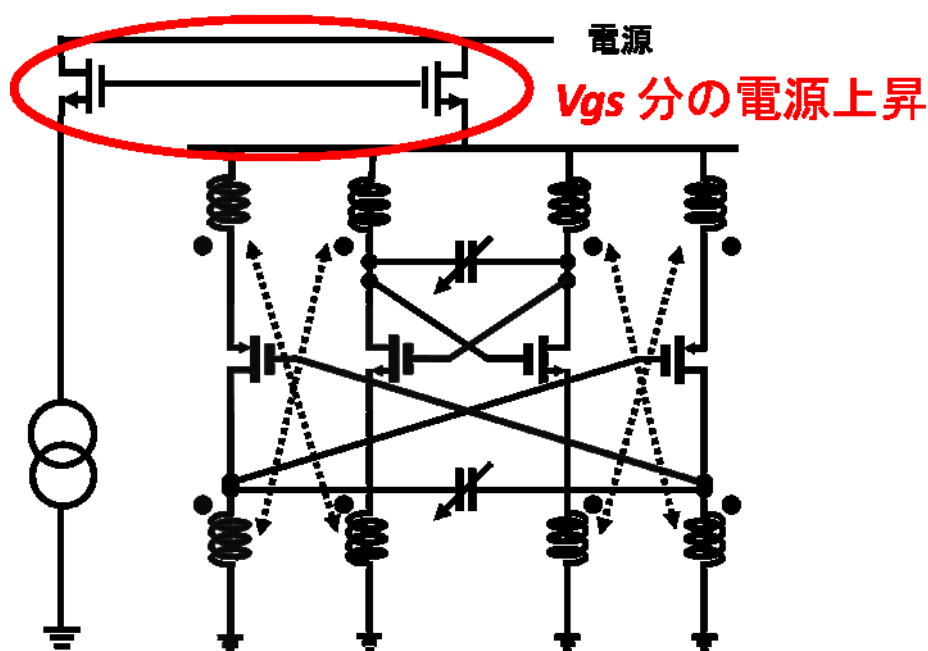


図 3.6 電源ノイズからの対策例.

### 3.2.3 トランスの設計

近年、LSI で用いるオンチップインダクタやトランスの性能が大幅に改善されてきている[81] - [84]。

図 3.7 は、この TF-VCO と TCC-VCO で用いるトランスのレイアウトを示している。トランスの外径は  $267 \mu\text{m}$  であり、内径は  $187 \mu\text{m}$  である。このプロセスの金属配線層は、下位 9 層(M1-M9 は薄膜 Cu 金属であり、上部 2 層(M10、M11)は厚膜 Cu 金属で、さらにその上位層に低抵抗の厚膜の AL(M12)を有する構造を採用している。トランスのレイアウト設計の注意事項として Q 値を増加させるために、レイアウト状の配線における寄生抵抗を最小限に抑えるために、M10 と M11 の上位レイヤーの厚膜 Cu 金属層を用いて最



適化を実施した。

今回 VCO のインダクタ用に設計した相互にインターリーブ形状のトランスは、他のタップ形状や積層形状のトランスよりも、高い  $k$  ファクタと適切な  $Q$  ファクタを有するため、良好な性能を持っている。トランスのレイアウト形状は、電磁界解析のシミュレーションで最適化し、6 巻き八角形の形状で配線幅が  $5\ \mu\text{m}$  で配線間隔が  $2\ \mu\text{m}$  とした。

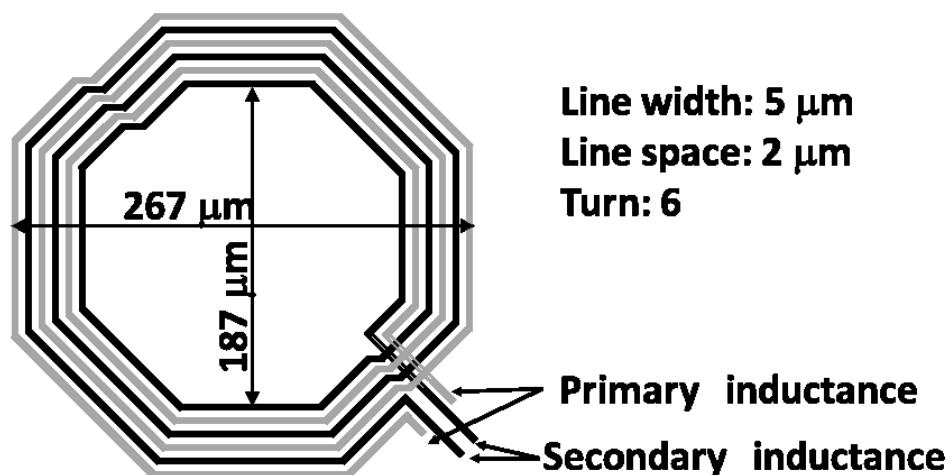
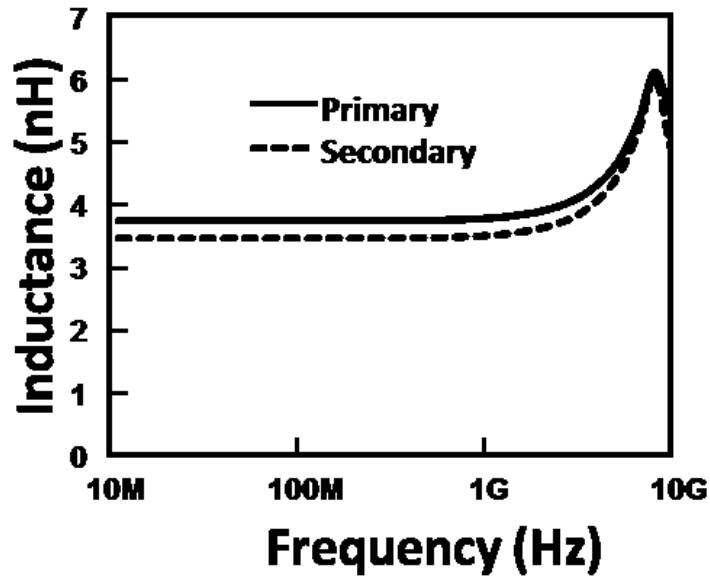
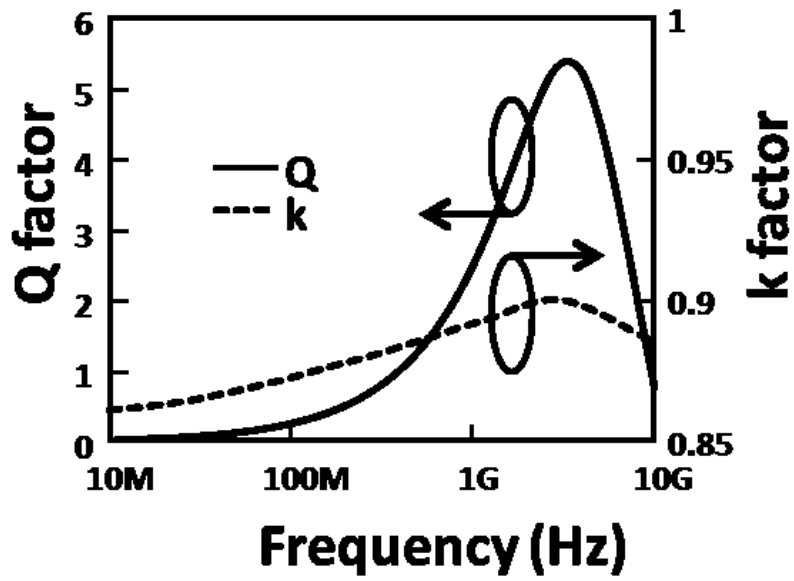


図 3.7 TF-VCO と TCC-VCO のトランスレイアウト形状.

図 3.8 は、トランスのシミュレーション結果の特性を示している。2.4 GHz の周波数に於いてトランスの  $k$  ファクタは 0.87 であり、 $Q$  ファクタは 4.8 である。2.4 GHz の周波数における一次および二次自己インダクタンスの値は 3.9 nH と 3.6 nH である。



(a)



(b)

図 3.8 (a) トランスの  $Q$  ファクタと  $k$  ファクタの特性.  
(b) トランスの自己インダクタンス特性.

---

## 3.3 超低電圧高周波 1/2 周波数分周器

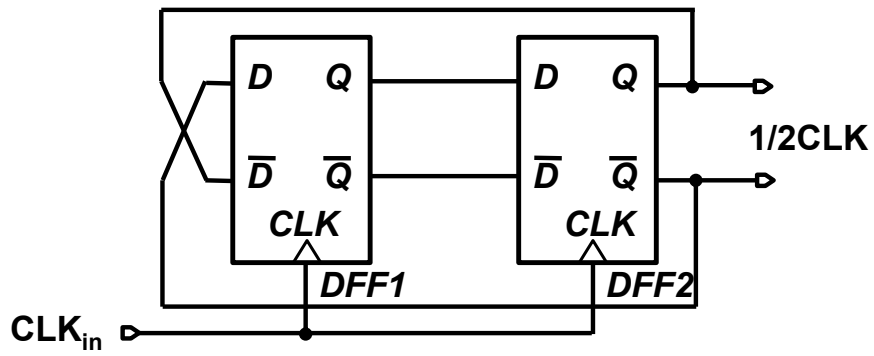
### 3.3.1 従来の高周波 1/2 周波数分周器

高周波数分周器は、無線システムの局部発振器として広く PLL 回路に使用されている。特に、VCO からの高周波の出力を分周する初段の高周波数 1/2 分周器の性能が、PLL 回路性能とシステム全体の性能を決定する重要な回路である。先行研究として高周波 1/2 周波数分周器には様々な回路方式の技術が用いられている[85] - [90]。

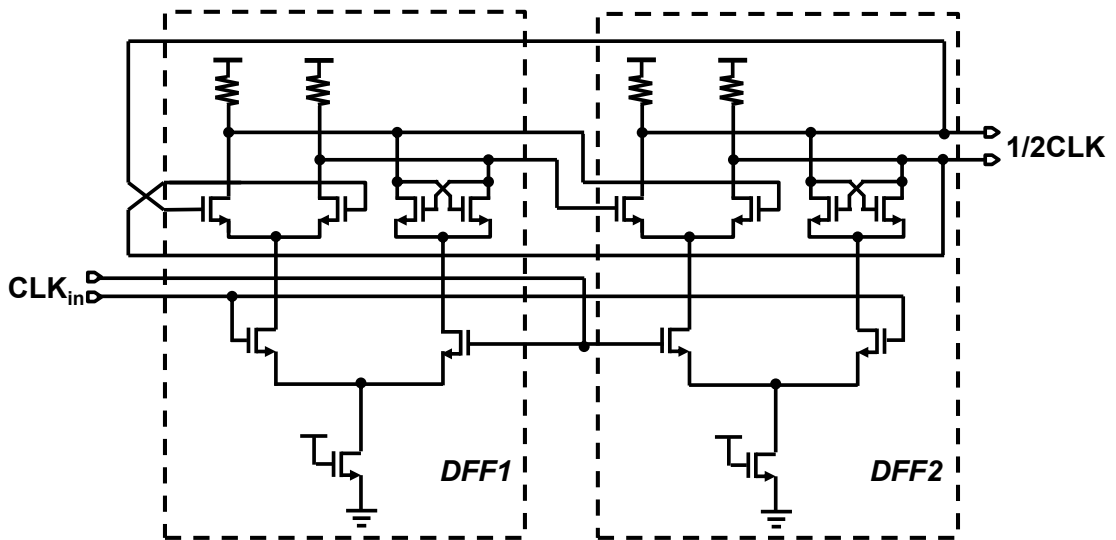
図 3.9 (a)に示す回路は、広く PLL 回路に使用される高周波 2 分周回路で、分周器二段マスタースレーブ D 型フリップフロップ (DFF) で構成されている。図 3.9 (b)は、DFF 回路の一例である。この DFF 回路は、電圧と GND 間にトランジスタの 3 段スタックで構成されており、トランジスタを強反転領域で動作させるには、少なくともトランジスタの閾値電圧  $V_{th}$  以上で動作させるために、 $V_{th}+3V_{ov}$  以上の電源電圧が必要である。例えば引用文献[85][88]では、実際の分周だ宇佐が可能な最低動作電圧が、0.5 V となっている。このため、エネルギーハーベストの電源(400 mV 以下)を利用した無線システムでは、DFF 回路形式の高周波 1/2 周波数分周回路は利用できない。

低電源電圧動作に適した二段スタック型の DFF 用の分周回路を、図 3.9 (c)に示す[87]。この DFF 回路形式の分周回路は、依然として閾値電圧  $V_{th}$  の 2 倍以上電源電圧が必要であるが、低電圧動作に適している。この回路は、VCO からの高周波信号が NMOSFET トランジスタに比較してトランジスタの遮断周波数  $f_T$  が低い PMOSFET の差動対トランジスタに入力されるため、高周波の周波数特性に制約を受ける。実際に、文献[87]では、電源電圧を 0.7 V まで上げると分周動作は 6.6 GHz 動作をするが、0.6 V の電源電圧では 4.5 GHz と極端に動作が遅くなる。

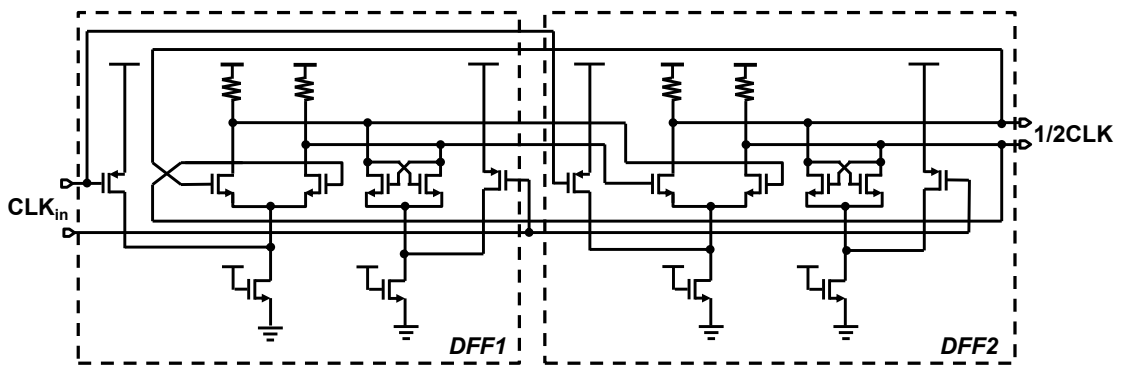
このような事実を考慮すると、従来の高周波 1/2 周波数分周器は、電源電圧 0.6 V 以下では分周動作が停止してしまうため、2.4 GHz 帯の高周波動作、低消費電力、低電源電圧等の性能で動作させることは困難であると考えられる。



(a)



(b)



(c)

図 3.9 (a) 2 段構成の DFF 周波数分周器. (b) 2 段構成の DFF 周波数分周回路.  
(c) 2 段構成の低電圧 DFF 周波数分周回路.

### 3.3.2 提案の超低電圧高周波 1/2 周波数分周器

高周波 1/2 周波数分周器を超低消費電力、超低電源電圧動作を実現するための回路を提案する。この回路を図 3.10 に示す。

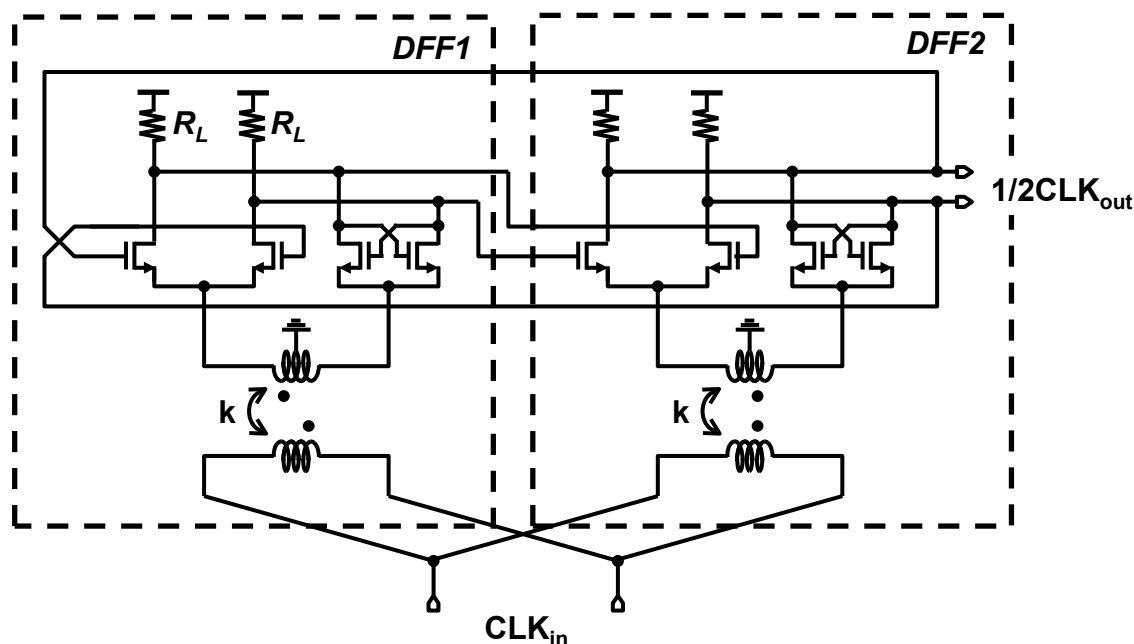


図 3.10 新規提案の超低電圧周波数分周器.

この高周波 1/2 周波数分周器は、従来の回路と同じく 2 段の D-FF 回路で構成されている。先行研究では入力段に差動トランジスタ回路を用いていたが、代わりにトランス結合器を使用した。この結果、本回路トポロジーは、電源と GND 間に 1 段のトランジスタのみを配置し、エネルギーハーベスト技術を用いた超低電圧電源の動作を可能となる。

本 DFF 回路を超低電源電圧のサブスレッショルド領域で動作する場合、2 つの差動増幅器は、電源と GND 間の rail-to-rail の電圧信号振幅を必要とする。PLL システムで用いられる一般的な入力クロック信号の高周波 VCO の出力信号振幅は、電源と GND 間の rail to rail の振幅幅で動作し、本回路に入力されるため問題ない。

この高周波 1/2 周波数分周器の代表的な性能指針である入力感度性能は、オンチップで実現したトランス結合器の性能に大きく依存する。今回設計したトランス結合器は、 $Q$  ファクタが 2.4 GHz で最大となるように最適化して設計されている。また、負荷抵抗  $R_L$

は、トランジスタが弱反転領域で動作するように、NMOSFET トランジスタのバイアス電圧を設定している。

この方式の VCO から見た Divider のインピーダンスは、従来のゲート端入力と比較して、ソース端入力のため低いという課題がある。そのため、トランス結合器の比を  $n:1$  とすることで VCO から見たインピーダンスを高くするようし、VCO の発振の影響度を少なくするようにしている。この入力 VCO から見た Divider 回路の入力インピーダンスは、次の図 3.11 に示すようになる。

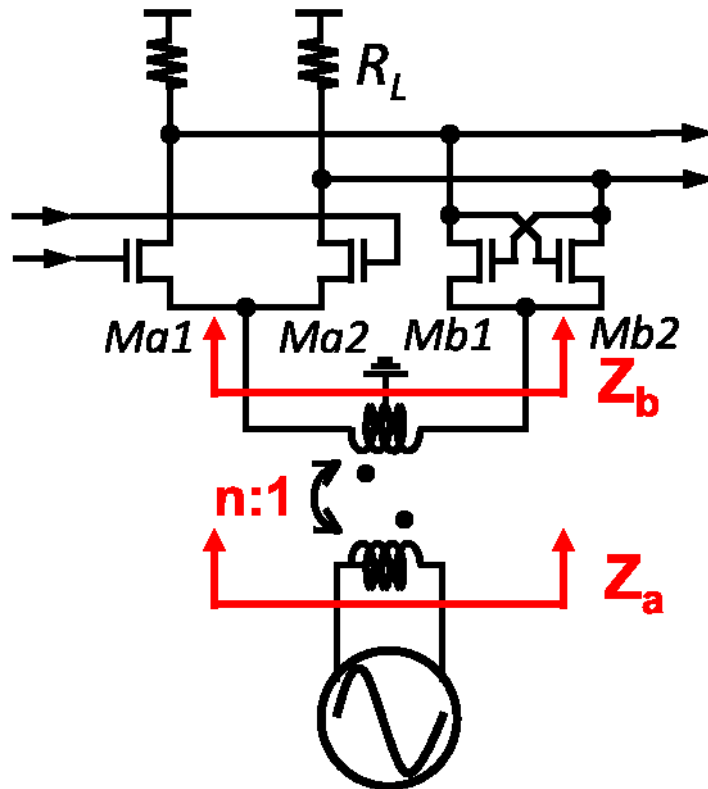


図 3.11 VCO から見た分周回路のインピーダンス。

図 3.11 において  $Z_a$  のインピーダンスは、次式(3.10)のようになる。

$$\begin{aligned}
 Z_a &= n^2 Z_b \\
 &= n^2 \left[ \frac{(1/g_{ma}) \parallel R_L + r_{ob}}{1 + g_{mb} r_{ob}} \right] .
 \end{aligned} \tag{3.10}$$

このとき、 $g_{ma}$  は分周回路の  $Ma$  側のコモンゲートアンプの入力抵抗、 $g_{mb}$  はデバイダーの  $Mb$  側のコモンゲートアンプの利得、 $r_{ob}$  はトランス結合器 2 次側の利得、 $n$  はト

---

ランス結合器の比を占めず。

VCO の LC 共振回路に純粋なオンチップのインダクタとランス結合器を利用した時を比較した場合、ランス結合器の形状に依存するがプレーナー型を利用した場合の寄生容量は、約 2 倍となる。しかし実設計では、この寄生容量を見越した VCO 共振回路の可変容量を小さく設計を行うため、位相雑音に対する影響度は低い。一方、共振回路の可変容量を小さくすると、バラクタ容量の可変比が小さくなり可変周波数範囲が狭くなる。

この高周波 1/2 周波数分周回路を PLL システムに使用する場合、VCO からの信号をランス結合器で直接信号を伝達するため、通常用いる高周波 1/2 周波数分周器と VCO との間にバッファ回路が削除できる利点がある。従来十分な振幅で信号伝達を行うためバッファ回路で大きな電力を消費していた課題を解決する。提案された高周波 1/2 周波数分周器は、超低電圧で動作し、かつ消費電力を大幅に削減することが可能となる。

---

## 3.4 測定結果

3.2 節、3.3 節で述べた提案の VCO 及び高周波 1/2 周波数分周回路を、実際に設計・試作・測定して超低電圧動作での性能を検証する。今回利用したプロセス技術は、標準の低消費電力向け CMOS 65 nm プロセス(LP-CMOS)である。65 nm LP-CMOS プロセスは、デジタル論理ゲート内の漏れ電流を最小にするために最適化されたプロセスである。65 nm LP-CMOS プロセスの MOSFET トランジスタの閾値電圧  $V_{th}$  は、リーク電流を最小にするために汎用 65 nm の標準プロセス (GP-CMOS) よりも高い閾値電圧  $V_{th}$  となっている。今回利用した NMOSFET および PMOSFET トランジスタの閾値電圧  $V_{th}$  は、通常回路動作の下で約 500 mV である。アナログ高周波動作のための low- $V_{th}$  トランジスタ等の特別なオプショントランジスタは存在しない。配線層は、薄膜の 9 層の Cu 金属配線とその上にある厚膜 Al の金属配線で構成されている。

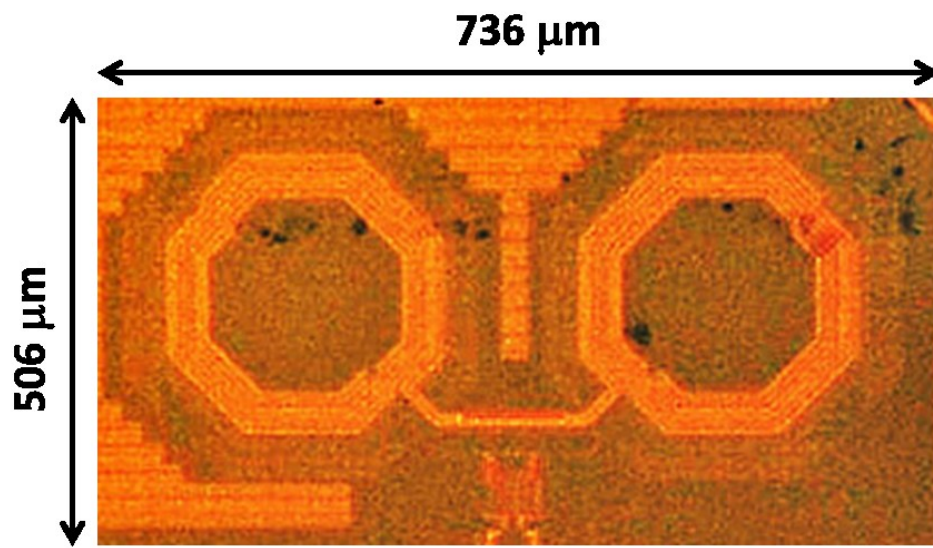
### 3.4.1 VCO の測定結果

従来の TF-VCO と提案の TCC-VCO の 2 つの回路を設計・試作し、評価した結果の性能比較を述べる。それぞれの VCO は、VCO の基本性能が最大となるように最適化をして設計した。それぞれ試作したチップ写真を図 3.12 に示す。従来の TF-VCO のチップサイズはパッドを含まない領域で 736 mm × 506 mm である。提案された TCC-VCO は同条件で 744mm × 677 mm で、従来と比較して 2 つの追加されたトランスがチップ面積の増大となる。

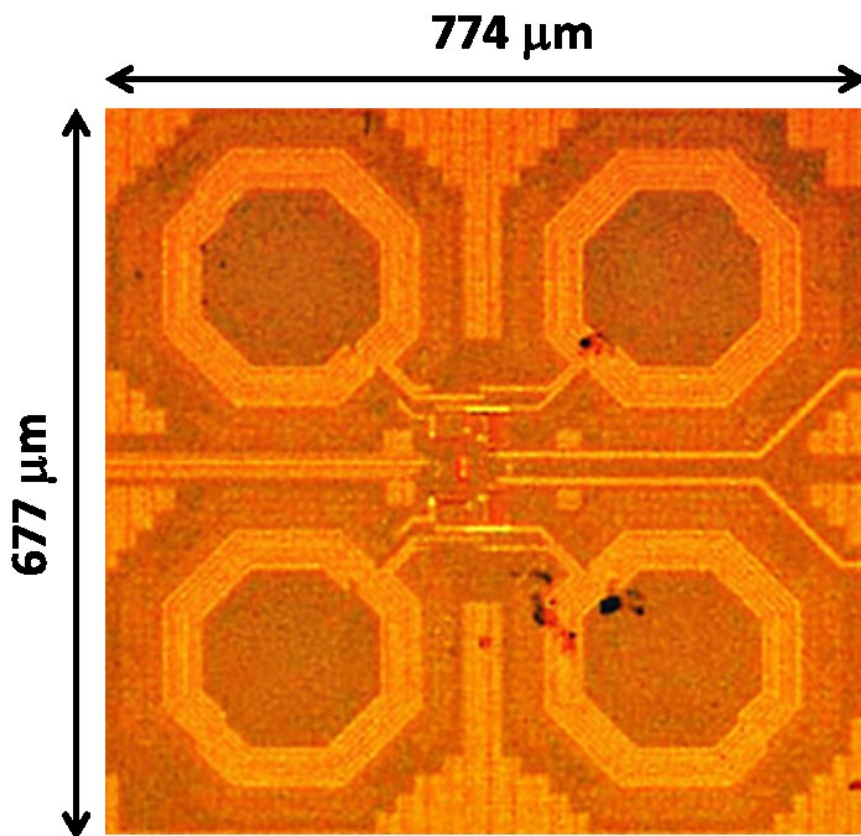
試作した 2 つの VCO の発振最低電圧特性を測定した結果を、図 3.13 に示す。図 3.12 によると、従来の TF-VCO は 370 mV の電源電圧で発振が停止する。一方、提案の TCC-VCO は、280 mV の電源電圧まで発振することが可能である。発振が停止する直前の消費電力は、従来の TF-VCO はコア回路部分で 2.66 mW となる。一方提案の TCC-VCO は 202  $\mu$ W であった。今回提案の TCC-VCO は、13 倍少ない消費電力で 270 mV の超低電源電圧下でも発振できる強い発振強度を有している。

図 3.13(a)によると TCC-VCO は、発振周波数が強い電源依存性を持つ。しかし、図 1.19 のセンサーネットワークシステムにおいて無線部の電源は、パワーマネジメント回路で一定電圧となるよに制御されるためシステム全体への影響はないと考える。



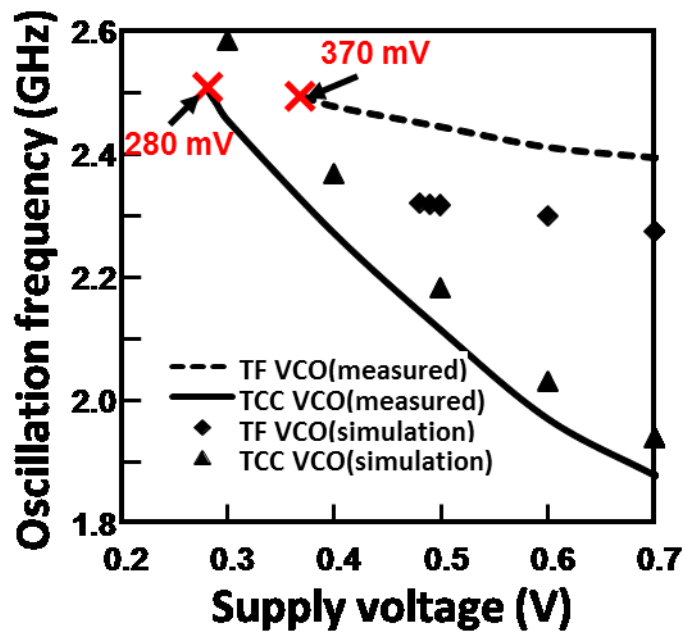


(a)

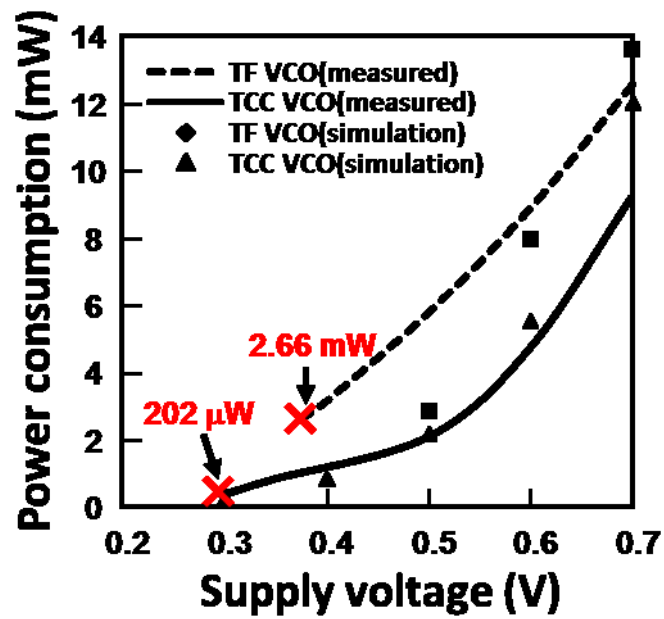


(b)

図 3.12 (a) 従来の TF-VCO のチップ写真. (b) 新規提案の TCC-VCO のチップ写真.

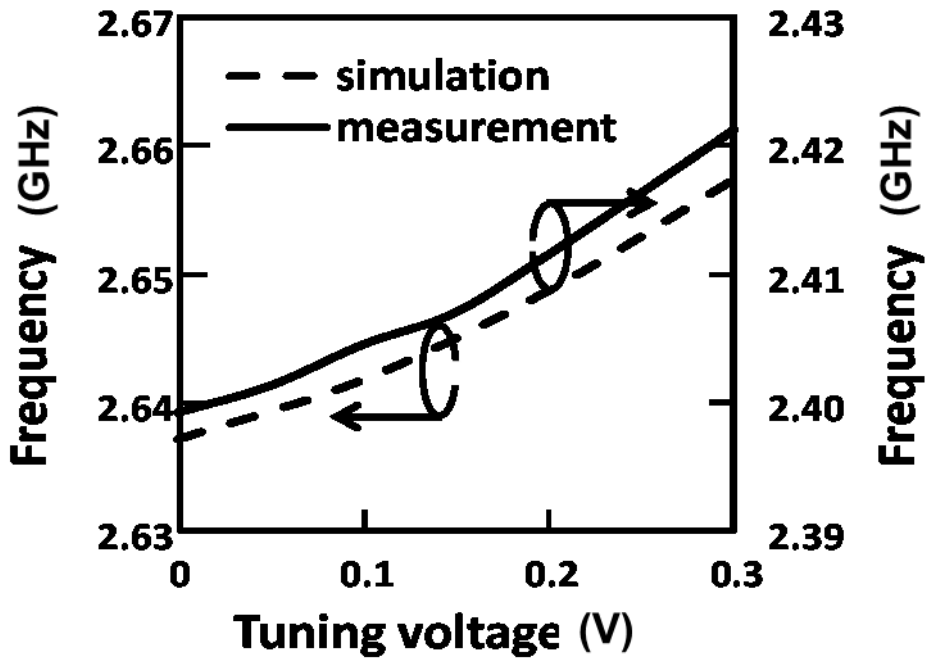


(a)

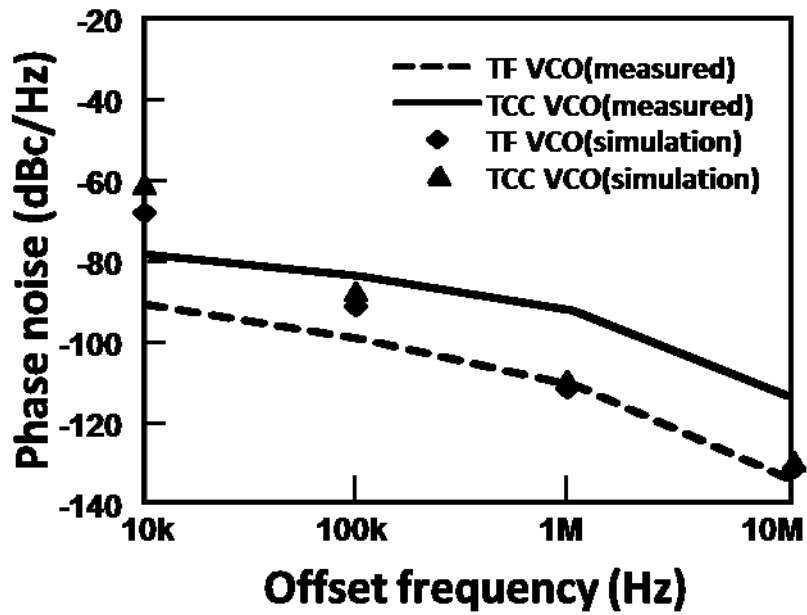


(b)

図 3.13 (a) TF 及び TCC-VCO の最低電源動作特性.  
 (b) TF-VCO 及び TCC-VCO の電源電圧による消費電力特性.



(a)



(b)

図 3.14 (a) TCC-VCO の周波数制御特性. (b) TF-VCO 及び TCC-VCO の位相雑音特性.

TCC-VCO の周波数電圧制御特性を、図 3.14 (a)に示す。図 3.14 (a)によると、周波数制御感度は 66 MHz/V である。TFF VCO は、VCO の周波数を可変するために PMOSFET VCO と NMOSFET VCO の両方にそれぞれ周波数制御端子を有する。TFF VCO の各制御端子の一方の電圧を固定し、他方の制御端子の電圧を動作させた結果、周波数制御範囲は約 20 MHz で、両側の制御端子を変化させた場合の周波数範囲は 40 MHz である。このように、周波数制御範囲が非常に狭い値となっている。しかし後述する第 5 章で詳細は述べるが、実利用では、VCO 共振器にキャパシタバンク回路用利用した周波数のバンド切り替えを用いて、システムで必要な可変周波数を得るように回路を拡張して設計することで課題を解決できる。また、VCO の位相雑音測定結果は、図 3.14 に示すように -96 dBc/Hz @1 MHz オフセットとなる。VCO 位相雑音特性は、シミュレーション結果より実測値の方が悪い。この主な原因は、VCO の出力信号が NMOSFET トランジスタのボディバイアスの制御端子に、フィードバック信号となって周りこみ、出力信号に小さなスプリアス信号となって出力されたためと、電源電圧からのノイズが直接 VCO に伝わって加算されたためである。

関連する最近の先行研究論文の性能比較[91] - [93]を表 3.1 に示す。この表において、FOM の比較では、位相雑音が悪いため低い値となっている。提案した TCC-VCO は、280 mV とこれまでの VCO より優れた低電圧動作特性を示している。この TCC-VCO は単に超低電圧動作を実現しただけではなく、超低消費電力も優れた利点となっている。

表 3.1 低消費電力の高周波 VCO 性能比較.

	<b>This work TCC VCO</b>	<b>Conventional TF VCO</b>	<b>VLSI'09 [91]</b>	<b>ISSCC'10 [92]</b>	<b>TCAS'12 [93]</b>
<b>Process technology</b>	65 nmCMOS	65 nmCMOS	180 nmCMOS	65 nmCMOS	130 nmCMOS
<b>Minimum operation voltage (V)</b>	<b>0.28</b>	<b>0.37</b>	<b>0.6</b>	<b>1.2</b>	<b>0.4</b>
<b>Power consumption (mW)</b>	<b>0.202</b>	<b>2.66</b>	<b>0.65</b>	<b>0.7</b>	<b>0.6</b>
<b>Oscillation frequency (GHz)</b>	<b>2.48 GHz</b>	<b>2.50GHz</b>	<b>2.43GHz</b>	<b>3GHz</b>	<b>14.1</b>
<b>Variable frequency range (GHz)</b>	<b>2.48-2.52 (0-0.3 V)</b>	<b>2.48-2.63 (0-0.3 V)</b>	<b>2.32-2.54 (0-0.6 V)</b>	<b>3-3.6 (0-0.3 V)</b>	<b>N/A</b>
<b>Phase noise (dBc/Hz)</b>	<b>-96</b>	<b>-111.8</b>	<b>-114</b>	<b>-114</b>	<b>-100.6</b>
<b>Topology</b>	<b>TF</b>	<b>TF</b>	<b>Class-C</b>	<b>Complementary</b>	<b>TF</b>
<b>FOM</b>	<b>-170.8</b>	<b>-175.5</b>	<b>-183.4</b>	<b>-185</b>	<b>-186</b>

### 3.4.2 高周波 1/2 周波数分周器の測定結果

提案された高周波 1/2 周波数分周器は、VCO と同一のプロセス技術を使用して設計・試作・測定を行った。試作したチップ写真を図 3.15 に示す。パッド領域を除いたチップの面積は 0.9 mm x 0.6 mm である。

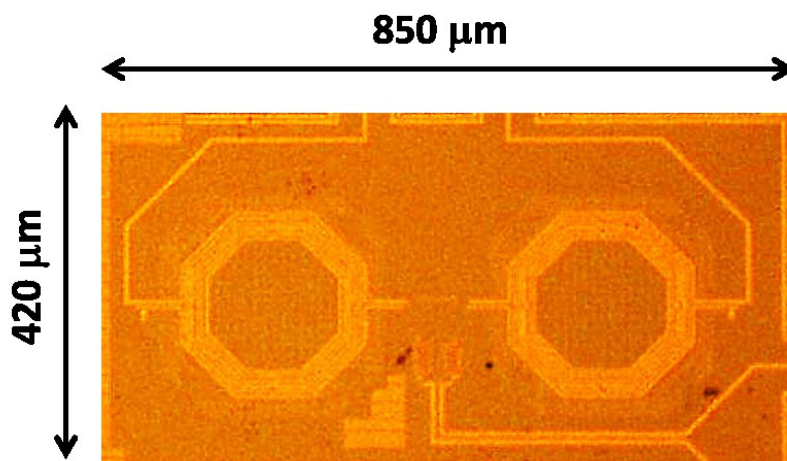


図 3.15 新規提案の高周波 1/2 周波数分周器チップ写真.

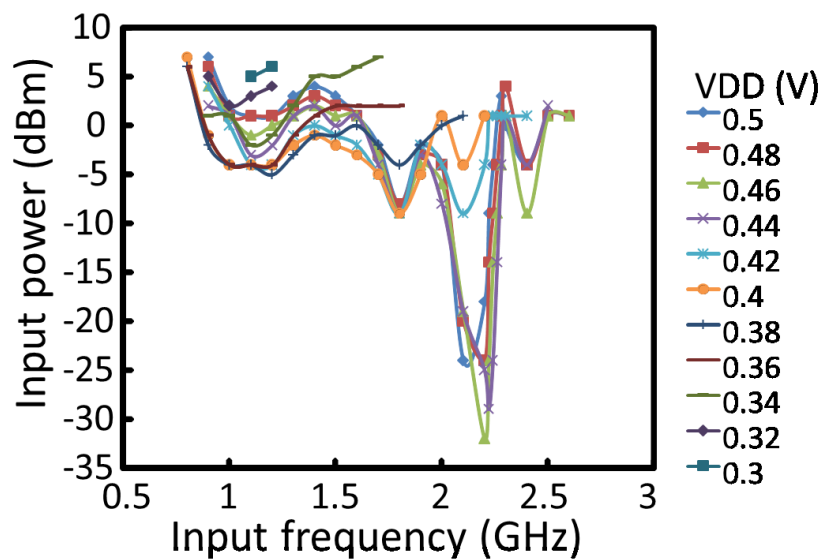
図 3.16 (a)は、電源電圧を 300 mV から 500 mV まで 40 mV のステップで可変した時の周波数分周特性の入力感度性能を示す。最小動作電源電圧は、300 mV でその時の入力電力は+5 dBm となっている。しかし、動作周波数範囲は 1.1 GHz から 1.2 GHz と狭い範囲の動作となっている。周波数分周回路の電源電圧を 500 mV まで増加させることにより、分周回路での動作周波数範囲は、800 MHz から 2.6 GHz となり大幅に拡大される。

低電圧電源で動作周波数領域が極端に狭くなる主な理由は、トランジスタの高周波の性能である遮断周波数特性  $f_T$  がサブスレッショルド領域で悪化するとともに、トランジスタの寄生容量であるゲート・ソース間の寄生容量  $C_{gs}$  やドレイン・ソース間寄生容量  $C_{ds}$  が増加し、高周波動作が劣化するためである。

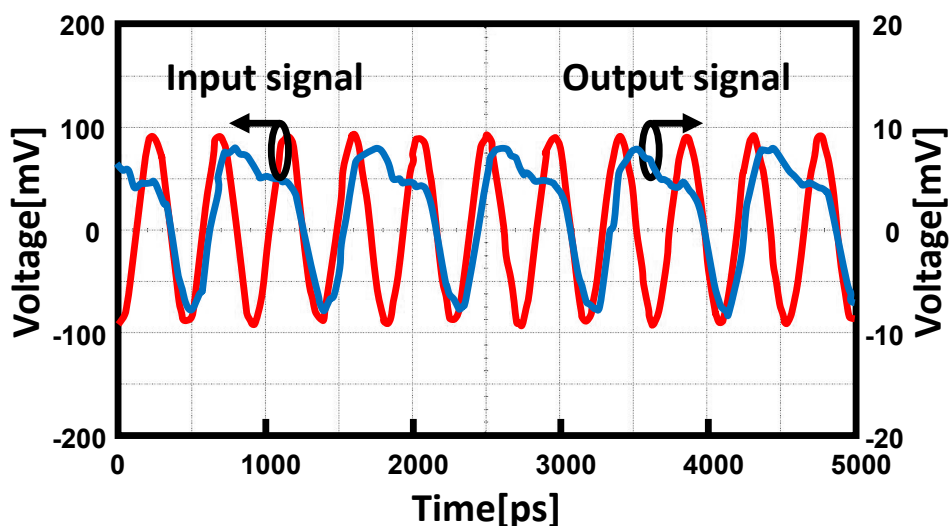
一方、電源電圧が 500 mV に於いては、トランジスタは弱反転領域で動作し遮断周波数特性  $f_T$  が増加している。その弱反転領域では、トランジスタに印加されるバイアス電圧はトランジスタに流れる  $I_d$  の電流を増加させ固定の負荷抵抗  $R_L$  により、出力信号電圧振幅が増大するように影響を与える。このため、電圧振幅が増大し分周器の最小入力感度性能が向上した。

図 3.16 (b)に、入力信号と出力信号波形を示す。出力信号の波形は、入力信号を 1/2 分周波形となっているが、50 %のデューティ・サイクルではない。

この非対象の出力分周波形となる根本的な原因は、入力切替回路部に DFF のトランスを用いていることにある。これは入力信号が GND レベルになると、スイッチング速度は上部にあるアクティブトランジスタの寄生容量によって制限されている影響と考えられる。しかし、この高周波 1/2 周波数分周器の非対象波形は、PLL システムにおける全体の性能に影響を与えない。



(a)



(b)

図 3.16 (a) 新規提案の高周波 1/2 周波数分周器の入力感度。  
(b) 新規提案の高周波 1/2 周波数分周器の入出力波形。

高周波 1/2 周波数分周器のフリーラン周波数は、500 mV の電源電圧で 1.085 GHz である。分周器のコア回路の消費電力は、各電源電圧(300 mV から 500 mV)において 34  $\mu$ W から 110  $\mu$ W の範囲である。この時の高周波数分周器の入力信号レベルは、PLL 回路に使用するのに十分な入力レベルである 0 dBm である。図 3.17 に本提案の高周波 1/2 周波数分周器の位相雑音性能を示す。位相雑音特性は-120 dBc/Hz@1 MHz を達成している。フリーラン周波数での位相雑音は 67 dBc/Hz@1 MHz となっている。

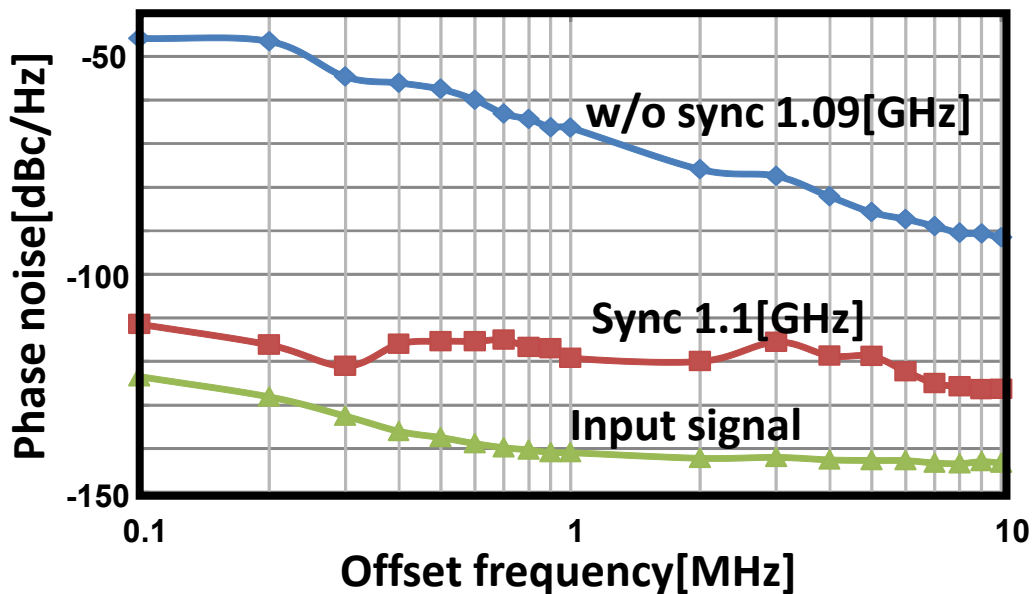


図 3.17 新規提案の高周波 1/2 周波数分周器の位相雑音特性.

表 3.2 は、提案されたトランスを用いた高周波 1/2 周波数分周器と他のこれまでの先行研究論文の高周波 1/2 周波数分周器の性能比較を示す。分周器のトランジスタは、サブスレッショルド領域で動作することで消費電力が低減されている。提案したトランスを用いた高周波 1/2 周波数分周器は、最低動作電圧および電力消費において、これまでのどの先行研究よりも優れた性能を持つ。

表 3.2 高周波 1/2 周波数分周器の性能比較.

	<b>This work</b>	JSSC'03 J.C. Wong [86]	ASSCC'05 J. Chien [87]	ASSCC'10 W. Deng [88]
VDD (V)	<b>0.3-0.5</b>	1.0	0.55-0.7	0.5
$f_{\max}$ (GHz)	<b>2.7</b>	5.2	3.9-6.6	7.2
$f_{\min}$ (MHz)	<b>800</b>	1000	N/A	N/A
Power consumption (mW)	<b>0.034-0.705</b>	2.5	1.76-5.67	0.25
Process technology (nm)	<b>65</b>	350	180	90



---

## 3.6 おわりに

第3章では、超低電源電圧で低消費電力動作が可能な、高周波 TCC-VCO 回路と高周波 1/2 周波数分周器を検討・提案し、実際にチップを設計試作して検討を行った。センサー・アプリケーション用の超低消費電力無線のために、高周波 1/2 周波数分周器と TCC-VCO 両回路に於いてトランスを導入した回路を提案した。この TCC-VCO と高周波 1/2 周波数分周器は、これまで報告された中で最低電圧の 300 mV 以下の電源電圧で動作する。チップは標準の 65 nm CMOS プロセスで製造されており、超低電源電圧の下では MOSFET トランジスタは、高周波性能が悪いサブスレッショルド領域で動作する。提案した TCC-VCO と高周波 1/2 周波数分周器のトポロジー回路は、電源と GND 間で多段のトランジスタのスタックを避けるために、トランスを用いた技術で低電圧電源動作を実証した。

TCC-VCO におけるトランスフィードバック技術は、トランジスタの閾値電圧  $V_{th}$  以下の電源電圧で動作させる場合に、VCO の帰還利得を増加させ低電圧時の発振強度を上げることができる。提案の TCC-VCO の発振周波数は、280 mV 電源電圧で 2.4 GHz となっており、消費電力は 202  $\mu$ W で位相雑音性能は、-96 dBC/Hz@1 MHz である。高周波 1/2 周波数分周器は、提案の 2 段のマスタースレーブ D 型フリップフロップで構成した。DFF 入力差動信号は、低電圧化のため入力段の差動 MOSFET トランジスタの代わりにトランスを用いて構成した。高周波 1/2 分周器の最低動作電源電圧は 300 mV で、フリーラン周波数は 1.085 GHz でその時の消費電力は 34  $\mu$ W である。

この研究結果は、高周波 GHz 帯の RF 主要コンポーネントが超低電圧電源 300 mV で動作可能な性能を実現している。無線システムの主要回路である VCO と周波数分周器を使用して、無線センサーネットワークの無線回路に於いて、エネルギーハーベストから得られる電源電圧を直接用いて動作させることが可能となることを証明した。この結果は、センサーネットワークシステムの無線システムがエネルギーハーベストの電源で利用可能となり、自律型のセンサーネットワークを実現するコアデバイスのキー技術となることを提案した。

最後に、本章においてのまとめを表 3.3 に示す。

表 3.3 3章における課題・アイデア・結果のまとめ.

<b>課題</b>	先行研究の高周波回路は、トランジスタを多段でスタック構成されているため、低電圧化が困難であった。
<b>アイデア</b>	無線システムで重要な電圧制御発振回路と周波数分周回路を、トランスフォーマを用いて、電源とGND間に1段のトランジスタの構成の低電圧トポロジー回路を提案
<b>結果</b>	<ul style="list-style-type: none"> <li>• 2.4 GHz帯の高周波電圧制御発信回路と1/2周波数分周回路は、これまで報告された中で最低電圧の300 mVの電源電圧で動作する。</li> <li>• 提案TCC VCOの発振周波数は、280 mV電源電圧で2.4 GHzとなっており、全電力消費量は202 <math>\mu</math>Wで位相雑音性能は、-96 dBC/ Hz@1 MHzである。</li> <li>• 高周波1/2分周器の最小動作電源電圧は300 mVで、フリーラン周波数は1.085 GHzでその時の消費電力は34 <math>\mu</math>Wである。</li> </ul>

---

## 参考文献 (第 3 章)

- [65] F. Zhang, *et al.*, "A Batteryless 19 $\mu$ W MICS/ISM-Band Energy Harvesting Body Area Sensor Node SoC," *IEEE Int. Solid-State Circuits Conf. Dig. Tech.*, pp.298-300, Feb. 2012.
- [66] N. Stanic, *et al.*, "A 2.4-GHz ISM-Band Sliding-IF Receiver With a 0.5-V Supply," *IEEE Journal of Solid-State Circuits*, vol. 43, no. 5, pp.1138 -1145, May 2008.
- [67] K.C. Kwok, *et al.*, "Ultra-low-Voltage High-Performance CMOS VCOs Using Transformer Feedback," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 3, pp.652-660, Mar. 2005.
- [68] Y. Nomiya, *et al.*, "A 0.114-mW Dual-Conduction Class-C CMOS VCO with 0.2-V Power Supply," *IEEE Int. Symp. VLSI Circuits Dig. Tech.*, pp.228-229, Jun. 2009.
- [69] S. Levantino, *et al.*, "Suppression of Flicker Noise Upconversion in a 65nm CMOS VCO in the 3.0-to-3.6GHz Band," *IEEE Solid-State Conf. Dig. Tech.*, pp.50-51, Feb. 2010.
- [70] T. N. Nguyen, *et al.*, "A K-band CMOS Differential Vackar VCO With the Gate Inductive Feedback," *IEEE Trans. Circuits and Systems II*, vol. 59, no. 5, pp.257-261, Mar. 2012.
- [71] N. Stanic, *et al.*, "A 2.4-GHz ISM-Band Sliding-IF Receiver With a 0.5-V Supply," *IEEE Solid-State Conf. Dig. Tech.*, pp.1138-1145, Feb. 2008.
- [72] D. Ruffieux, "A High-Stability, Ultra-Low-Power Quartz Differential Oscillator Circuit for Demanding Radio Applications," *IEEE Solid-State Circuits Conference (ESSCIRC 2002) Proc.*, pp.85-88, Sep. 2002.
- [73] A. Hajimiri, *et al.*, "Jitter and Phase Noise in Ring Oscillators," *IEEE Journal of Solid-State Circuits*, vol. 34, no. 6, pp.790-804, Jun 1999.
- [74] Y. A. Eken, *et al.*, "The Design of a 14 GHz I/Q Ring Oscillator in 0.18  $\mu$ m CMOS," *IEEE Int. Symp. Circuits and Systems*, vol. 4 pp. IV-133-6, 2004.
- [75] J. P. Carmo, *et al.*, "A 2.4-GHz CMOS Short-Range Wireless-Sensor-Network Interface for Automotive Applications," *IEEE Trans. on Industrial Electronics*, vol.

---

57, no. 5, pp.1764-1771, Sep. 2010.

- [76] R. J. Betancourt-Zamora, *et al.*, "CMOS VCOs for Frequency Synthesis in Wireless Biotelemetry," *IEEE Int. Symp. Low Power Electronics and Design Proc.*, pp.91-93, Aug. 1998.
- [77] B. Razavi, "A Study of Phase Noise in CMOS Oscillators," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 3, pp.331-343, Mar 1996.
- [78] D. B. Leeson, "A Simple Model of Feedback Oscillator Noise Spectrum", *Proceeding of the IEEE*, vol. 54 no. 2, pp.329-330, Feb. 1966.
- [79] Christian C Enz, *et al.*, "An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage and Low-Current Applications," *Analog Integrated Circuits and Signal Processing*, vol. 8, no. 1, pp.83-114, Jul. 1995.
- [80] D. Markovic, *et al.*, "Ultralow-Power Design in Near-Threshold Region," *Proceeding of the IEEE*, vol. 98, no. 2, pp.237-252, Feb. 2010.
- [81] S. S. Mohan, *et al.*, "Modeling and Characterization of On-Chip Transformers," *IEEE Conf. Int. Electron Devices Meeting 1998, Dig. Tech. Papers*, pp.531-534, 1998.
- [82] J. N. Burghartz, *et al.*, "RF Circuit Design Aspects of Spiral Inductors on Silicon," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 12, pp.2028-2034, Dec. 1998.
- [83] M. C. Hsieh, *et al.*, "Design and Fabrication of Deep Submicron CMOS Technology Compatible Suspended High-Q Spiral Inductors," *IEEE Trans. Electron Devices*, vol. 51, no. 3, pp.324-331, Mar. 2004.
- [84] C. H. Huang, *et al.*, "Design and Modeling of Planar Transformer-Based Integrated Passive Devices for Wireless Applications," *IEEE Conf. Int. Electronic Components and Technology*, pp.516-521, May 2009.
- [85] Hui Zheng, *et al.*, "Ultra-Low-Voltage 20-GHz Frequency Dividers Using Transformer Feedback in 0.18 um CMOS Process," *IEEE Journal of Solid-State Circuits*, vol. 43, no. 10, pp.2293-2302, Oct. 2008.

- 
- [86] J. C. Wong, *et al.*, "A 1-V 2.5-mW 5.2-GHz Frequency Divider in a 0.35- $\mu$ m CMOS Process," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 10, pp.1643-1648, Oct. 2003.
- [87] J. Chien, *et al.*, "Ultra-Low-Voltage CMOS Static Frequency Divider," *IEEE Int. Conf. Asian Solid-State Circuits Dig. Tech. Papers*, pp.209-212, Nov. 2005.
- [88] W. Deng, *et al.*, "A 0.5-V, 0.05-to-3.2 GHz, 4.1-to-6.4 GHz LC-VCO Using E-TSPC Frequency Divider with Forward Body Bias for Sub-Picosecond-Jitter Clock Generation," *IEEE Int. Conf. Asian Solid-State Circuits Dig., Tech. Papers*, pp.1-4, Nov. 2010.
- [89] T. Douseki, *et al.*, "A 0.3V 3.6GHz 0.3mW Frequency Divider with Differential ED-CMOS/SOI Circuit Technology," *IEEE Solid-State Circuits Conf. Dig. Tech. Papers*, pp.114-482 vol. 1 Feb. 2003.
- [90] E. Roa, *et al.*, "A 50GHz 130 $\mu$ W Inductorless Prescaler in 45nm SOI CMOS Using ETSPC Logic," *IEEE Int. Symp. Circuits and Systems Dig. Tech. Papers*, pp.1071-1074, May 2012.
- [91] Y. Nomiya, *et al.*, "A 0.114-mW Dual-Conduction Class-C CMOS VCO with 0.2-V Power Supply," *IEEE Int. Symp. VLSI Circuits Dig. Tech.*, pp.228-229, Jun. 2009.
- [92] S. Levantino, *et al.*, "Suppression of Flicker Noise Upconversion in a 65nm CMOS VCO in the 3.0-to-3.6GHz Band," *IEEE Solid-State Conf. Dig. Tech.*, pp.50-51, Feb. 2010.
- [93] T. N. Nguyen, *et al.*, "A K-band CMOS Differential Vackar VCO With the Gate Inductive Feedback," *IEEE Trans. Circuits and Systems II*, vol. 59, no. 5, pp.257-261, Mar. 2012.

---

## 第4章 超低電圧動作の無線受信システム技術

---

## 4.1 はじめに

第3章では、エネルギーハーベストに適応できる超低電圧動作で低消費電力の高周波のコア回路である VCO と周波数分周器を試作し、300 mV の電源電圧で動作することを検証・確認した。この結果を応用して、実際にエネルギーハーベストの超低電圧電源で動作可能な無線センサーネットワークの受信システムと、それを実現する無線回路部を検討する。

本章では、様々なエネルギーハーベスト(太陽光や熱電などの電源候補がある)の電源電圧(300 mV)で動作可能な、2.4 GHz 帯無線センサーネットワーク受信システムの検討を述べる。低データレート、狭帯域の 2.4 GHz 帯の周波数動作で、Frequency Shift Keying (FSK) 変調の Zigbee の無線規格で、ヘルスケアやメディカル用途のボディエリアネットワークで用いる身体装着型デバイスなどで利用する、自律型センサーネットワークアプリケーションをターゲットにする。コンセプトを実証するために Binary Frequency Shift Keying (BFSK)変調と 300 kHz チャンネル帯域幅を選んだが、他のベースバンドの方式の規格に簡単に適合させることができる。この技術は複数のアプリケーションを想定することができるが、身近なアプリケーションターゲットの一例として、体熱による発電を利用して駆動する電池不要の補聴器や Electrocardiogram (ECG)の心電計などがあげられる。

超低電圧電源(300 mV)で動作可能なシステムと回路の開発は、次に述べるいくつかの理由で非常にチャレンジな研究である。第一に、超低電圧電源回路は、トランジスタの遮断動作周波数( $f_T$ )が低くなり、高周波動作の制限を受ける。さらに低雑音増幅器(LNA)とミキサー回路は、最大利得と雑音指数 (Noise Figure (NF)) の性能に制限を受ける。第二に、従来技術のトランジスタを多段に積み上げによる回路トポロジーは、信号処理の動作に必要な電圧ヘッドルームに厳しく制限を受ける。低電圧化による MOSFET トランジスタの寄生容量が増大し、この制限によりアナログ/ RF 増幅器の利得と帯域幅の性能に大きく影響する。第三に、LNA からアンテナ端への逆方向のアイソレーションやミキサー回路で VCO 信号が LNA に漏れこむフィードスルー性能を劣化させる可能性がある。第四に、制限された電圧振幅は、VCO 出力電力と位相雑音を劣化させ、その結果ミキサーの変換利得を低減させることになる。最後に、超低電源電圧は、デジタル・ロジックが動作できるクロック周波数速度が制限され、ベースバンド処理能力が減少する。

ここでは、単一の 300 mV の電源電圧で低消費電力動作する 2.4 GHz の Low-IF アーキ

---

テクチャ受信機の無線設計に関して述べる。4.1 章では、受信機アーキテクチャおよび 300 mV の超低電圧 RF 動作を可能とする、極めて重要なトランス結合技術に関して述べる。4.2 章と 4.3 章では、それぞれ高周波 RF フロントエンドの詳細回路とベースバンド回路の詳細を述べる。4.4 章では、本アーキテクチャの無線部を実際に設計・試作し、FSK 変調の無線電波をアンテナで受信して受信システムの測定結果を述べる。



---

## 4.2 アーキテクチャの検討

### 4.2.1 従来技術

これまでの先行研究として最先端の超低電圧無線機の受信機技術は、Cook 氏がミキサー・ファーストのアーキテクチャを使用した受信機で、最低供給電源電圧 0.4 V を実現している[94]。この研究は、ミキサーとベースバンドの入力換算ノイズを減衰させるためと高い受動利得を得るために、外付けの高 $Q$ オリティ( $Q$ )マッチングネットワークを利用しており、この高 $Q$ ネットワークの性能に低電圧動作が依存している。実利用では、本アーキテクチャは低雑音増幅回路が無いと、受信感度が低いシステムでの利用もしくは外付けの LNA が必要となる。受信機の低雑音増幅器を含んだ先行研究では、Stanic 氏による最低動作電圧が 0.5 V 動作のスライディング IF アーキテクチャを用いた受信機を実現している[95]。このアーキテクチャを用いて DC オフセットは低減できるが、ダウンコンバージョンの各ステージでイメージ除去のフィルタが必要となり、そのため追加のチップ面積と消費電力の増大の欠点がある。従来の研究によると Low-IF や Zero-IF 等の他のアーキテクチャを採用する 2.4 GHz の受信機は、0.6 V より高い電源電圧が必要で 8 mW 以上の消費電力となっている[96][97]。そこで、本研究ではエネルギーハーベスタの電源電圧の 300 mV で動作させる受信システムを実現する。このため、MOSFET トランジスタを、電源と GND 間に多段にスタックした従来の回路構成を利用できない課題を解決するために、電圧制御発振器(VCO)とミキサー回路に transfer-coupled(トランス結合)アーキテクチャ回路技術を導入し、1 段スタックの MOSFET トランジスタ回路トポロジーを用いたアーキテクチャ構成を提案する。

### 4.2.2 新提案の無線受信機のシステム

受信システムとして、低消費電力動作に適したワンステップダウンコンバージョン Low-IF アーキテクチャを選択した。Zero-IF アーキテクチャの受信システムは、第 1 章で述べたように、VCO からのローカル信号のセルフミキシング(自己混合)による漏れで発生する DC オフセットや偶数次歪みや高いフリッカーノイズの問題がよく知られている。

そこで、このような課題を回避するために受信機の無線システムとして、Low-IF アーキテクチャの受信システムを選択した。今回提案した Low-IF アーキテクチャのシステムブロックを、図 4.1 に示す。2.4 GHz のシングル RF 入力信号は、LNA で増幅され、オンチップバラン（トランス）を用いてシングル出力を差動信号に変換される。その後、差動の RF 信号は、Quasi passive mixer(クワジパッシブミキサー)で 1~10 MHz の Low-IF 信号にダウンコンバートされる。この Low-IF の周波数は、IF 増幅器で必要とされる帯域幅と消費電力を最小化となるように決定する。同時に IF 周波数は、ミキサー回路やベースバンド回路のフリッカーノイズのコーナー周波数より上に設定する必要がある。

このアーキテクチャでは、VCO からの LO 信号もミキサーにトランス結合する。後の節で詳細に説明するが、設計したトランスで用いた二次コイルは、2 つの部分に分割されて利用される。2 次コイルの片側の部分はミキサーの LO 信号入力信号として結合するために使用され、もう一方の部分は、VCO におけるクロスカップル結合に使用される。このトランスを用いたクロスカップル結合は、VCO の位相雑音の改善と出力振幅を増大させるため及びドレインとソースとの間の誘導フィードバックとしても利用する。IF アンプと間欠動作の狭帯域フィルタの信号処理回路は、プログラム可能なベースバンド信号のチャンネル選択を行う。ベースバンドにおける線形性を改善するためには、増幅器の前にこの狭帯域フィルタを配置することが望ましい。しかし、フィルタのノイズを非常に低くするためには消費電力を増大することになる。そこで、インターリーブ動作のフィルタ部とアンプ回路部は、低消費電力動作に於いて雑音と線形性がトレードオフの関係となっており、両性能の最適化をはかることがシステム設計上重要である。

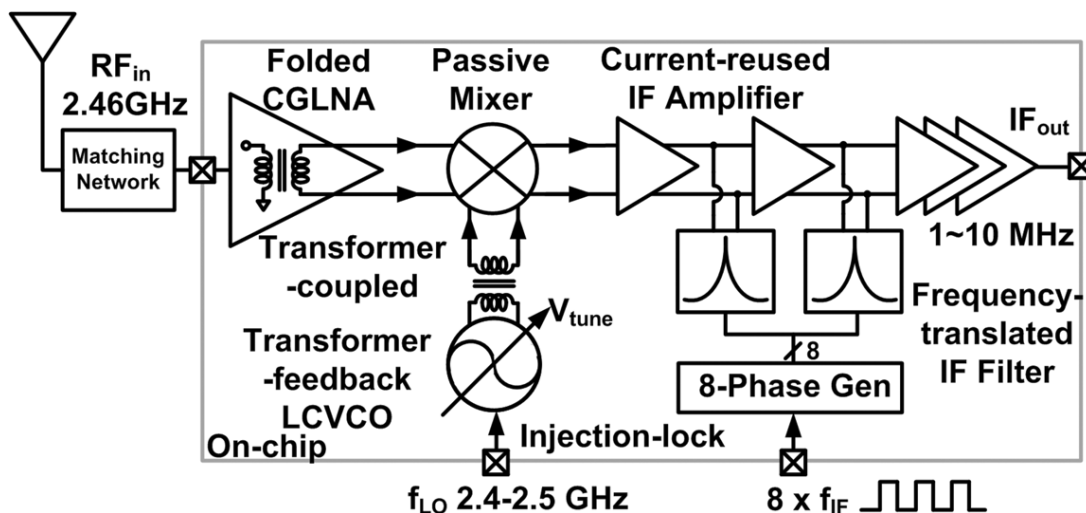


図 4.1 新規提案の Low-IF 受信機システムブロック図。

### 4.2.3 オンチップトランス

トランス結合器の素子として用いるオンチップトランスの設計に於いて、モデリングの精度および性能は、システムや回路トポロジーを決める上で非常に重要である。与えられた面積の制約の下でオンチップトランスを設計するための重要なパラメータは、自己インダクタンス( $L$ )、クオリティファクタ( $Q$ )、結合係数( $k$ )および自己共振( $f_{SR}$ )の3つである。高周波回路に於いてトランスは、RF 負荷や電磁結合の信号処理として利用される。このためトランスの設計の指針は、信号が低損失となるような高  $Q$  と高  $k$  を達成することが望まれる。そのため  $f_{SR}$  は、 $Q$  が動作周波数  $f_o$  において最大化されるように選択されるべきである。経験則としては、この  $f_{SR}$  は  $f_o$  の約 2 倍である。

試作に用いる半導体プロセスのオプションでは、低シート抵抗 ( $0.005 \Omega/\text{sq.}$ ) を有する最上位の厚膜 Al 金属配線層 (M9) がある。そこで、一次コイルと二次コイルとの両方が M9 層上に配置できる平面構造を採用することを決めた。トランスの形状 (例として、巻き数、半径、コイルの幅とコイルのターンとターン間隔など) は、 $L$ 、 $Q$ 、 $k$  および  $f_{SR}$  を決定するパラメータである。トランスのトポロジーの各パラメータの性能を定性的に比較したものを表 4.1 示す。また、表 4.2 に示されるように、ターン数を大きくし、大きな半径で間隔を狭くする事で  $L$  を最大化することができる。高  $Q$  のトランスを達成するためには、結合係数  $k$  が減少することを犠牲にすることで、コイルの巻き数とコイルのターンとターンの幅を少なくし、コイルの幅と半径を大きくすることで可能となる。

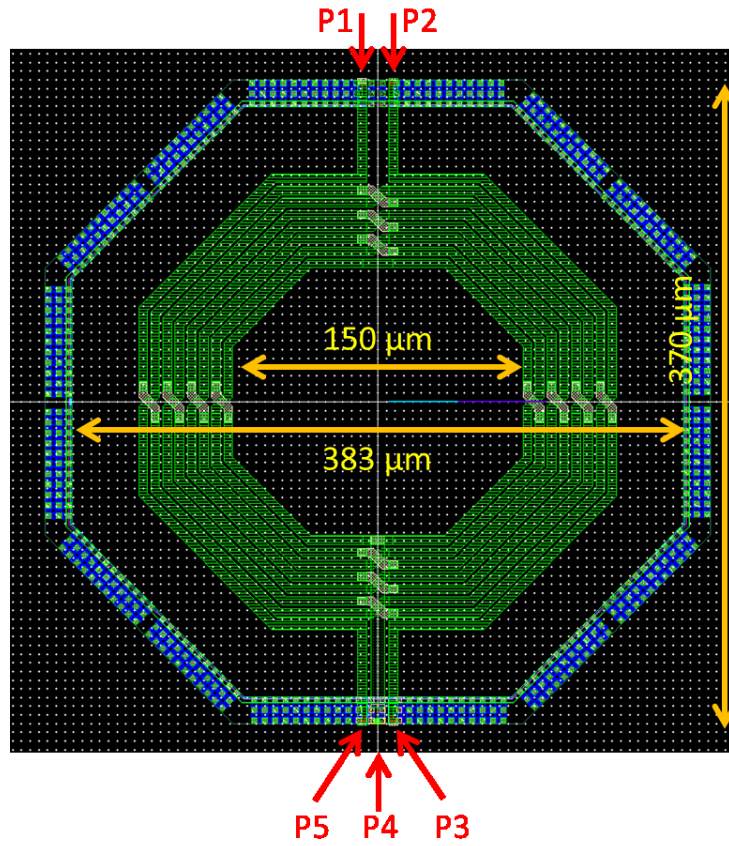
従来のコイルの巻き方のアプローチは、parallel 巻き、interwound 巻き、overlay 巻きそして同心円状のスパイラル巻きがあり、通常このようなコイルは、非対称の形状で設計される[98]。今回、トランスの形状として内側に共通の接地を持つコンパクトな対象型の bifilar 巻きを採用した (図 6 (a) 参照)。ここで巻線比は 1:2 であり、任意の巻数比は、コイルの長さを変更することによって達成することができる。主コイルは最上部の厚い Al 金属層 M9 の配線層で、配線間を跨ぐクロスオーバー配線を M8 の配線層で、センタータップの取り出しに M7 の配線層をそれぞれ用いた。同様に、トランスとしてのバラも、センタータップ (P4) を浮かせることによって構成することができる。 $k$  と  $Q$  のトレードオフを考えると、7 巻き、リングの線幅を  $5 \mu\text{m}$ 、各配線との間隔を  $2 \mu\text{m}$  として設計した。また、外側の他の素子からの磁気誘導を防ぐためのガードリングパターンまでの間隔を  $40 \mu\text{m}$  とした設計の形状を利用した。

表 4.1 トランスのトポロジー比較.

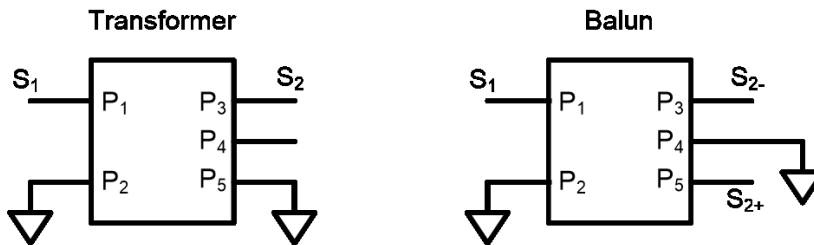
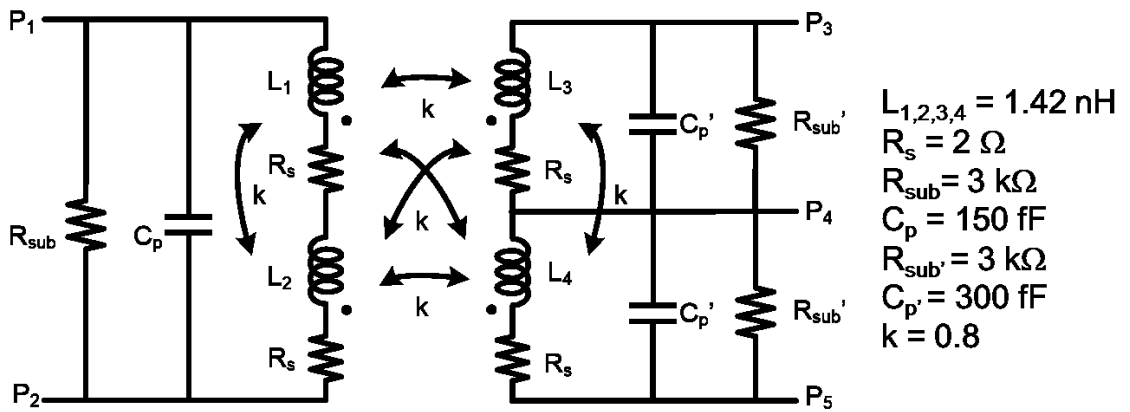
	$L$	$Q$	$k$	$f_{SR}$	Area
Stacked	High	Low	High	Low	Low
Planar	Mid	Mid	Mid	High	High
Planar interleaved	Low	Mid	High	Mid	High

表 4.2 トランスの形状拡大における各パラメータの変化.

	$L$	$Q$ at $f_0$	$f_{SR}$	$k$
Turns (3 $\rightarrow$ 8)	High	Low	Low	High
Radius (40 $\rightarrow$ 90 $\mu\text{m}$ )	High	High	Low	Low
Width (5 $\rightarrow$ 20 $\mu\text{m}$ )	-	High	Low	Low
Spacing (2 $\rightarrow$ 4 $\mu\text{m}$ )	Low	High	High	Low



(a)



(b)

図 4.2 (a) bifilar planar 対称形状のトランスのレイアウト. (b) トランスの等価回路モデル.

### 4.3 RF フロントエンド回路システム

今回採用した受信システムを検証するために、自律型センサーネットワークアプリケーションをターゲットとした、トランジスタレベルの回路設計を行い検証する。図 4.3 に、提案した高周波 RF フロントエンドの回路図を示す。

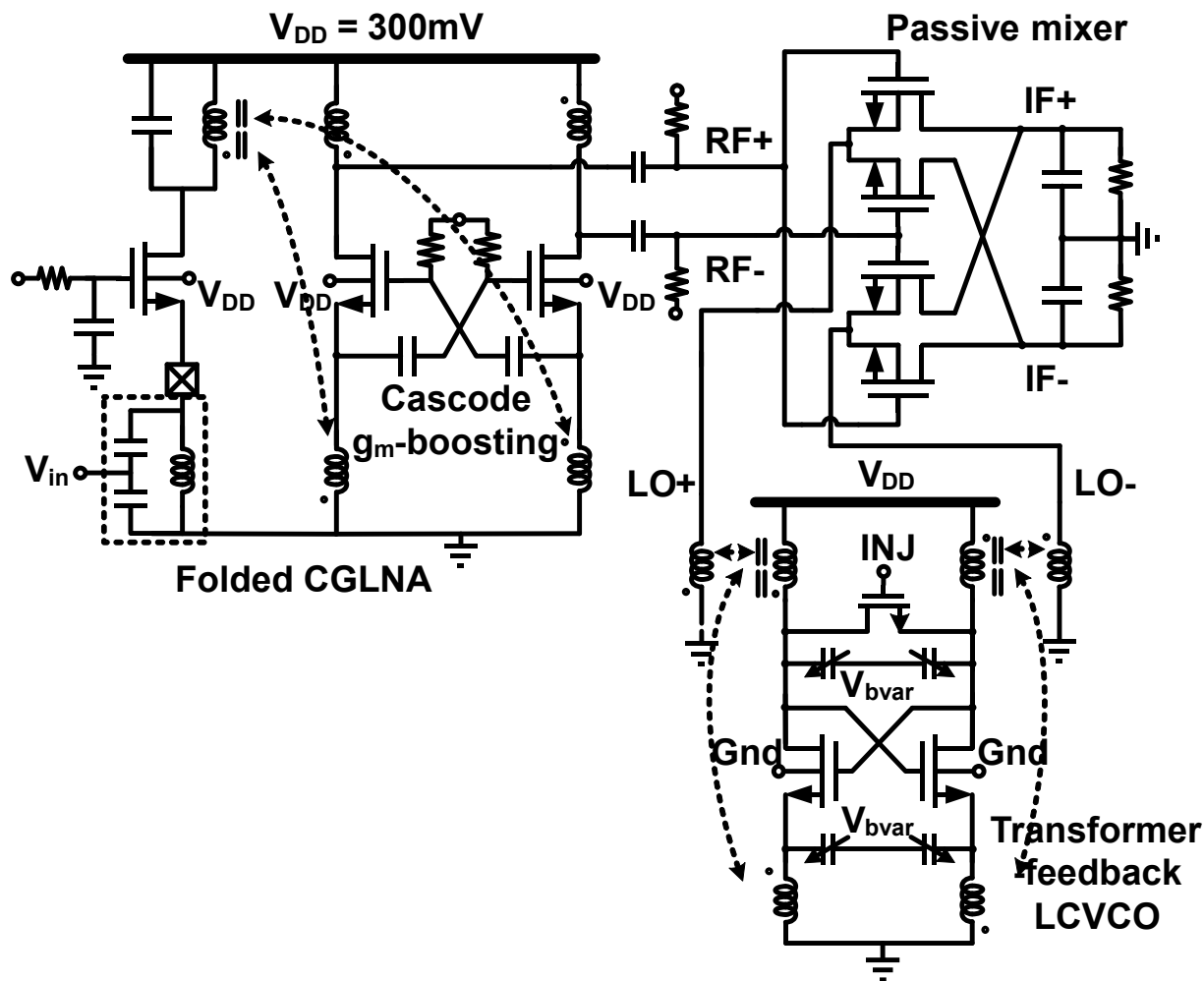


図 4.3 高周波 RF フロントエンド回路図  
(Folded LNA, transformer-feedback LCVCO and quasi-passive mixer).

提案の高周波 RF フロントエンド部は、300 mV の電源電圧の動作を可能にするため新たに次のような技術アイデアを採用して実現している。第一に、回路動作に必要な信号振幅を確保するためにヘッドルームを広く余裕を持たせ、各回路の接続にトランス結合を利用することで、従来技術の多段スタック回路トポロジーの低電圧化課題を解決す

---

る。またこの方法は、各回路の段間インピーダンスを変換するとともに、シングルエンド出力から差動入力への変換を可能にし、消費電力の削減を実現する。フロントエンド全回路の NMOSFET トランジスタが、 $V_{ds}=V_{dd}$  となるように 1 段のスタック回路トポロジーで動作し、これにより電源電圧 300 mV の動作を実現する。第二に、回路の適切な場所に閾値電圧を低下させるため、バルク・ソース接合部に順方向のバイアスをかけることで、トランジスタ自身の  $V_{th}$  電圧の低減をはかる。今回利用する電源電圧はわずか 300 mV なので、第 2 章で述べたように課題となるナリーク電流は発生しない。第三に、RF 信号経路にあるトランジスタのバイアスは、中反転領域で回路の消費電力と高周波性能の指針である  $f_T$  とを最適化する。

### 4.3.1 Folded Low Noise Amplifier 回路

この節では、超低電圧動作の受信回路に於いて、カスコード型の Folded Low Noise Amplifier (Folded-LNA) の回路に関して述べる。受信機回路ブロックの最初の入力段として LNA に求められる要求性能は、低雑音・高利得・良好な入力マッチング・VCO からアンテナへの信号の漏れを低減する逆アイソレーションそして線形性の性能を有する必要がある。

ソース接地 LNA (Common Source LNA(CSLNA))は、 $f_T/f_o$ (動作周波数に正規したトランジスタの遮断周波数  $f_T$ )が比較的高く、通常ゲート接地 LNA (Common Gate LNA (CGLNA))よりも優れた雑音特性の性能を有する。しかし  $f_T/f_o$  が減少した場合、LNA の雑音特性の性能は比例して低下してしまう。一方で、ゲート接地 LNA の雑音特性の性能は、 $f_T/f_o$  とは無関係である。ソース接地 LNA のゲート雑音は、入力の  $Q$  値によって増幅される。このことは、ソース接地 LNA では、 $f_T/f_o$  の性能が低いことに重要ではないことを意味する。また、高  $Q$  入力マッチングを持つソース接地 LNA は、プロセス、電源電圧及び温度 (Process, Voltage and Temperature (PVT))の変動に対して、LNA 性能に敏感に影響を受ける。

上記のように、ディープサブミクロンプロセスにおいて  $f_T$  の限界性能とゲート抵抗のノイズ性能の観点から、ゲート接地 LNA の方がよりソース接地より RF 性能が良い。このような理由から、今回ゲート接地 LNA トポロジーが低電圧の受信システムに最適であると判断した。

一般的に LNA 回路においてカスコードトランジスタは、負荷の影響と LNA の逆方向アイソレーションを向上させるため、入力インピーダンスを遮蔽する目的で必要となる。LNA の帯域仕様は、狭帯域同調回路であるため入力インピーダンスの実部に注目をする。入力インピーダンス  $R_{src}$  は、次のように表すことができる。

$$R_{src} = \frac{R_{load} + r_o}{1 + g_m \cdot r_o} \quad (4.1)$$

ここで  $R_{load}$  は、入力トランジスタデバイスのドレイン側の負荷抵抗を表す。カスコードデバイスがない場合には、出力の LC 共振として最適化された負荷抵抗  $R_p$  が  $R_{load}$  として直接見えることになる。ディープサブミクロンプロセスでは、トランジスタのバイアス条件が強反転領域のチャネル長変調であっても、 $r_o$  の値が制限されている。通常この  $r_o$  は、1 mA 以上のバイアス電流条件では、1 k $\Omega$  のオーダーである。この時、インダクタンス値 6 nH で  $Q$  値が 10 のオンチップインダクタの場合、2.4 GHz の周波数で  $R_p$  は約 1 k $\Omega$  となる。

入力抵抗は  $R_{load}$  の結果によってはインピーダンスが 100 % 以上増加する場合がある。しかし、カスコードデバイスと一体となった  $R_{load}$  は、カスコードデバイス側から抵抗値を見ることになる。そこで、式(4.1)にカスコードデバイスを適用すると、抵抗は負荷抵抗  $R_p$  の 1 k $\Omega$  と比べて非常に少ないわずか 100  $\Omega$  位となり、入力抵抗つまり入力インピーダンス  $|S_{II}|$  は、負荷にほとんど影響されないという利点がある。しかしながら、このゲート接地 LNA 回路を用いて、電源と GND 間にカスコードデバイスとして多段にトランジスタをスタックさせるのは、超低電圧の 300 mV 動作環境では非常に困難となる。そこで、この方法の代わりに PMOSFET を信号経路に挿入する folded-cascode(折り返しカスコード)構造を用いる(図 4.4(a)参照)。トランジスタの電流源は、回路のオーバーヘッド電圧を排除するために、通常の電流源回路を用いる代わりに、インダクタを最適化して利用することが可能である[99]。

今回採用した 65 nm RF プロセスの NMOSFET トランジスタは、同様のバイアス条件で大きなサイズの PMOSFET トランジスタと比較して、優れた  $g_m$  と  $f_T$  の性能を持っている。今回新規に、NMOSFET のトランジスタとオンチップトランスを利用したバランス設計した folded transformer-coupled LNA (X-LNA) トポロジーを提案した(図 4.4 (b)参照)。NMOSFET トランジスタは、PMOSFET トランジスタと比較して、負荷からのアンプへの



逆方向の信号入力を遮断し、カスコードソース端で入力インピーダンスを低減することが可能となる。また、下部抵抗負荷もカスコード入力端の電圧レベルを下げることで線形性を改善することが可能となる。加えて、カスコード入力端における寄生容量を低減することで、高周波数領域でカスコードデバイスからのノイズを低下させることにも寄与する。

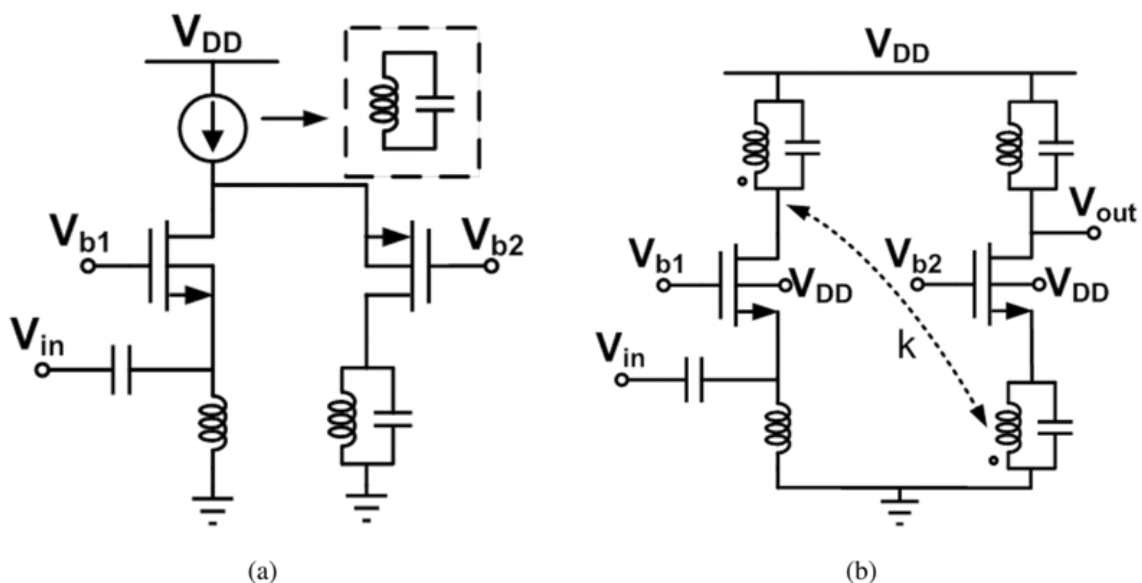


図 4.4 (a) pMOSFET カスコード Folded LNA.  
(b) 新規提案の transformer-coupled folded LNA.

シミュレーション結果では、従来のカスコード型 folded LNA と比較して X-LNA は、1.5 dB 高利得で、0.9 dB 低い雑音指数、2 dB 高い IIP3 を得ることができる。

トランス結合器は、インダクタンスの実効値  $(1+k^2)$  (ここで  $k \approx 0.8$ ) と負荷抵抗  $R_p$  が高く、チップ面積の増大を最小限になるように設計した。バランの一次および二次の比 (N) は、1 以上の受動的な電流利得を設定できる。これにより、逆方向アイソレーション性能の劣化を犠牲にせず、回路全体の電圧利得を増加させることが可能となる。最後に、X-LNA トポロジーにもトランスを利用したバランをシングル差動変換として用いて、差動対の反転信号の伝達を提供する。

特に、ソース接地やゲート接地に用いているオンチップバランと比較して、X-LNA はよりバランスのとれた差動信号を出力することができる。さらに X-LNA トポロジーの利点は、同相及び逆位相の信号が両方とも必要である場合には、対の反転信号の生成を

---

容易に可能とする(例えば、 $g_m$ -boost 回路など)。提案した X-LNA トポロジーは、増幅器の入力で使用することで高い  $g_m$  を一定のバイアス電流で実現し、同時にノイズを低減できる[100]。今回の設計でトランス結合器からの信号は、入力トランジスタのドレイン端からカスコードトランジスタのソース端に置いて、カスコードトランジスタに  $g_m$ -boost 技術を取り入れることが可能である。トランスを利用したバランを活用して、同相信号は容量結合を用いてカスコードのゲート端に、逆位相の信号はソース端に接続される。理想的には、同相及び逆位相の信号が同じ振幅を有する場合、この  $g_m$ -boost 回路によって通常のカスコードの 2 倍の  $g_m$  を昇圧することができる。また、この MOSFET トランジスタのソース側のインピーダンスにより、カスコード回路部のバイアス電流は 1/2 に低減される。その結果、同一の逆アイソレーションが低消費電力で達成されることになる。

ここに使われている 300 mV 動作の 3 個の NMOSFET トランジスタは、バルク・ソース接合電圧を順方向にバイアスすることによって、しきい値電圧を 14% 下げることができた。中反転領域のトランジスタバイアスをこのように利用することにより、弱反転領域の動作に比べ MOSFET トランジスタの性能を示す指針である  $g_m/I_d$  と  $f_T/f_o$  の FOM を 100% から 200% 増加させることが可能となる。

短いゲート長は、 $g_m/I_d$  と  $f_T/f_o$  の高 FOM 及び高  $f_T$  を実現できることを期待される。しかし、100 nm 以下のゲート長を選択して閾値電圧  $V_{th}$  が高くなることや固有利得  $g_m/g_{ds}$  が低くなることを避ける必要がある。従って両性能のトレードオフを見積もった結果、NMOSFET トランジスタの最適な長さを 100 nm として選択した。入力のトランジスタサイズは、回路の電流と雑音指数が最小となりかつ  $|S_{11}|$  が -10 dB 以上となるために 100  $\mu\text{m}/100\text{ nm}$  とした。提案の LNA は、 $g_m$ -boost 回路を採用したことにより、従来の LNA の高利得回路と比較して消費電力を大幅に抑えることができる。このカスコード回路のトランジスタサイズは、最適化を行った結果 50  $\mu\text{m}/100\text{ nm}$  と比較的小さいサイズでも十分に性能が確保できる。このように小さなサイズのカスコードデバイスを選択できた結果、トランジスタの寄生容量が低減でき、高い周波数でのノイズ寄与を低減することが可能となった。

### 4.3.2 Transformer-feedback VCO 回路

この節では、超低電圧動作の受信回路に於いて、Transformer-feedback を用いた VCO 回

路設計に関して述べる。

従来の高周波 VCO は、十分に高い出力振幅と低位相雑音を達成するためにかかなりの電力を消費しなければならなかった。超低電源電圧の条件の下では、出力信号の振幅が制限され、これにより間接的に位相雑音性能に限界が生じる。先行研究では、この解決策として、外付けインダクタまたは MEMS 共振器を使用して、低消費電力および低位相雑音を実現している[101] - [104]。しかし、従来の解決方法は、標準的な CMOS プロセスと完全に互換性が無く実現が容易ではない。

先行研究の低電圧 VCO は、負帰還の  $\text{negative-}g_m$  を実現するために  $\text{cross-coupled}$  技術を用いた差動型が知られている(図 4.5(a)参照)。多段にスタックしたトランジスタではないが、最低動作の電源電圧は、電圧振幅によって制限される。この回路トポロジーの場合、負荷インダクタの上部のみ電源電圧を超える電圧振幅を可能としている。逆に、 $\text{transformer-coupled VCO (X-VCO)}$ (図 4.5(b))は、電源電圧と GND にインダクタを配置することで、電源電圧以上及び GND 電圧以下の振幅の信号を出力可能になり、VCO の振幅出力を増加させるとともに、位相雑音を低減することが可能となる。

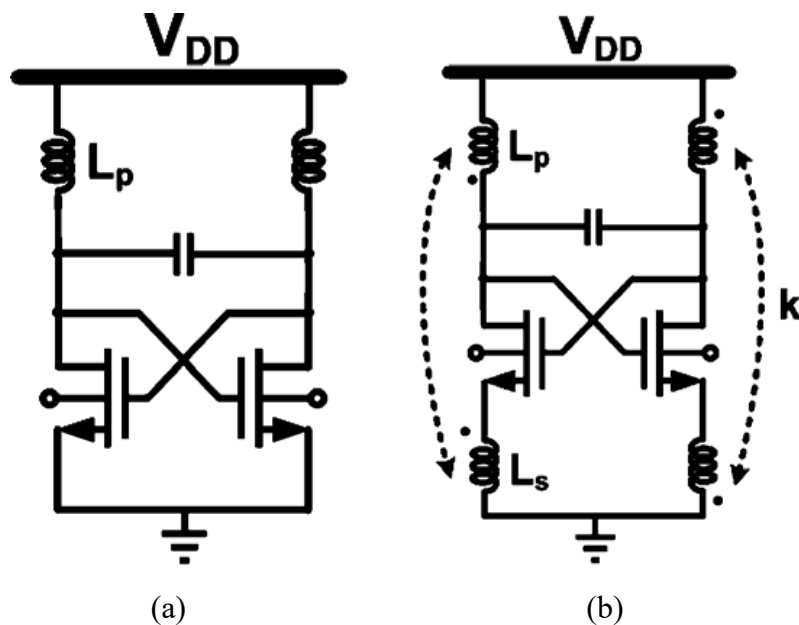


図 4.5 (a) 従来の  $\text{cross-coupled VCO}$ . (b)  $\text{Transformer-coupled VCO}$ .

これに加えて、次の 2 つのメカニズムがさらに位相雑音を低減する。第一に、結合されたトランスは、単一のインダクタに比べて単一面積あたりのインダクタンス値が大き

く、高いクオリティファクタ  $Q$  を有する。第二に、ドレイン端とソース端のノード間でトランスフィードバックは、コルピッツ/ハートレーデザインの VCO[105]と同様に cyclostationary ノイズ特性を強化することが可能となる。容量性フィードバックと比較してトランスフィードバックの利点は、より高い負荷抵抗  $R_p$  と低消費電力化を達成でき、VCO 共振回路において高  $L/C$  比を可能にすることである。一般的な cross-coupled VCO 回路と X-VCO 回路の出力信号振幅と位相雑音のシミュレーションを、low- $V_{th}$  NMOSFET トランジスタと簡単なトランスモデル( $L$ ,  $R_s$  と  $k$  を含む)を利用して比較した。同じ出力振幅(300 mV の差動振幅)と消費電流(790  $\mu$ A)の場合は、X-VCO は一般的な cross-coupled VCO 回路に比べて 200 mV 低い電圧電源(500 mV より低い 300 mV)での動作を可能とし、3 dB 低い位相雑音を実現できる。図 4.5 (b)に X-VCO の詳細な回路図を示す。

クロス接続されたトランジスタのソース端の電圧が低振幅の時には、バルク・ソース間の PN 接合が順バイアスとなる。順方向バイアス電圧が大きいほど、低  $V_{th}$  となりソース端から見たインピーダンスが低くなる。この場合ソース端のインピーダンスは、トランスを介してドレイン端の負荷に接続されるため、負荷である共振回路の  $Q$  値の劣化を最小限に抑えなければならない。このため、ソース端のインピーダンスの低下を制限する必要がある。したがって、クロス接続されたトランジスタのバルク端の電位は、電源電圧である 300 mV の代わりに GND に接続することにした(図 4.3)。さらに VCO の発振のスタートアップを確保するために、VCO のループゲインを大きく( $\approx 8$  dB)設計し、このループゲインをモンテカルロシミュレーションで確認・検証した。VCO の出力振幅、電力消費量および位相雑音のトレードオフを最適化するためには、トランジスタのドレイン端およびソース端(それぞれ  $L_p$  と  $L_s$ )のトランスの一次コイルと二次コイルとの比率を適切に選択する必要がある。電流が多く流れないように電源電圧を一定にして、より良い位相雑音と大きな信号振幅得られるように、 $L_p$  を 4:1 から 2:1 の比で変化させた。その結果、大きなスイングを得るためには  $L_p$  の比が 2:1 で最適となった。クロスカップルペアのドレイン端子とソース端子との間のバラクタダイオード(それぞれの  $C_p$  および  $C_s$ )は、VCO の周波数を可変する機能を提供する。この周波数可変回路の  $C_p$  と  $C_s$  の比も、VCO の性能に影響を与える。 $C_p$  と  $C_s$  の比を 1:1 から 1:4 へ比率を高めることで、周波数チューニング範囲は増加するが、VCO 回路の消費電流も増加する。この比率を変えることで、出力振幅と位相雑音の性能改善があった。ここでは、消費電流を節約するために、 $C_p$  と  $C_s$  の比を 1:1.8 として選択した。この場合、バラクタの印加電圧を 0 から 300 mV

---

まで変化させた時に、約 8%の周波数可変範囲を達成することができる。VCO の性能試験の目的でクロスカップルペアのトランジスタのドレイン各端子に、インジェクションロックの外部入力端子を挿入した。

今回受信システムを簡単にするために、VCO の周波数選択機能を外部の RF 信号によるインジェクションロックを用いた(外部注入動作が無い 300 mV 動作のオンチップ PLL システムの研究は別の研究主題とする)。図 4.3 に示すように、インジェクション用トランジスタを LC 共振負荷と並列に配置した。VCO の周波数ロックレンジを広くするために、インジェクション用トランジスタサイズは大きなサイズを選択するのが良い。しかし、高い負荷抵抗  $R_p$  とより良い  $Q$  値を得るためには、オンチップの  $L/C$  比が高いことが望まれる。そのためにも共振回路に加わる寄生容量は、最小化にする必要がある。これに加えて、大きなサイズのインジェクション用トランジスタデバイスは、より多くの抵抗損失により共振回路の  $Q$  値を低下させることになる。その結果 VCO の消費電力が増大し、位相雑音を悪化させる要因となる。これら二つの相反する特性を最適化して、インジェクション用トランジスタサイズを  $10\ \mu\text{m}/100\ \text{nm}$  とした。このトランジスタサイズを用いることで、共振回路に付加される寄生容量を最小にし、10%以上の十分な周波数ロックレンジを確保できる。この VCO のインジェクションロック信号は、基本波またはその高調波のいずれかで注入することが可能である。周波数ロックレンジは、基本波による注入時が最大となり、次に第二高調波、第三高調波等となる。今回採用したターゲットアーキテクチャは、Low-IF システムで VCO の発振周波数 LO は所望の RF 信号から数 MHz の離れた範囲である。周波数ロックレンジの減少を最小にするとともに、LNA 回路入力端での RF 所望信号への影響を軽減するために、2 次高調波の注入信号を選択した。

### 4.3.3 Quasi-passive mixer 回路

この節では、超低電圧動作の受信回路に於いて、Quasi-passive mixer 回路設計に関して述べる。

超低電圧動作の受信機では、回路の電源電圧へのヘッドルーム(信号が十分に振幅できる電圧空間)が不足している。そのため RF のダウンコンバージョンミキサブロック回路において、利得・雑音および線形性のトレードオフの最適設計は、とても重要である。

高利得で線形性の高いアクティブギルバートセルミキサーは、一般的に広く使用されている(図 4.6 (a)参照)。しかし、超低電圧電源のアプリケーションへの適用の可能性は限定的である。第一に、2 つ以上のトランジスタを多段にスタックした回路トポロジーのため、高い電源電圧を必要とする。第二に、回路のトランスコンダクタ電流を完全に別の極性の切り替えるために、LO 入力信号の振幅を( $V_{gs}+V_{ds,sat}$  以上)大きくする必要がある。このために、VCO 回路自身からの大振幅出力、または LO バッファで増幅した大振幅信号のいずれかが必要となる。どちらのアプローチも 300 mV の超低電圧電源動作の下で、大きな信号振幅を達成することは困難である。

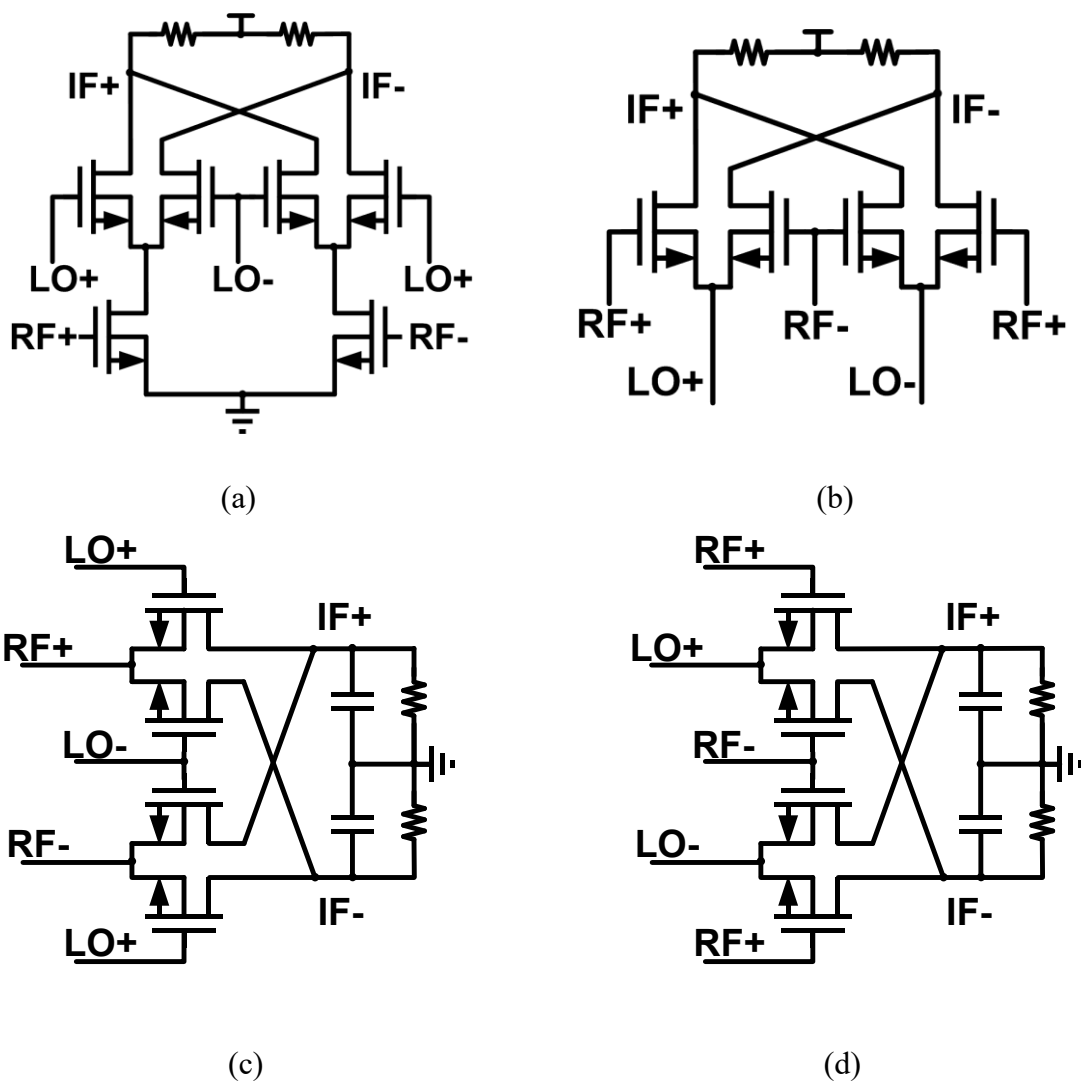


図 4.6 (a) Gilbert-cell mixer 回路. (b) Switched- $g_m$  mixer 回路.  
(c) Passive mixer 回路. (d) Quasi-mixer 回路.

ここで、従来のアクティブギルバートミキサー回路に於いて、信号出力電流を整流する switched- $g_m$  セルの差動対トランジスタ回路動作を行う LO および RF ポートを交換することを検討する。この結果を図 4.6 (b)に示す。このトポロジーは、スタックされたトランジスタ数を削減し最小の数の 1 段となる。また、低振幅の LO 信号出力でも、 $V_{ds,sat}$  によるトランスコンダクタセルでスイッチを完全に切り替えられる。この動作は、理論的にギルバートセルミキサーと同様の変換利得を有する。ギルバートセルミキサーでは、LO 信号電圧がゼロクロス(0V を交差する)周辺で出力の切り替えノイズが発生する。しかし、この switched- $g_m$  ミキサーの出力ノイズは、コモンモードのノイズとなり相殺されるという利点がある。しかも switched- $g_m$  のミキサーでは、トランジスタのトランスコンダクタによるフリッカーノイズは、部分的にしかミキシングしてアップコンバートされないため、ノイズがフィルタリングされて一部しか出力されない利点がある。一方、ギルバートセルミキサーでは、トランジスタのミスマッチが存在しない場合は、フリッカーノイズは完全にアップコンバートされる。

ここで、図 4.6 (c)のパッシブミキサーの動作を考察する。パッシブミキサーの消費電流は、ほとんど無視できるレベルである。また、ゲート端の LO 入力ドライブ振幅が大きい場合には、通常優れた雑音特性と線形性を有する[94]。MOSFET のトランジスタ回路スイッチが完全にオンとオフすることを確保するために、LO 信号振幅を閾値電圧  $V_{th}$  よりも大きくする必要がある。このために NMOSFET トランジスタのスイッチのオン抵抗を小さくし、雑音特性と線形性の性能を低下させないようにしなければならない。前節で説明したように、クロスカップルペアの VCO ではトランジスタゲート端での出力信号振幅が、差動対として 800 mV から 900 mV であり、トランジスタのスイッチ動作をするために必要な閾値電圧  $V_{th}$  (<300 mV)を十分に上回っている。VCO からの LO 信号振幅は、トランジスタをスイッチ駆動するために十分な大きさが必要であるが、次の二つのトレードオフが存在し慎重に検討しなければならない。第一にミキサーの利得は、 $2/\pi$  未満の場合次段のベースバンドブロックからの雑音の影響を増強させてしまう。第二に、このパッシブミキサーの入力インピーダンスは一般的に低く (200~500  $\Omega$ s 程度)、LNA 出力 LC 共振回路の等価抵抗  $R_p$  (>1 k $\Omega$ s) と接続することによって著しく負荷が低下し、フロントエンド全体の高周波利得が低下する懸念がある。

そこで、アクティブミキサーとパッシブミキサーの両トポロジーの利点を活用し、quasi-passive ミキサー(準パッシブミキサー)トポロジーを提案することにした図 4.6 (d)。

この回路は、LO 電圧振幅に応じて switched- $g_m$  アクティブ・ミキサーとパッシブミキサーのどちらの動作もする。図 4.6 (d) に示すように、switched- $g_m$  ミキサー回路と同様に、LO 入力ソース端子であり、RF 入力信号はミキサーのゲート端子から入力される。通常負荷抵抗間のノードを GND に接続する代わりに、正の電源へ接続することにした。ミキサーのゲート端のバイアス電圧と LO 入力端の電圧差において、ミキサーの 4 つのトランジスタのうちの任意の 2 つの差電圧が閾値電圧  $V_{th}$  を超えると、quasi-passive ミキサーはアクティブミキサーのモードで動作する。それ以外の場合は、全てのトランジスタがオフになっていて、ごくわずかな電流の流れるパッシブミキサーモードで動作する。トランジスタがオンする周期の割合は、LO 信号振幅に依存する。

ミキサーの変換利得は、ミキサーの部分的非線形動作項目を追加すると、アクティブ switched- $g_m$  ミキサーの変換利得と同様に近似することができる。具体的には、ミキサーの動作で一部パッシブ及び一部アクティブ状態は、導電状態の Duty-cycle(デューティサイクル)項として表すことができる。

文献[106]にあるように、有限のスイッチ時間を考慮して quasi-passive ミキサーの変換利得  $G_{conv}$  の一次近似は、負荷を抵抗  $R_L$  とすると式(4.2)のようになる。

$$G_{conv} = \left( \frac{\sin \pi D}{\pi D} \right) \left( \frac{\sin(\pi \cdot \int LO \tau_{SW})}{\pi \cdot \int LO \tau_{SW}} \cdot g_{m0} \cdot R_L \right). \quad (4.2)$$

式(4.2)の最初の項は、ダイナミックデューティサイクル(D)を考慮にしたものである。ここで、D が 50%になるよう変換利得 CG は、switched- $g_m$  ミキサーのアプローチを利用して以下のような式(4.3)となる。

$$G_{conv} = \frac{2}{\pi} \left( \frac{\sin(\pi \cdot \int LO \tau_{SW})}{\pi \cdot \int LO \tau_{SW}} \cdot g_{m0} \cdot R_L \right). \quad (4.3)$$

式(4.3)に於いて低い周波数の時には、2 つ目の項が 1 となる。矩形波信号入力のトランスコンダクタミキサーの変換利得 CG は、既によく知られている小信号利得  $g_m R_L$  を  $2/\pi$  で乗じたものである。高周波数の LO 信号の時には ( $1/\tau_{sw}$  の関係より)、第 2 項は利得の値は 1 を下回りマイナスゲインとなる。

この switched- $g_m$  ミキサーを利用するに当たり、前段の負荷(ここでは VCO) の出力インピーダンスがどれくらいかを理解しておくことも重要である。さらに、switched- $g_m$  が



アクティブ状態の時には、ゲート接地増幅器としてミキサー動作することを考慮する必要がある。この時、ゲート接地アンプの入力抵抗  $M_a$  は、約  $1/g_{ma}$  となることに注意する。容量成分を無視すると、この抵抗は式(4.4)のように表すことができる。

$$R_{src} = \frac{(1/g_m) || R_L + r_{ob}}{1 + g_m r_{ob}} \quad (4.4)$$

ミキサーの入力インピーダンスは、VCO の出力信号の電圧振幅の関数となる。入力コンダクタンス  $g_{in}(=1/g_{ma})$  の変化は、LO+及び LO-波形のピーク点で、その値が最大値で変化する正弦半波とみなすことができる。計算を単純化するために、ここではパルス近似を使用する。デューティサイクルを  $D$  と仮定すると、1組のスイッチングトランジスタ  $M_{a1,a2}$  または  $M_{b1,b2}$  の  $g_{in}$  の平均値は、最大入力コンダクタンス( $g_{in,max}$ )の値に  $D$  を乗じたものとなる。正弦波偏差のパルス近似は、 $\sin(\pi D)/(\pi D)$  の項によって修正される。最終的に差動入力コンダクタンスは、それぞれのスイッチトランジスタペアから出力される二つの半正弦波で構成され、その時の入力抵抗は、次式のように表すことができる。

$$R_{in} = \frac{R_{src,max}}{2D \left( \frac{\sin \pi D}{\pi D} \right)} \quad (4.5)$$

quasi-passive ミキサーの入力コンダクタンスを解析するシミュレーションの分析手法として PSS と PSP がある。この PSS と PSP の解析を用いてデューティサイクルの関数として計算し、シミュレーションした結果を図 4.7 に示す。

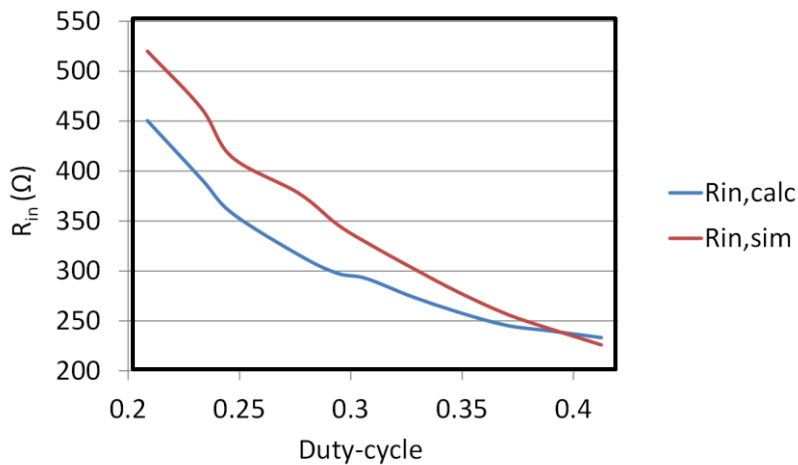


図 4.7 Duty-cycle の変化における  $R_{in}$  の計算値とシミュレーション結果.

---

この計算手法とシミュレーションの2つの結果は、デューティサイクル周期が0.4以上の大きい場合は見事に一致している。小さいデューティサイクル周期では、 $g_{in}$ の正弦波近似は不十分なトランジスタのスイッチ動作影響で不正確な結果となった。このように、デューティサイクルは、ミキサーバイアス電圧と入力電圧振幅の関数で示すことができる。デューティサイクルが増加すると、入力コンダクタンスは劣化しVCOの負荷が重くなる。このRF入力端子で大きなブロッカーとなり、ミキサーのゲート端子は小信号等価回路でのGNDとはならない。つまり、ミキサーのソース端から見た抵抗は、ミキサーゲート端子の電圧振幅に応じて変化が生じる。一般的にこのミキサー回路の入力抵抗は減少させることができるが、VCO出力共振回路における負荷を悪化させ、位相雑音を劣化させることになる。

#### 4.3.4 VCO 回路とミキサー回路の接続手法

この節では、超低電圧動作の受信回路に於いて、VCO回路からの信号をミキサー回路へ入力する手法に関して述べる。従来の接続方法としてミキサー入力の負荷抵抗から漏れ信号をブロックするための分離を提供し、ミキサー回路への振幅を増加させるためには、VCO回路とミキサー回路との間に中間バッファを挿入することが一般的である。その結果、ミキサーの変換利得が増加し位相雑音が改善する。しかし、RFバッファ回路は、通常かなりの消費電力（VCOに匹敵する）を必要とする。そこでバッファ回路の代わりに、直接トランス結合によってLO信号をミキサー回路への出力とすることを検討する。

LO信号をトランス結合によってミキサーへ出力することで、ミキサー回路のトランジスタのスタック段数を減らすことができる。デューティサイクルの増加に伴って $R_{in}$ が減少するように、負荷効果はさらに厳しい条件となる。VCOループゲイン( $g_m R_p$ )は、 $N^2 \times R_{in}$  ( $N$ はトランスの巻数比である)で表され、等価並列の負荷抵抗( $R_p$ )に比例する。ここでは、VCO共振回路から見た負荷抵抗は、 $2 \times R_{in}$ である。シミュレーションではミキサーの $R_{in}$ が $350 \Omega$  ( $D=30\%$ )の負荷抵抗時にVCOのループ利得は、無負荷時の14dBから6dBに減少する。小信号の時は、負荷抵抗はループ利得に劇的な効果があるが、定常状態の出力振幅に対する効果はそれほど顕著ではない。30%のデューティサイクルでは、出力振幅が12%低下し、1MHzオフセットにおける位相雑音が5dBの低下となる。VCOの出力振幅に加えて、ミキサー負荷抵抗もVCO共振器の $R_p$ と $Q$ 値を減少させることに

---

なり、中心周波数から離れた場所の位相雑音を劣化させる。しかし、1 kHz のオフセット近辺での位相雑音は、無視できる変化量である。中心周波数の近傍の位相雑音は、AM-PM の雑音として変換されて影響を受ける。この AM-PM 変換の位相雑音は、寄生容量などから受ける非線形により発生する。つまり、VCO 出力振幅が減少すると、小さな振幅雑音が位相雑音に変換される。その結果、長いデューティ・サイクルで、ミキサー回路のトランジスタが長い期間にオンの場合は、受信性能の雑音指数は増加することになる。これに加えてミキサーの変換利得は、デューティサイクルの減少関数でもある。速いデューティ・サイクルでは、変換利得が低くベースバンド回路部からの雑音要因が増加する。

ミキサーと接続する VCO 回路のトランス結合は、ミキサーに入力される振幅が最大となるように最適化する必要がある。そして、ミキサーからの負荷抵抗の影響が最小となるように設計しなければならない。

そこで、VCO 回路とミキサー回路の間のトランスの形状に於いて、主に 2 つの二次コイル部の巻数比に焦点を当てることにする。 $L_s'/L_s$  を 1:1 から 2:1 に増加させると（ここで、 $L_s$  は VCO の節を、 $L_s'$  はミキサーの節を参照のこと）、ミキサー入力端の LO 駆動を増加することができる。しかし、VCO の負荷を大きくして悪化させると、ミキサーの  $R_{in}$  の負荷抵抗に影響を与える。その結果、VCO の位相雑音は低下し、ミキサーの変換利得は増加して線形特性が劣化する。瞬間的にミキサーの電流が流れ、アクティブに動作する時間が短いときは、熱雑音とフリッカー雑音の両方が増加する。このような理由により、ミキサーの変換利得の低下を犠牲にし、負荷抵抗効果を低減するために、コイルの巻き数比を 1:1 に選択した。

---

## 4.4 ベースバンド回路

### 4.4.1 アーキテクチャの検討

この節では、超低電圧動作の受信回路に於いて、ベースバンド回路の FSK 復調アーキテクチャ検討に関して詳しく述べる。

アクティブ RC または  $g_m C$  回路は、一般的に IF フィルタで使用される。低消費電力で線形性の高い  $g_m$  を実装することが困難あることから、アクティブ RC フィルタは、超低電圧電源のもとでは  $g_m C$  フィルタより良い線形性能を持つことが可能となる[96]。一方、2 段の biquad filters(バイクワッドフィルタ)は、全体のループゲインの向上と帯域内信号の低損失のために、1 段のアクティブ RC フィルタ部の代わりに用いられている。しかし、バイクワッドを基本とするフィルタのフィルタ特性は、Operational Transconductance Amplifier (OTA) 回路の寄生容量や寄生抵抗による非理想成分となりフィルタ性能への影響を受けやすい。また、低い  $Q$  値の Tow-Thomas 型の Biquad Filter は、OTA の非理想成分と寄生成分から影響を受けにくい。

文献[96]では、6 次時のバターワースフィルタで、 $Q$  値を向上させるために 3 つのバイクワッドカスケード接続の構成をとっている。フィルタの次数は、帯域チャンネル外のブロック信号が減衰するように選択する。しかし、300 mV の電源電圧の下では、適度な DC ゲイン (20 dB 以上) と十分な帯域幅を持ち、さらにはフィルタの  $Q$  値を十分に低くさせることは非常に困難である。また、6 次バターワース・フィルタは、6 個の OTA が必要でかなりの電力(6 mW)を消費することになる。

そこで、チャンネル選択を行うために、高利得で十分な帯域幅の OTA[107],[108]が必要なアクティブ RC フィルタの代わりに、新たに passive frequency-translated filters(受動的周波数変換フィルタ)を提案した。このフィルタは、従来のアクティブフィルタとは異なり周波数変換フィルタは利得を持たない。そこで、利得を提供するためのフィルタを備えた開ループ OTA を利用することにした。この回路を図 4.8 に示す。

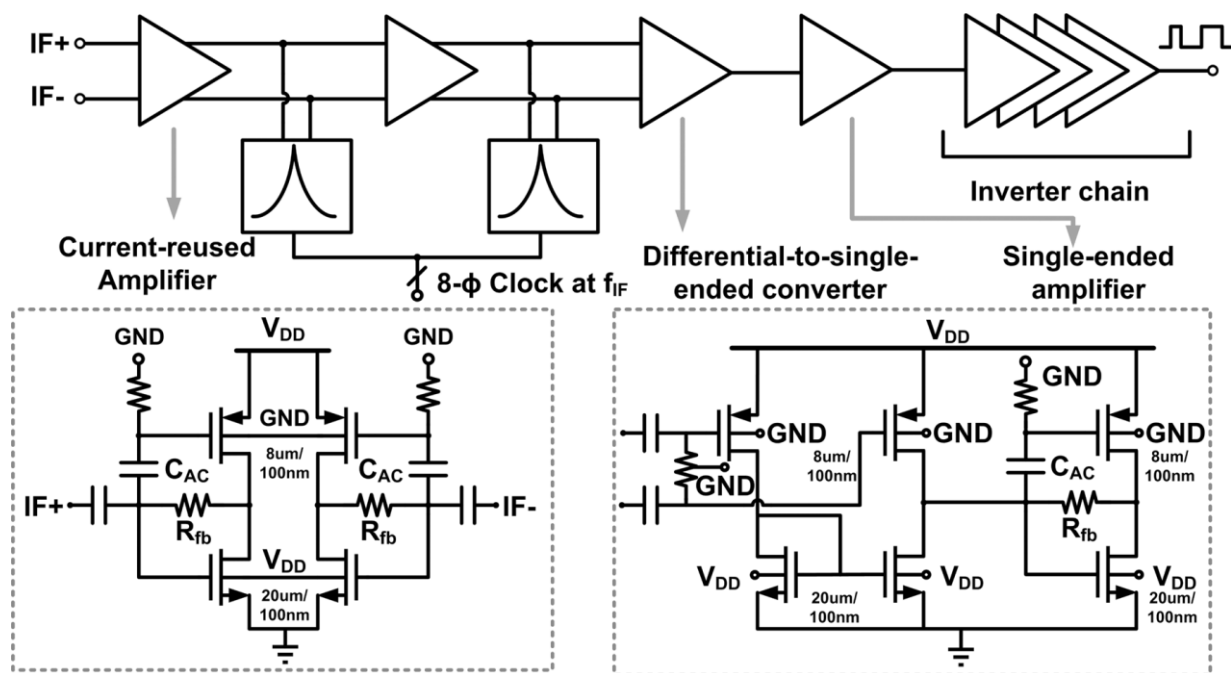


図 4.8 IF 増幅器とフィルタ段のブロック図.

本提案のフィルタは、IM 歪特性とチャネル帯域外信号を減衰させるために、ベースバンド回路に於いてカスケード接続のできるだけ前段に置くことが良い。しかしながら、このフィルタをミキサー出力に直接置くことができない。なぜなら負荷抵抗が  $250\ \Omega$  と抵抗値がとても低くなっており、それが重要な性能である帯域内損失と変換利得の低減を招くことになるからである。そこで、低利得 (20 dB) 増幅器の直後に、初段のフィルタ配置することにした。

1 段の狭帯域の帯域フィルタと比較して 2 段のフィルタは、チャネル帯域外除去比を 15 dB 増加することができる。詳細については、このセクション後半で詳しく説明する。2 段構成の差動増幅器の利得は約 40 dB となり、3 段目の増幅器は、差動シングル変換を行い 4 段目のシングルエンド増幅器に接続される。インバーターチェーン型の振幅制限のある増幅器は、電源と GND 間の rail-to-rail の振幅を持つ IF 出力となる。

#### 4.4.2 アナログ IF 増幅器

この節では、超低電圧動作の受信回路に於いて、初段のアナログ IF 増幅器の回路検討に関して詳しく述べる。

図 4.8 に、アナログ IF 増幅器の回路図を示す。低電圧電源のヘッドルームの制限により、IF 増幅として OTA の代わりにシングルエンドの自己バイアスインバーター回路を利用した。IF 信号は、ここでの NMOSFET トランジスタ及び PMOSFET トランジスタの DC バイアスがそれぞれ個別にかけられて、両方のデバイスで増幅される。従来のソース接地段と比較して、この電流再利用トポロジー回路は、相互コンダクタンスと利得を約 2 倍にすることができ、入力換算雑音は同じバイアス電流条件で約半分になる。300 mV の電源電圧で動作するために、2 つの MOSFET トランジスタの閾値電圧  $V_{th}$  の電圧を削減目的で、バルク・ソース間接合を順方向バイアスに設定した。PMOSFET トランジスタの閾値電圧  $V_{th}$  は、NMOSFET トランジスタの閾値電圧  $V_{th}$  よりも高い。そのため 2 つの MOSFET トランジスタに於いて、PMOSFET トランジスタの高い  $V_{GS}$  を NMOSFET トランジスタの反転レベルと同じにする目的で順方向バイアスにした。十分な動作帯域 (20 MHz) を得るために、ソースには十分な電流 (各柱電流は 50  $\mu$ A) が流れるように  $V_{GS}$  電圧を設定し、この時の PMOSFET と NMOSFET トランジスタのサイズは、それぞれ 8  $\mu$ m/100 nm 及び 20  $\mu$ m/100 nm とした。帰還抵抗を介したダイオード接続は、入力および出力 DC 電圧レベルを設定することになる。ハイパス・フィルタのカットオフ周波数は、ミラーゲインの減衰後の  $R_{fb}$  (1 M $\Omega$ ) と  $C_{ac}$  (10 pF) によって約 300 kHz に設定した。

プロセス工程上で発生するトランジスタのミスマッチに起因する入力換算オフセットは、DC 動作点のズレとアンプの利得の減少を生じさせることになる。また、この DC オフセットは、インバーター段の出力が 50 % デューティサイクルでない波形を生じさせることにもつながる。したがってアナログ IF 増幅器に於ける差動利得は、コモンモード除去比を最大化し、IF 増幅器チェーンの入力換算オフセット電圧を無視できるレベルに減衰させることが重要である。増幅器をシリーズ接続するに当たり、DC オフセットの伝播を防ぐために、各差動ステージの後には AC 結合とした。さらに、DC オフセットの影響を低減させるために、DC カップル接続後にシングル差動変換増幅器を接続した。第 4 段目の増幅器の入力 DC 電圧が明確に定義されているので、差動シングル変換増幅器段の出力 DC 電圧は、プロセスばらつきのミスマッチからの影響によるズレを正確に捉えることが可能となる。

#### 4.4.3 Frequency-translated IF filter 回路

この節では、超低電圧動作の受信回路に於いて、パッシブ周波数変換 IF フィルタ回路の検討に関して詳しく述べる。

Passive frequency-translated band-pass filters ((FTBPFs)パッシブ周波数変換バンドパスフィルタ)は、OTA を必要とせずにチャンネル選択をするフィルタ機能を持つ。この集積化された FTBPFs は元の  $N$ -path フィルタリングのコンセプト[107],[108]から進化したものである。この FTBPFs の理論は、高周波 RF フロントエンド回路で幅広く使用される[109]–[111]。高周波の高  $Q$  フィルタは、LNA の帯域外のブロック信号による歪み防止のために必要とする。初段のミキサーアーキテクチャである電圧サンプリングミキサーは、ミキサー入力端で不要なブロッカー信号をフィルタリングすることと、周波数変換することと同じ原理を採用している[106]。FTBPFs の高  $Q$  フィルタを効果的に集積化にする利点は、次のとおりである。第一に、フィルタの中心周波数は正確にクロックで制御できる。第二に、この回路は最小限のチャンネル長の MOS スイッチ容量で構成されるため、回路のレイアウト面積はとて小さくすることが可能である。さらに、ほとんど電力を消費せず(クロック生成部を除く)プロセス技術にスケールリングできるため、微細加工のプロセスでは有利になる。さらに、この回路トポロジーでは  $1/f$  ノイズ及び二次歪みなどの非線形性は問題とならない。

図 4.9 (a)に、差動 8 段の FTBPFs 回路を示す。この回路は、8 組のスイッチ回路と 4 個コンデンサで構成されている。従来の 8 相 FTBPFs は、8 つのスイッチの間の各端子と対 GND との間に 8 個の容量を使用してチップ面積の増大の要因となっていた。そこで、総面積を小さくするために、新たに 4 個のフローティング容量を提案した。1/8 のデューティサイクルで 1/8 の位相シフトした 8 相の周期的クロックで動作する MOSFET 回路は、それぞれの段でスイッチ動作される。スイッチの一方の側は、ベースバンド容量に接続され、他方は IF 増幅器の出力端から見た大きな出力インピーダンスに接続されている。1/8 クロック周期毎に、フローティング容量の 1 つだけが IF アンプに接続され、残りの容量はフローティング状態となる。オン抵抗を低減するために、スイッチに使われるトランジスタのバルク・ソース間は順方向の 300 mV にバイアスした。理想的には、IF 増幅器から見える FTBPFs の入力抵抗は、ベースバンドの信号が IF の周波数へシフトした時のインピーダンスが抵抗となる。低  $Q$  値のベースバンドインピーダンスは、IF クロ

クにより、高  $Q$  値の中心周波数が正確なバンドパスフィルタに変換される[109]。

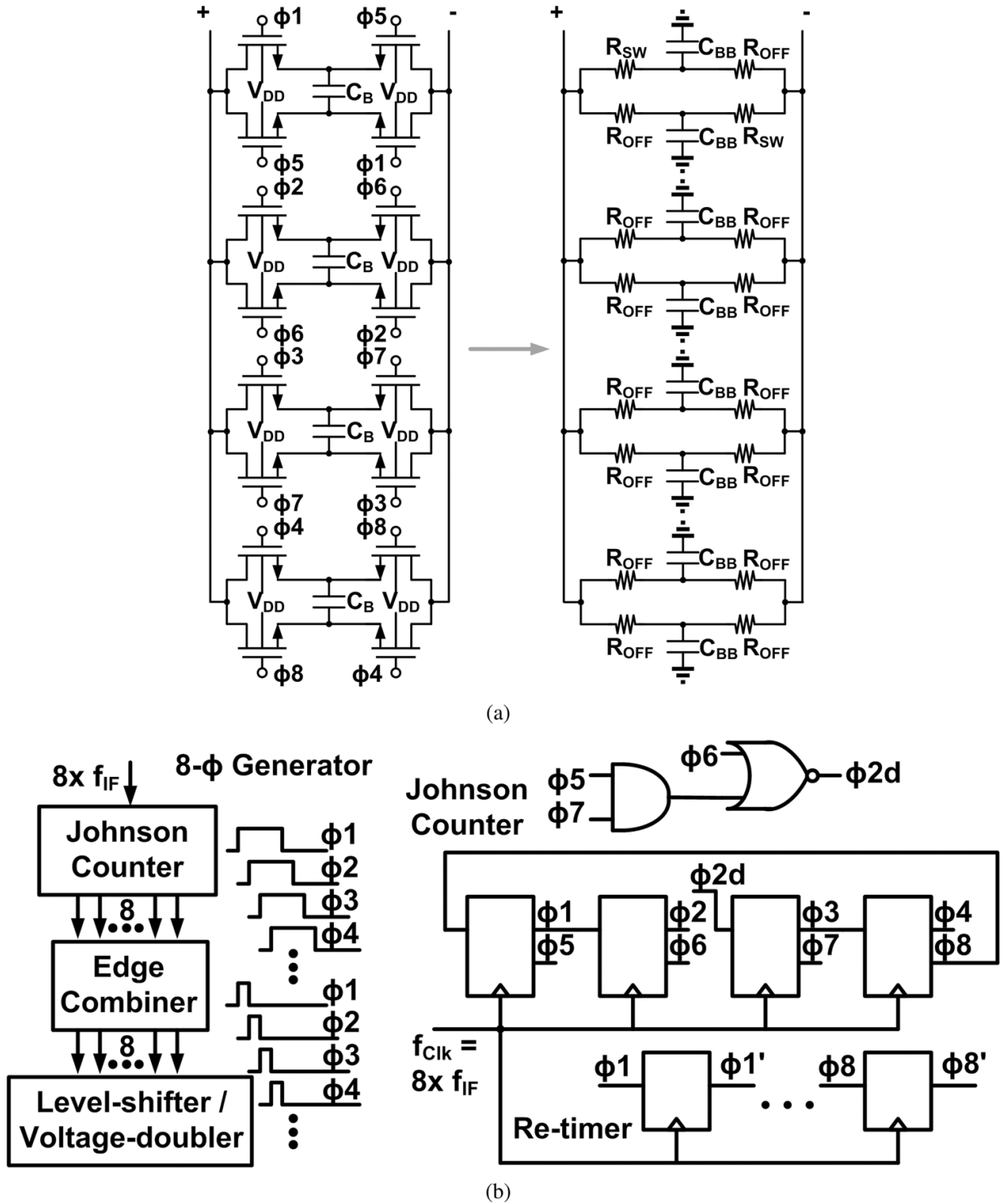


図 4.9 (a)IF 増幅器. (b) フィルタチェーン回路図.



高  $Q$  値のバンドパスフィルタ特性は、FTBPFs の帯域外のチャネル干渉波に対しては低インピーダンスを、 $f_{IF}$  近傍の信号には高インピーダンスとなる。加えて、高  $Q$  値の BPF の IF 中心周波数回るにある所望信号は、IF 周波数の奇数調波でスケーリングコピーされて出力スペクトルに現れる。通常、RF フロントエンドにフィルタを用いる場合に、出力スペクトラムの高次スプリアスは、受信機の各段において十分に減衰されるため問題とならない。しかし、IF 中心周波数で用いる場合には、IF 増幅器のローパスフィルタの帯域より非常に小さいため、スプリアス信号は奇数次高調波に最も近くなり、フィルタによる除去は困難となる。したがって、奇数次の高調波の大部分が増幅器の通過帯域外となるように、比較的高い IF 周波数を選択することが望ましい。

ここで、上記 8 相フィルタを、 $M$  位相のフィルタと一般化して考える。次の 2 つの理由のためのこの  $M$  を最大限にしたい。第一に、ソースインピーダンスがシャント容量性の部分を持つ場合(今回の場合が該当)、 $M$  の増加による効果は、シャントインピーダンスが増加し、容量部に起因するフィルタの帯域内信号の損失を最小化することができる [112]。ただし、帯域幅は与えられた総容量サイズ ( $M \cdot C_{BB}$ ) から式(4.6)に示すように  $M$  に依存している [109]。

$$BW = \frac{1}{M(R_S + R_{SW})C_{BB}} \quad (4.6)$$

ここで、 $R_S$  はソース端(ここでは IF 増幅器)の出力インピーダンス、 $R_{SW}$  はスイッチのオン抵抗、 $C_{BB}$  はベースバンドの負荷である。注意点として、このノードにフローティング容量があり  $C_{BB} = C_B \cdot 2$  となる。第二に、IF の希望波周波数周りの  $(M-1)^{st}$  と  $(M+1)^{st}$  次の高調波の  $M$  相フィルタの正規化フォールディング利得は、それぞれ  $1/(M-1)$  と  $1/(M+1)$  に比例する [113]。そこで、 $M = 8$  を選択した場合は、300 mV の超低電源電圧の下で動作する 8 相クロック生成ロジックの最高速度 ( $M \cdot f_{IF}$ ) の制限 ( $\approx 50$  MHz) から決まる。また、8 相以上の FTBPFs の設計では、帯域内損失の低減とフォールディング利得の増大と言った利点がある。

ジョンソン・カウンタは、IF 周波数の 8 倍で動作するシングルクロックから 8 位相を生成する。4 つのフリップフロップで構成しループ接続されたジョンソンカウンタを図 4.9 (b) に示す。すべての可能な出力位相の組み合わせとして、16 通りの組み合わせが存在する。所望の組み合わせの出力位相にロックするため、組み合わせロジック回路(AND

---

および NOR ゲート)を挿入した。組み合わせロジック回路を挿入したのは、8 つの位相遅延を作るため、クロックエッジを同期させるために別のフリップフロップも使用した。225 度の位相遅れを持つ 8 組の 2 つクロックエッジは、1/8 デューティサイクルを持つ 8 つの位相からの AND ゲートによって組み合わせられて生成される。AND ゲートのターンオン電圧が低いスイッチを実現させるために、MOSFET トランジスタのバルク・ソース接合間に順方向バイアスとした。その理由として、スイッチを完全にオンするためには、依然として 300 mV のより高い電圧を必要とする。そこで、オンチップレベルシフタを使用してスイッチのゲートを 600 mV に変換する。レベルシフタは、2 つのラッチで構成されている。望まないラッチ動作を避けるために、クロス接合のトランジスタは小さなサイズを利用した。FTBPFs の設計とは異なり、通常の電源電圧では IF フィルタのクロックの振幅は、電源と GND 間の Rail-to-Rail で制限されている。スイッチのオン抵抗を低減するために MOSFET トランジスタのサイズを広いゲート幅のものを利用した。ここでは、600 mV のクロックドライブ 1 k $\Omega$  のオン抵抗を実現するために 1  $\mu\text{m}/100\text{ nm}$  のサイズを選んだ。その結果ゲートノード端では寄生容量が大きく、8 つの位相生成回路の電力消費の増大を招くことになる。スイッチング電力消費は、容量の増加に比例してスケールされる ( $P=f \cdot C \cdot V_{DD}^2$ )。幸いなことに、数 MHz の IF 周波数で動作するロジックスイッチは、容量がたとえ増加してもほとんど無視できる電力消費 (600 mV の時 2.2  $\mu\text{A}$ ) となる。最終的にこのベースバンドフローティング容量を 20 pF ( $C_{BB}$  の 40 pF に相当) と選択した。

## 4.5 チップ試作評価結果

これまで述べた、エネルギーハーベスト電源電圧で動作する受信システムを実際にチップの設計・試作をして、性能を評価する。

試作したチップは、65 nm の CMOS CMN65GP1p9m プロセス・オプションで製造した。図 4.10 に、LNA の特性を測定した結果を示す。試作したチップへの入力信号は、オンボードタップコンデンサトランスを用いた。2.42 GHz での $|S_{11}|$ 入力マッチング特性は、-20 dB を実現した(図 4.10 (a))。2~2.6 GHz の $|S_{11}|$ 特性は、-10 dB の良い性能を観察できる。LNA は 2.46 GHz での利得は 20.2dB で雑音指数(NF) 4.7 dB を実現している(図 4.10 (b)参照)。最大利得の周波数が最小の雑音指数から外れている(2.6 GHz に対して 2.46 GHz)。また、出力 LC 共振周波数が測定値よりもシミュレーションより高くなっている。その理由として、共振器に付随する寄生容量を過大評価しているためと思われる。雑音指数は、入力段によってほとんど支配される。一方利得は、出力 LC 共振器によって決定される違いによるためと考えられる。

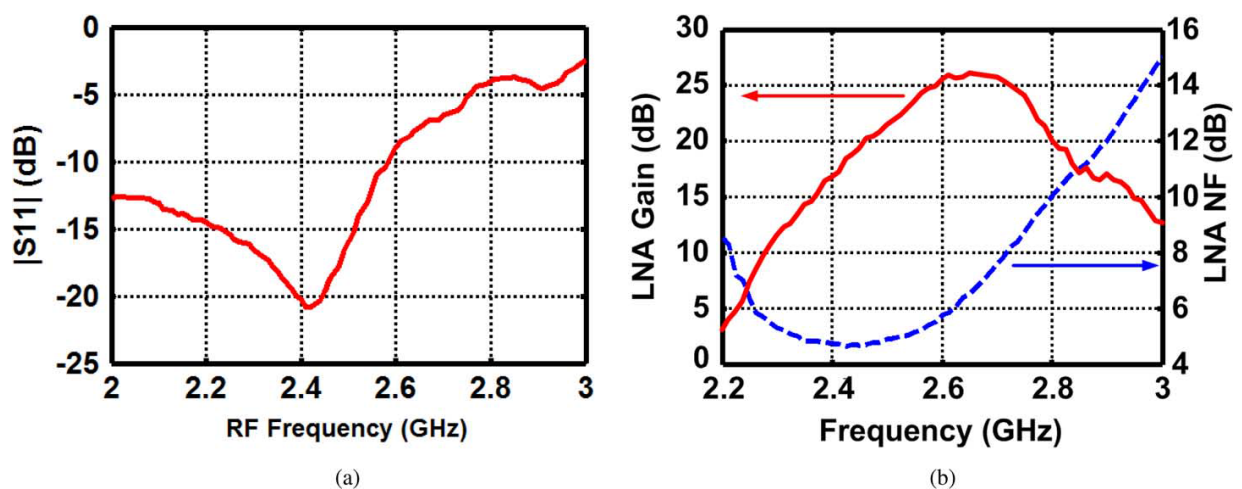


図 4.10 LNA の測定結果 (a)  $|S_{11}|$ 特性. (b) 利得及び雑音指数特性.

VCO のバラクタ電圧を 0 V から 500 mV にわたって変化させると 280 MHz の周波数変化範囲が得られたのが解る。図 4.11 (a)に、VCO の電圧に対する周波数の変化が比較的線形のチューニングカーブを示す。本受信機を特徴として VCO 発振周波数の 2 倍周波数の外部の 350 mV 振幅の RF 入力信号源を利用して、VCO をインジェクションロック

している。図 4.11 (b)は、トランス結合 VCO の位相雑音性能を示している。フリーランの位相雑音は $-112.9 \text{ dBc/Hz}(@1 \text{ MHz オフセット})$ と、インジェクションロック時の位相雑音は、 $-140.9 \text{ dBc/Hz}(@1 \text{ MHz オフセット})$ を達成している。

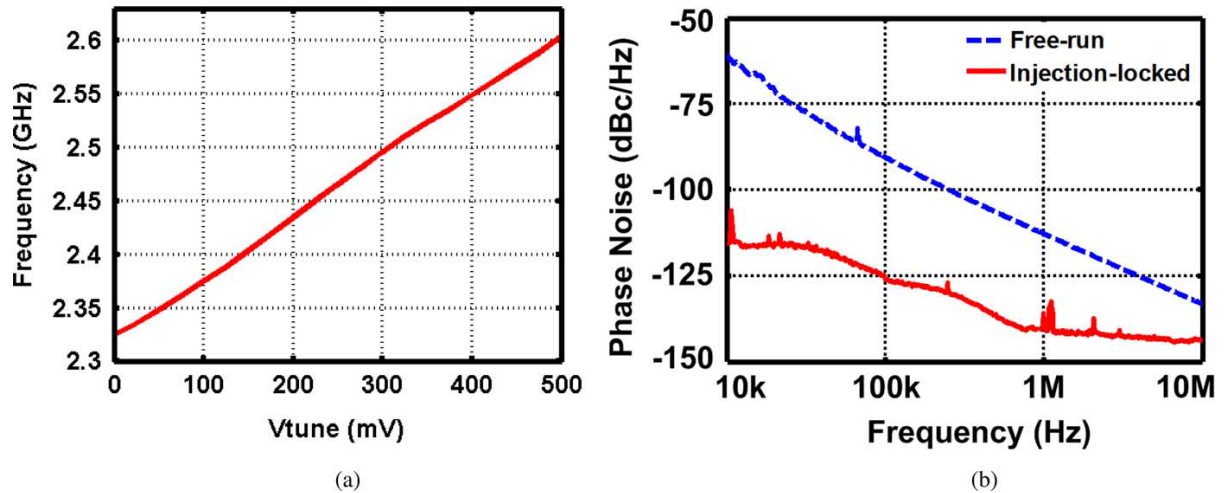


図 4.11 VCO 特性 (a) チューニング特性.  
(b) 位相雑音(フリーラン時とインジェクションロック時).

図 4.12 に、ミキサー回路出力に於ける性能の測定結果を示す。6 MHz の IF 周波数で変換利得は 20.6 dB、雑音指数は 5.1 dB となっている(図 4.12 (a)参照)。ミキサー回路は周期的動作の一部がアクティブになるため、3 MHz 以下で発生するフリッカーノイズの影響の大きいのが解る。3 dB のハイパスフィルタの遮断周波数は、1 MHz となる。これは、LNA とミキサーのゲート端間にある RC ネットワークの AC 結合によって形成されたハイパスフィルタによって決定される。ミキサー出力の IIP3 は、 $-21 \text{ dBm}$  を達成している(図 4.12 (b))。超低電源電圧の結果として線形性特性に関しては、明らかに劣化している。性能に関しては、フロントエンド回路全体として LNA 回路の利得、雑音指数、線形特性とのトレードオフで最適化されるためである。

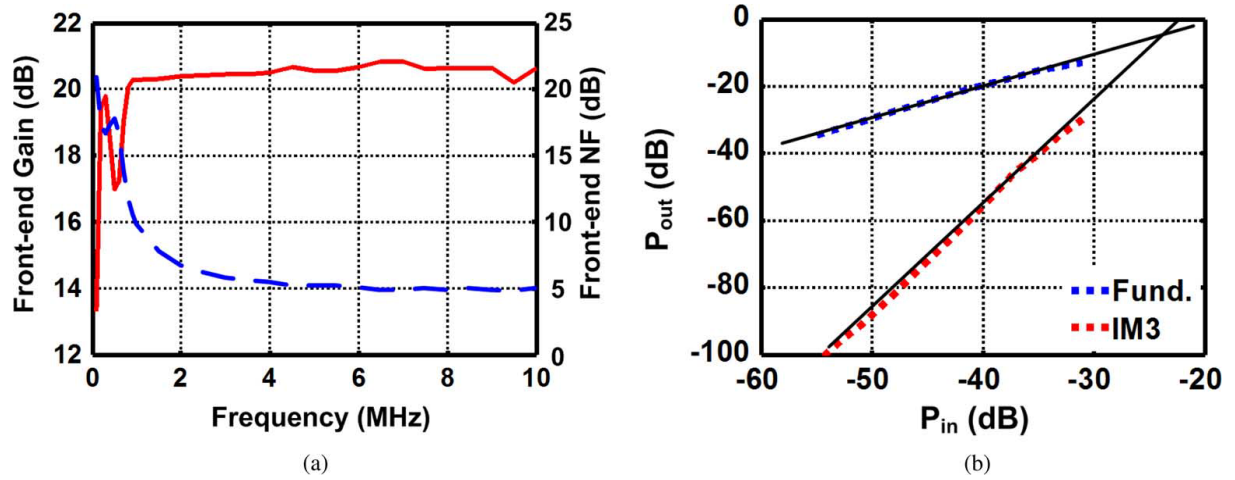


図 4.12 ミキサー出力の測定結果. (a) 利得と雑音指数. (b) IIP3.

インバーターチェーンからの出力信号が方形波になる前に、IF 増幅器の最終段における正確な利得を測定する必要がある。そこで、増幅器の出力が飽和しないようにするために小さな RF 入力電力(-100 dBm)を使用して測定した。6 MHz の IF 周波数において、83 dB の変換利得と Double Side Band(DSB)ダブルサイドバンド)の雑音指数が 6.1 dB の測定値となっている(図 4.13)。3 dB 減衰の帯域幅は、Low-IF アプリケーションをターゲットにしており、8 MHz となっている。

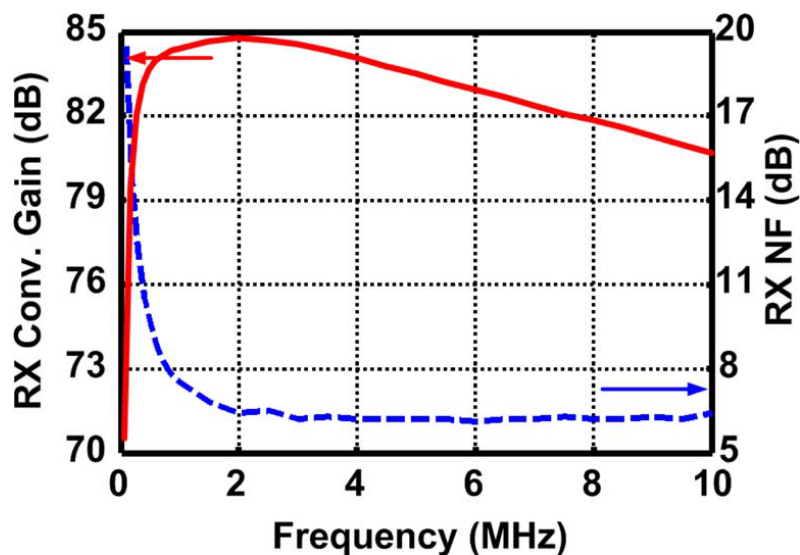


図 4.13 IF 出力の利得と NF 特性.

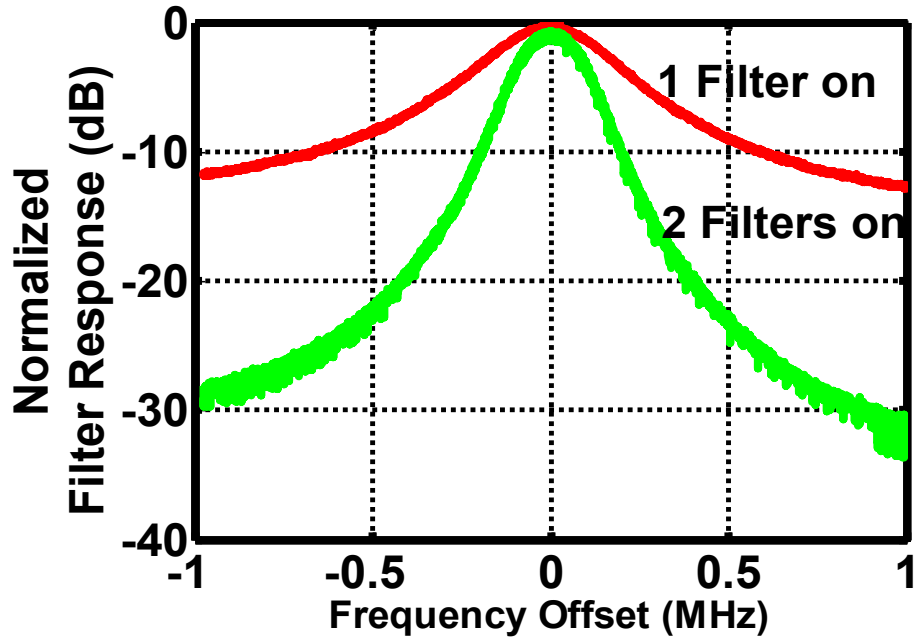


図 4.14 受信機全体のフィルタの正規化応答特性.

図 4.14 に、受信機全体のフィルタの正規化応答特性を示す。ここでは、8 倍の IF 周波数を生成するために、外部からのクロック入力を使用した。実際の製品では、このクロック信号は PLL で利用される水晶発振器を用いることになる。IF 中心周波数からの 1 MHz オフセットに於いて、フィルタをそれぞれ 1 段もしくは 2 段をオンにすることで、12 dB と 30 dB の急峻なチャンネル選択フィルタを実現することができる。前述 2 つのフィルタは、理想的な設計でもカスケード接続された応答性能が線形ではない。つまり、FTBPFs は線形の時変システムであり、高次のアップ/ダウンコンバーターが IF の基本周波数において実効インピーダンスが変化するということである[109]。IF 増幅段の最終出力における電圧振幅は前段の増幅器よりも大きいので、バイアス電圧  $V_{gs}$  を大きくなりその結果フィルタのスイッチ抵抗は小さくなる。FTBPFs においてオフセット周波数が大きい場合の、入力抵抗は式(4.7)のように表すことができる。

$$R_{in}|\Delta f > f_o = \frac{R_{SW}+R_s}{8D} - R_s . \quad (4.7)$$

デューティサイクルが 1/8 に近づくと、抵抗値はスイッチ抵抗  $R_{SW}$  の平均に近づく。IF の中心周波数からの大きく周波数がオフセットするにつれて、全出力抵抗  $R_{SW}$  は減少する。その結果、フィルタのロールオフは、IF 増幅器の最終段で急勾配となる。

ここで、オンチップトランスの形状による性能の検討は非常に重要な項目である。対

称性のレイアウトが可能となる interleaved planar bifilar トポロジーを用いたトランスの試作の測定結果は、自己インダクタンス 6 nH、結合係数  $k$  が 0.82、 $Q$  値が 12.6 を実現した。

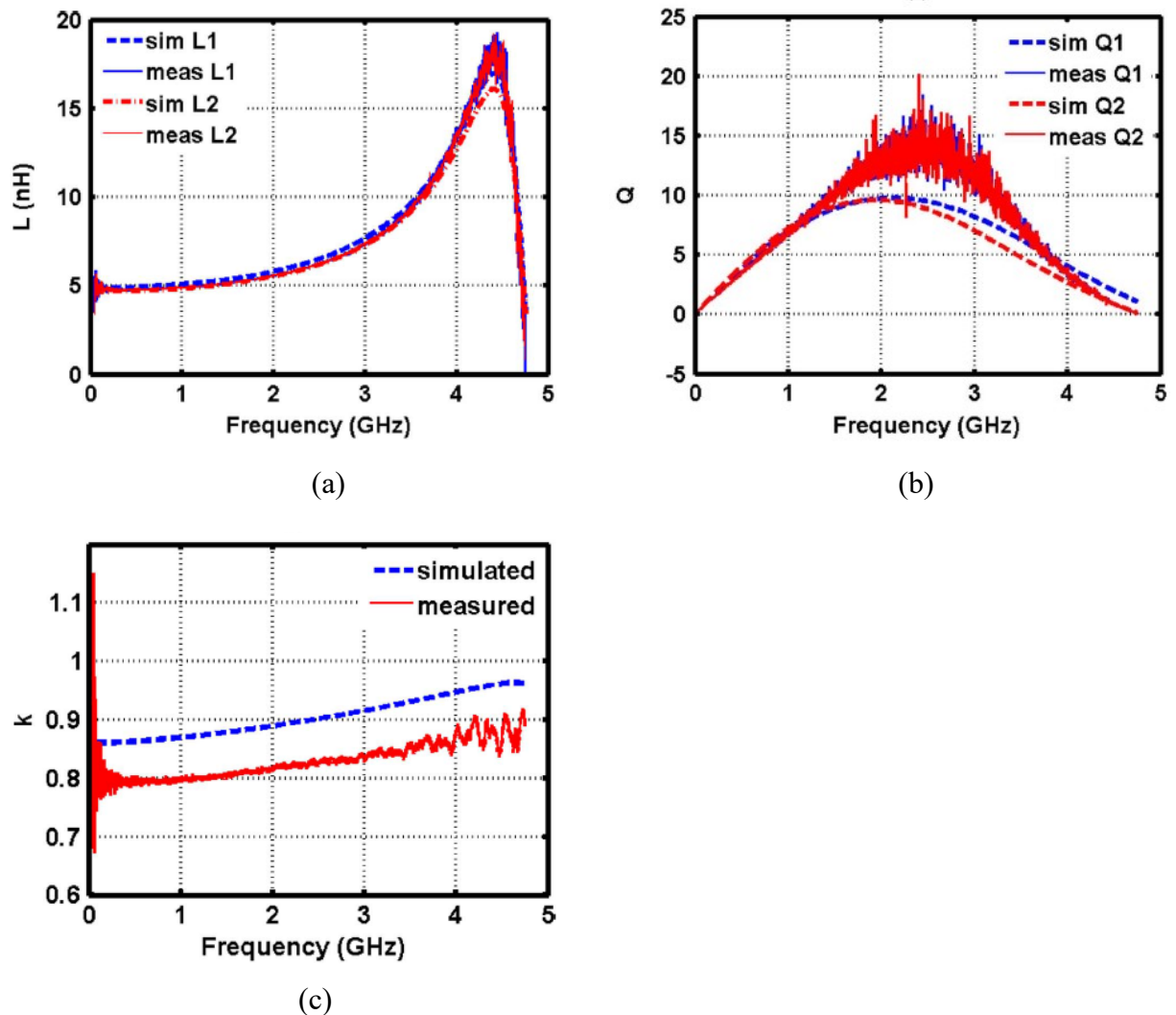


図 4.15 トランスのパラメータのシミュレーション結果と測定結果.

文献[98]と同様に、トランスの構造は 2 つの平行なコイルを八角形状に配線するレイアウトを用いた。これにより、2 つのサイドバイサイドのインターリーブ形状が対称的に配置されるとともに、低損失のトップメタル層(M9)を用いて  $k$  と  $Q$  を最大限にした。電磁界シミュレーション結果の精度を比較検証するために、トランス構造のテストチップを単体で試作した。そこに、オープン/ショート/スルーをディエンベディングテストパターンも搭載して測定をした。トランスの評価にあたっては、2 ポート  $S$  パラメータの



測定器で、顕微鏡を用いてウェハを直接針当てプローブで測定するとともに、パッドからの寄生インピーダンスを削除するためにオープン/ショート/スルーの標準的デエンベディング手法を用いて測定の補正を行った[114],[115]。図 4.15 は、一次および二次 no インダクタの測定に於いて、シミュレーションの( $L, Q, k$ )のパラメータが、デエンベディング後  $S$  パラメータの結果と一致していることを示している。

受信感度を確認するために、IF 増幅器の最終段の SNR を測定した。Zigbee 標準仕様の SNR 要件(2 MHz のチャンネル帯域幅で復調器 SNR が 7 dB)に基づいて測定をし、その結果受信感度-94 dBm を達成している。また、外部データ信号入力として FPGA を使用して擬似乱数シーケンス(PRNS)を生成させて、ビット誤り率(BER)試験を行った。この FPGA からの 200 kHz のベースバンドデータストリームの信号の FSK 変調信号発生器を通じて試作チップの RF に入力する。受信感度特性の BER を測定するため、試作チップの帯域制限された IF 出力は、FPGA で復調し、出力データ配列の結果と送信された入力データ配列を比較した。この受信感度 BER を測定したセットアップ方法を図 4.16 に示す。図 4.17 は、RF 入力電力の関数として得られた受信感度特性の BER 性能を示す。

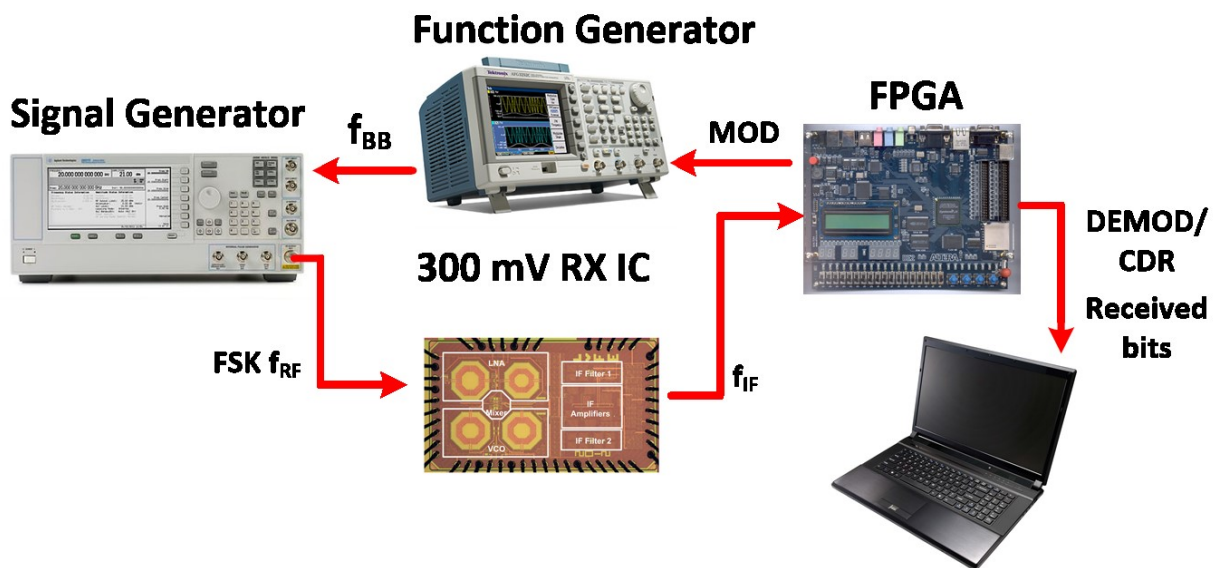
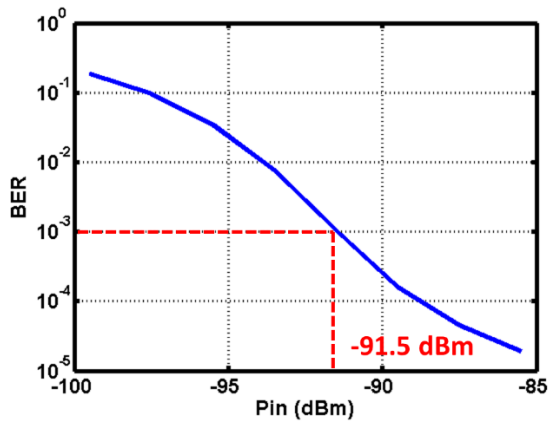
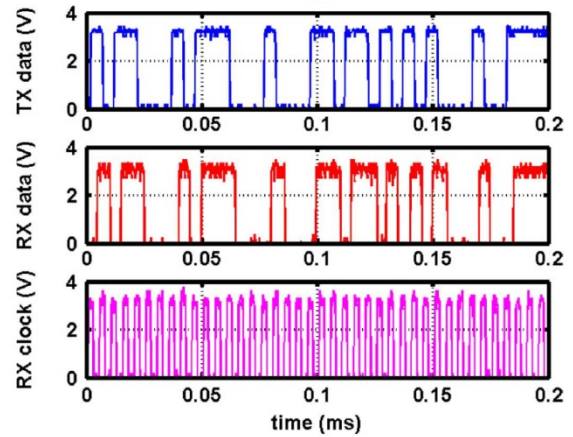


図 4.16 受信感度 BER 測定セットアップ。





(a)



(b)

図 4.17 受信システム特性 (a) BER 特性. (b) 送信入力波形と受信復調波形.

疑似乱数系列を用いて 200 kbps で変調された BFSK 入力信号は、BER が  $10e^{-3}$  の入力感度点  $-91.5$  dBm を達成した。これは BFSK のコヒーレント復調システムと比較して QPSK の 3 dB の優れているという理論と一致している。

また、今回試作したチップを使って実際にアンテナから電波を送信出力して、リンクテストを行った。FPGA 変調で生成したベースバンドデータを送信チップに 2.4 GHz のキャリアに乗せて電波で送信し、今回試作した LSI チップで正常に無線データを受信し FPGA で復調を行うことに成功した。送信された信号のビットシーケンスを正確に受信し、受け取った受信波形を図 4.17 (b)示す。

電源電圧の変化による受信性能を検討することは興味深い内容である。そこで、試作したチップを 300 mV、400 mV、500 mV の電源電圧で動作させ受信性能を測定した(表 4.3)。

ここで、LNA のバイアス電圧  $V_{GS}$  は、異なる電源電圧でも同じ電流を流すように調整をした。しかし、クロスカップル VCO のトランジスタのゲートバイアスは電源電圧でバイアスされているため、電源電圧を上げると電流も増加してしまう。加えて、VCO の信号の振幅が大きくなるとミキサーに流れる瞬間電流が増大し、VCO からさらなる電流が流れる。その結果、供給電圧の上昇とともに全電流が増加する。

表 4.3 各電源電圧の主な受信特性.

	300 mV	400 mV	500 mV
Current (mA)	5.37	7.61	10.9
Gain (dB)	82.8	82.8	80.8
NF(DSB) (dB)	6.1	5.5	6.2
IIP3 (dBm)	-20.6	-11	-14
LO PN at 1 MHz(Locked) (dBc/Hz)	-140.9	-142.2	-143.3
LO PN at 1 MHz(Free-run) (dBc/Hz)	-112.9	-110.3	-107.9

電流が増加しても電圧利得は、ほぼ同じままである。500 mV の電源電圧での回路全体の全電圧利得は、IF 増幅器における利得が減少するため 2 dB 減少した。400 mV の電源電圧では、LNA の雑音指数は向上するが、500 mV 電源電圧では劣化する。高い電源電圧では、IF 増幅器の入力換算ノイズは、電流が増加するにつれて減少する。しかし、LNA の雑音指数が低下するのは、LNA のトランジスタが同じバイアス電流条件下で、弱反転領域で動作するようにバイアスされることが原因である。

表 4.3 によると、400 mV の電源電圧では、線形性は大幅に改善する。予想したように、LNA が中反転領域でバイアスされているときは、 $V_{DS}$  が大きくなりより優れた線形性を持つことができる。また、大きな LO 信号入力のドライブは、ミキサのスイッチ動作のトランジスタの  $V_{GS}$  と  $V_{DS}$  を増大させるとともに、オン抵抗を減少することでミキサの線形性も向上する。しかし、LNA の動作が弱反転領域になってしまい、500 mV の電源電圧では線形特性が減少する。

図 4.18 に、今回試作したチップの写真を示す。関連する最先端の先行研究の受信システムの性能比較を表 4.4 に示す[96][94][97][116]。

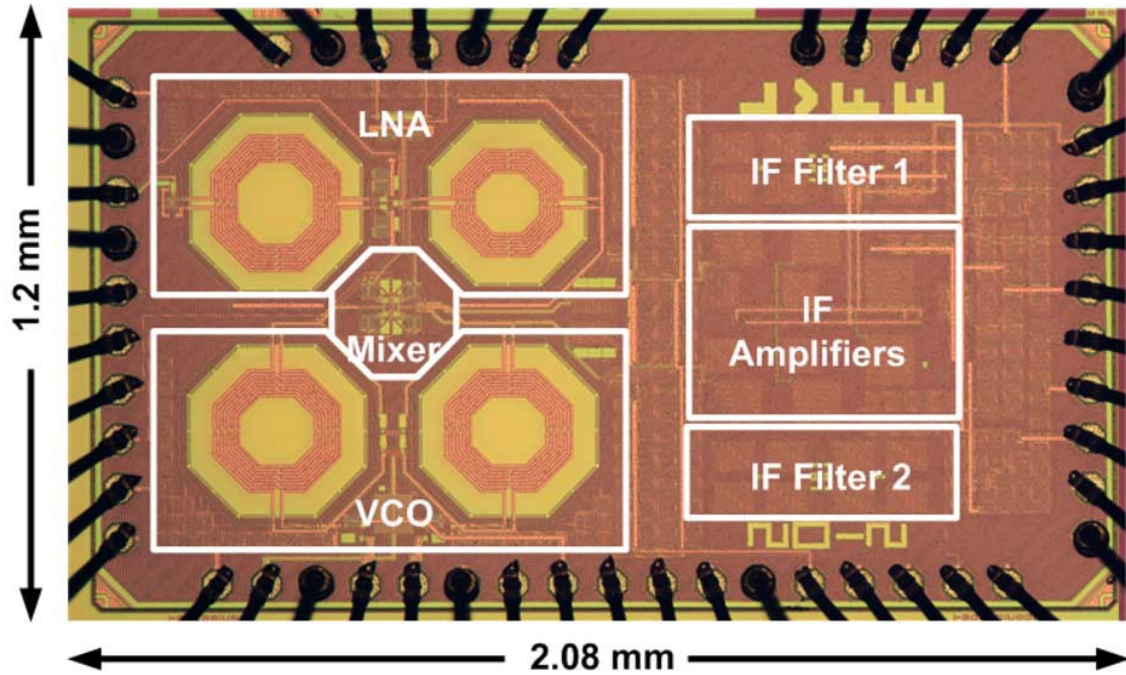


図 4.18 受信システムのチップ写真.

表 4.4 受信システムの性能比較.

	This work	[96] JSSC'10	[94] JSSC'06	[97] JSSC'07	[116] MTT'09
Supply voltage [V]	0.3	0.6	0.4	0.75	0.5
Power [mW]	1.6	32.5	0.33	11.3	26.2
RF f <sub>IN</sub> [GHz]	2.46	2.4	2.34	1.95	5.6
Voltage gain [dB]	83	67	N/A	31.5	27.1
NF [dB]	6.1	16	7	3.5	8.6
IIP3 [dBm]	-21.5	-10.5	-7.5	-10.5	-17.9
PN@1MHz [dBc/Hz]	-140	-115	-106	N/A	N.A
Technology	65 nm CMOS	90 nm CMOS	130 nm CMOS	90 nm CMOS	180nm CMOS
Area [mm <sup>2</sup> ]	2.496	2.9	4.4	4.3	N/A

今回試作した受信チップは、これまでに報告された GHz 帯受信器の中で最も低い電源電圧で動作することができる。また、これまで報告された GHz 帯の受信システムで最も低消費電力である（論文[94]は受信システムで重要な低雑音増幅器を搭載していないため比較対象から除外する）。より高い電源電圧で動作する他の受信機に比べて、今回の超低電源電圧のチップの試作結果は、限られたヘッドルームのため線形性能において劣っている。しかし、400 mV の以上の電源電圧で使用すると線形性は大幅に向上する。また、提案した受信機は、従来の手法と比較して LNA および VCO 回路に於いて 2 つのトラン

---

スを追加採用しているため、チップ面積が大きくなる。もし、プロセス技術が低いシート抵抗を有する二つ以上の厚い金属膜層を提供することが可能な場合は、スタック型トランスを用いて面積を節約することができる。フリーランニング VCO の位相雑音は、通常 VCO の性能比較に用いられる。トランス結合器フィードバック型 VCO トポロジーで、400 mV の電源電圧で動作させることにより、より良い位相雑音を達成することができる。

## 4.6 おわりに

エネルギーハーベスタの超低電源電圧動作の高周波無線の受信機設計には、幾つかの重要な課題が存在する。第4章では、これまで報告されてきた2.4 GHz帯無線受信機の中でも、最低の電源電圧300 mVでの動作が可能である。試作したチップは標準の65 nm CMOSプロセスを用いた。トランス結合技術を使用し、高周波RFフロントエンド回路全体にトランジスタ多段に積層する回路トポロジーを回避することにより、信号動作のための電圧ヘッドルームを最大化することが可能であることを証明した。RF回路やIF増幅器にトランジスタのバルク・ソース接合の電位をフォワードバイアスにすることで閾値電圧 $V_{th}$ を減少させ、キーとなるトランジスタのバイアスを中反転領域で動作することにより、消費電力と $f_T$ との最適化をはかった。ベースバンドでは周波数変換フィルタは、OTAを必要とせずにチャネル選択が可能であることを証明した。超低電源電圧の動作にもかかわらず、試作した受信機はPRNSによって変調された2.4 GHzのBFSK信号入力において、受信感度BERが $10e^{-3}$ の時に $-91.5$  dBmの入力感度を達成した。この受信機の試作は、300 mVの程度の超低電源電圧下でGHz帯の受信機が可能であることを証明し、新たにエネルギーハーベスタの様々な電源ソースを直接利用して動作する集積回路の実現可能性の機会の創出を証明することができた。

最後に、本章においてのまとめを表4.5に示す。

表 4.5 4章における課題・アイデア・結果のまとめ。

課題	先行研究センサーネットワーク無線システムの受信機は、0.5 Vの電源動作で消費電流も26.2 mAと大きい。
アイデア	受信回路のRFフロントエンド部にトランスフォーマ技術を用い、クワジパッシブミキサー構成のトポロジーを提案。トランジスタのボディバイアスを順方向とし低電圧化を図る。
結果	<ul style="list-style-type: none"><li>これまで報告されてきた2.4 GHz帯無線受信機の中でも、最低の電源電圧300 mVでの動作が可能。</li><li>2.4 GHzのBFSK信号入力において、BERが<math>10e^{-3}</math>の時に<math>-91.5</math> dBmの入力感度を達成。</li><li>エネルギーハーベスタ技術の超低電圧電源(300 mV)で2.4 GHz帯の受信機が可能であることを証明した。</li></ul>

---

## 参考文献 (第 4 章)

- [94] B. Cook, *et al.*, “Low-Power 2.4-GHz Transceiver with Passive RX Front-End and 400-mV Supply,” *IEEE Journal of Solid-State Circuits*, vol. 41, no. 12, pp.2757–2766, Dec. 2006.
- [95] N. Stanic, *et al.*, “A 2.4-GHz ISM Band Sliding-IF Receiver with a 0.5-V Supply,” *IEEE Journal of Solid-State Circuits*, vol. 43, no. 5, pp.1138–1145, May 2008.
- [96] A. Balankutty, *et al.*, “A 0.6-V Zero-IF/Low-IF Receiver with Integrated Fractional-N Synthesizer for 2.4-GHz ISM-Band Applications,” *IEEE Journal of Solid-State Circuits*, vol. 45, no. 3, pp.538–553, Mar. 2010.
- [97] M. Brandolini, *et al.*, “A 750 mV Fully Integrated Direct Conversion Receiver Front-End for GSM in 90-nm CMOS,” *IEEE Journal of Solid-State Circuits*, vol. 42, no.6, pp.1310–1317, Jun. 2007.
- [98] C. H. Huang, *et al.*, “Design and Modeling of Planar Transformer-Based Integrated Passive Devices for Wireless Applications,” *IEEE Electron. Components Technol. Conf. in Proc.*, pp.516–521, May 2009.
- [99] D. Linten, *et al.*, “Low-Power 5 GHz LNA and VCO in 90 nm RF CMOS,” *IEEE Symp. VLSI Circuits Dig. Tech. Papers*, pp.372–375, Jun. 2004.
- [100] W. Zhuo, *et al.*, “A Capacitor Cross-Coupled Common-Gate Lownoise Amplifier,” *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 52, no. 12, pp.875–879, Dec. 2005.
- [101] W. Pang, *et al.*, “A Temperature-Stable Film Bulk Acoustic Wave Oscillator,” *IEEE Electron Device Lett.*, vol. 29, no. 4, pp.315–318, Apr. 2008.
- [102] S. Rai, *et al.*, “A 600 W BAW-Tuned Quadrature VCO Using Source Degenerated Coupling,” *IEEE Journal of Solid-State Circuits*, vol. 43, no. 1, pp.300–305, Jan. 2008.
- [103] D. Ruffieux, “A High-Stability, Ultra-Low-Power Quartz Differential Oscillator Circuit for Demanding Radio Applications,” *IEEE Int. Solid-State Circuits Conf. Proc. 28th Eur.*, pp.85–88,

---

Sep. 2002.

- [104] F. Zhang, *et al.*, “A 2.6 GHz, 25 fs Jitter, Differential Chip Scale Oscillator That is mm in Area and 0.25 mm Tall,” *IEEE Int. Frequency Control Symp. Proc.*, pp.1–4, May 2012.
- [105] K. Kwok *et al.*, “Ultra-Low-Voltage High-Performance CMOS VCOs Using Transformer Feedback,” *IEEE Journal of Solid-State Circuits*, vol. 40, no. 3, pp.652–660, Mar. 2005.
- [106] E. A. M. Klumperink, *et al.*, “A CMOS Switched Transconductor Mixer,” *IEEE Journal of Solid-State Circuits*, vol. 39 no. 8 pp.1231-1240, Aug. 2004.
- [107] D. von Grunigen, *et al.*, “An Integrated CMOS Switched-Capacitor Bandpass Filter Based on N-Path and Frequency-Sampling Principles,” *IEEE Journal of Solid-State Circuits*, vol. SSC-18, no. 6, pp.753–761, Dec. 1983.
- [108] L.E. Franks, *et al.*, “An Alternative Approach to the Realization of Network Transfer Functions: N-Path Filter,” *Bell Syst. Tech. Journal*, 1960.
- [109] A. Mirzaei, *et al.*, “A Low-Power Process-Scalable Super-Heterodyne Receiver with Integrated High-Q Filters,” *IEEE Journal of Solid-State Circuits*, vol. 46, no. 12, pp.2920–2932, Dec. 2011.
- [110] M. Soer, *et al.*, “A 0.2-to-2.0 GHz 65 nm CMOS Receiver without LNA Achieving dBm IIP3 and dB NF,” *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, pp.222–223, Feb. 2009.
- [111] C. Andrews, *et al.* “A Passive-Mixer-First Receiver with Baseband-Controlled RF Impedance Matching, db NF, and dBm Wideband IIP3,” *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, pp.46–47, Feb. 2010.
- [112] C. Andrews, *et al.*, “Implications of Passive Mixer Transparency for Impedance Matching and Noise Figure in Passive Mixer-First Receivers,” *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 57, no. 12, pp.3092–3103, Dec. 2010.
- [113] A. Ghaffari, *et al.*, “Tunable High-Q N-Path Band-Pass Filters: Modeling and Verification,” *IEEE Journal of Solid-State Circuits*, vol. 46, no. 5, pp.998–1010, May 2011.

- 
- [114] M. Koolen, *et al.*, “An Improved De-Embedding Technique for On-Wafer High-Frequency Characterization,” *Bipolar Circuits Technol. Meeting Proc.*, pp.188–191, Sep. 1991.
- [115] C. Chua, *et al.*, “Self-Assembled Out-of-Plane High-Q Integrated Inductors,” *Electron Devices Meeting Proc.*, pp.479–482, 2002.
- [116] H. C. Chen, *et al.*, “0.5-V 5.6-GHz CMOS Receiver Subsystem,” *IEEE Trans. Microwave Theory and Techniques*, vol. 57, no. 2, pp.329-335, Feb. 2009.



---

## 第5章 超低電圧動作の無線送信システム技術

---

## 5.1 はじめに

第4章では、エネルギーハーベットの電源電圧の超低電圧の無線受信システム及び受信に必要な無線高周波回路をはじめとする各機能ブロックを試作・評価を行い、300 mV の超低電圧で動作することを検討・実証した。

本章では、第4章で検討・実証したセンサーネットワークに用いる無線受信システムの対となる送信側の無線送信システム技術に関して述べる。第1章で述べたようにセンサーノード端末は、データ収集サーバーからの制御信号を無線で受信し、センサーのデータをデータサーバーへ無線で送信する機能が必要である。そこで本研究では、Bluetooth Low Energy(BLE)をターゲットとした、エネルギーハーベットの超低電圧電源で動作する Frequency Shift Keying (FSK)無線送信システム及びその回路に関して述べる。

従来高周波回路の超低電圧の研究は、多くの人によって行われてきた。例えば Zigbee 仕様に適合する受信機は、500 mV の電源電圧で動作することが報告されている[117]。しかしながら、その送信システムの最大動作周波数帯域は 960 MHz で、センサーネットワークで一般的にライセンス無しに利用できる Industry Science Medical(ISM)バンドの 2.4 GHz 帯で動作することができない。また、400 mV の上で動作する 2.4 GHz の FSK 受信機は、先行研究として論文[118]にて実現されている。しかしながらそのデバイスは、電圧制御発振器(VCO)回路に置いて補償回路を実装しておらず、VCO の動作として可変する周波数範囲が 1.95 GHz から 2.38 GHz と狭くなっている。そのため、このデバイスは、Bluetooth や ZigBee のを含む無線センサー通信に使用される 2.4 GHz の ISM バンド仕様には対応できていない。

このように、これまで超低電圧に関する無線システムの研究が行われてきたが、センサーネットワークにおけるエネルギーハーベットによる電源(400 mV 以下)を用いた無線システムへの適用は送信システムとしてまだ確立されていない。エネルギーハーベスティングを利用した超低電圧の電源で動作するとき、高周波無線回路には次の2つの大きな課題がある。一つは高周波回路トポロジーそしてもう一つは高周波トランジスタの性能である。

第一の課題である高周波回路トポロジーとして次の点があげられる。例えば、400 mV の超低電圧電源で動作するためには、従来の電源と GND 間に多段構成された CMOS 回路トポロジーで利用している高周波トランジスタは、性能が劣化し使用できない。本章

---

では、標準的な 65 nm CMOS プロセス技術を用いることにした。このプロセスでは、低リーク標準 MOSFET トランジスタである高  $V_{th}$  (450 mV) に加えて、低  $V_{th}$  の (300 mV) の NMOSFET と PMOSFET トランジスタを使用することが可能であり、今回の回路設計には主に低  $V_{th}$  を利用して低電圧化を図った。しかしながら、従来の無線送信システムの高周波回路のトポロジーでは、2 段または 3 段のトランジスタをスタックして回路を構成していたため、電源電圧が約 1.5 V から 2.4 V 必要であった。このように多段に積み重ねられた CMOS 回路のトポロジーは、400 mV の超低電圧で動作することはできない。

第二の課題として、400 mV の超低電圧電源の下では、MOSFET トランジスタは弱反転領域またはサブスレッショルド領域で動作している。一方、この弱反転領域のバイアスは、アナログ CMOS 回路の低消費電力として一般的な設計手法として知られている [119]。弱反転領域やサブスレッショルド領域では、一般的にアナログ回路で利用している強反転領域よりも高周波特性が劣っている [120]。例えば、MOSFET トランジスタの遮断周波数である  $f_T$  は、弱反転領域で非常に低く高周波動作において非常に不利となる。ここで、MOSFET トランジスタの  $f_T$  の式 (5.1) に示す。

$$f_T = \frac{1}{2\pi} \frac{I_D}{\left(\frac{kT}{q}\right)} \frac{1}{WLC_{js}} \quad (5.1)$$

ここで、 $I_D$  はドレイン電流であり、 $W$  はトランジスタのゲート幅、 $L$  はトランジスタのゲート長であり、 $C_{js}$  は空乏領域の容量である。弱反転領域で  $C_{js}$  の増加は、 $f_T$  が減少することになり MOSFET トランジスタの最大動作周波数が低下する。また、トランジスタの寄生抵抗及びキャパシタンスは、 $V_{th}$  の変化に対して非常に敏感であり、弱反転領域においてはトランジスタの高周波性能の PVT によるばらつき変動が大きくなる [121]。このばらつきが大きくなることは、システムの仕様を満足させるために従来の高周波回路をそのまま利用するところが難しいという課題がある。

そこで本研究ではこのような課題を解決するために、MOSFET トランジスタの弱反転領域を利用した高周波回路動作を実現するとともに、低電圧領域動作でのばらつきなどを考慮して、特に VCO の周波数可変範囲を拡大する回路を提案し、超低電圧の 400 mV で動作する BLE をターゲットとした FSK 変調の無線送信システムを実現することを目的とする。

---

## 5.2 無線送信システム

従来の先行研究として BLE の FSK 無線送信システムは、ダイレクト変調方式[122]が高周波回路が単純構成という利点から、一般的に無線送信システムとして採用されている。このダイレクト変調は、高周波の VCO を含む位相同期回路(Phase Lock Loop (PLL))回路とミキサー回路及び AGC 回路やフィルタ回路から構成されている。このダイレクト変調システムをエネルギーハーベスト向けに超低電圧で利用する場合、VCO 回路やミキサー回路などの高周波回路において PVT の変動を考慮する必要がある。また、ダイレクト変調送信システムは、既に 1 章で述べたように直交変調の I/Q 信号による mismatch によってミキサー回路で発生する DC オフセットの問題を有しているため、この補償回路が複雑となり低消費電力で構成することが困難である。

同様に、従来技術としてより少ない高周波回路で構成されたダイレクトオープンループ変調システム[123]が開発されている。このシステムでは、BLE より高速の Bluetooth の通信速度 0.7 Mbps で動作する。しかしながら、このダイレクトオープン変調システムは、PLL のロックレンジと変調帯域幅とを同時に満足することができない。周波数チャンネルが PLL によって選択された後、ループが開き電圧制御発振器の信号キャリアにガウス周波数シフトキーイング(GFSK)変調信号が加えられ、RF の変調信号が生成される。このシステムが周波数選択する閉ループから変調信号を生成する開ループに変化すると PLL による VCO 周波数が固定されなくなり、温度変化や電圧変化による影響で VCO の周波数が不安定となり、変調性能の劣化となる。そこで、この問題を解決するために従来のシステムの欠点を改良し、エネルギーハーベストを電源に用いるために、400 mV の電源電圧で無線送信システムを動作させることを目的とした。直接変調閉ループ(Direct modulation closed loop)送信機システムを提案した。この FSK 送信機システムアーキテクチャを図 5.1 に示す。このシステムは、高周波で動作する回路ブロックの数を減らすことによって、低消費電力を実現している。BLE 送信システム全体の目標仕様を表 5.1 に示す。

先行研究のダイレクトオープンループ変調システムと直接変調閉ループシステム 2 つの主な違いは、PLL の周波数ロックの範囲と変調データレートの仕様である。BLE の最大通信速度は 270 kbps で、標準 Bluetooth システムの通信速度 0.7 Mbps よりも低く、PLL のロックレンジと帯域幅を同時に PLL 変調で実現できる。このように直接変調閉ループシステムを使用することにより、VCO 周波数チャンネル選択は非常に安定して動作する。

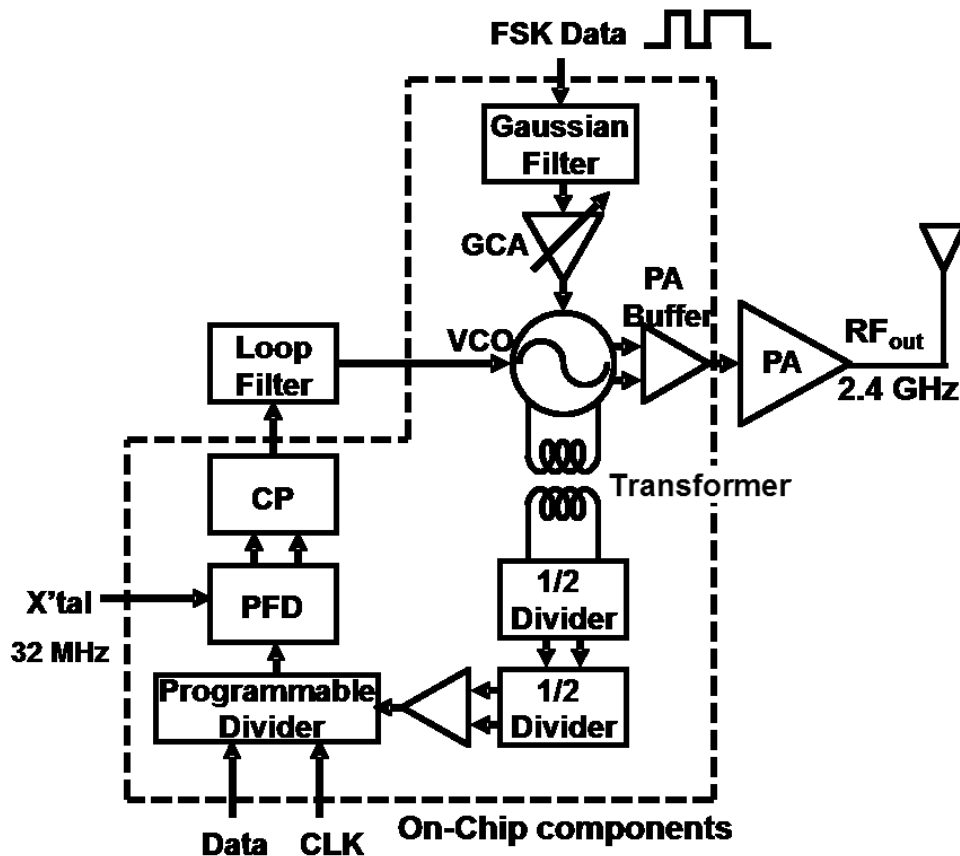


図 5.1 新提案の直接変調閉ループ FSK 無線送信システムアーキテクチャ.

表 5.1 FSK 無線送信システム全体目標仕様.

Frequency range	2400 to 2482.5 MHz
Modulation technique	Frequency hopping
Modulation scheme	GFSK
Modulation index	0.5
Number of channels	40
Channel bandwidth	2 MHz
Nominal data rate	1 MHz
TX spectrum mask	-20 dBc at 1.5 MHz
	-30 dBc at 3 MHz
Output power at Class2	$-6 < P_{out} < +4$ dBm
PLL lock-up time	$< 200$ $\mu$ s
VCO Phase noise	$> 100$ dBc/Hz at 1 MHz

---

この BLE 用の直接変調閉ループ送信システムは、次のように動作する。入力されたデジタル FSK 変調されたデータ信号は、ガウスフィルタにより帯域制限がかけられる。帯域制限された FSK 信号は±250 kHz での変調帯域を実現するために、ゲインコントロールアンプ(CGA)の信号振幅を調整する。この生成された FSK 信号は、高周波電圧制御発振器(RF VCO)の可変容量素子(バラク多ダイオード)によって直接変調される。一方 RF VCO は、一次 $\Delta\Sigma$ 位相ロックループ(PLL)回路によって正確な RF の周波数で変調される。 $\Delta\Sigma$ -PLL 回路は、二段の 2 高周波の周波数分周器(Frequency Divider)、プログラム分周器(Program Divider)、位相周波数比較器(PFD)、チャージポンプ(CP)と、ループフィルタと RF VCO から構成される。PLL 帯域幅は FSK 変調ビットレート以上になるように 1 MHz とした。PLL ロックアップ時間および周波数トラッキング速度の関係はトレードオフとなる。そこで PLL のロック時間を最小にするように設定するとともに、FSK の変調信号が 1 MHz の帯域幅に追従しなようにループフィルタの定数を決定している。プログラマブル分周器のクロックレートは、ベースバンドロジックで利用されているクロック周波数 32 MHz を用いて、プログラムロジックから設定されたデータ信号により VCO 周波数を決定している。PFD 回路の比較クロック周波数は、同じく 32 MHz である。最終出力は、VCO の信号を外部回路のパワーアンプ(PA)回路で駆動する PA バッファアンプから 2.4GHz の FSK 変調された RF 信号を出力する。

本提案の直接変調閉ループ FSK 無線送信システムアーキテクチャは、250 kHz のデータ信号を直接変調した場合、連続したデータビットに対して正しく動作しない懸念点がある。そこで、デジタル信号が同じ 0 または 1 の連続信号となって誤動作を防ぐために、通常のデジタルベースバンド信号処理では、伝送路に適した変調方式を用いるとともに符号化でこの問題を解決して無線部へのデジタル信号入力を送信する。このシステム構成を図 5.2 に示す。

この連続データビットを回避する方法として、図 5.3 に示すようなマンチェスター符号化技術が知られている。入力されたデジタル信号がクロック信号とデータ信号の XOR で演算処理をして、0 または 1 の連続のビットとならないようにデジタル信号となって変調器に入力することで解決をする。

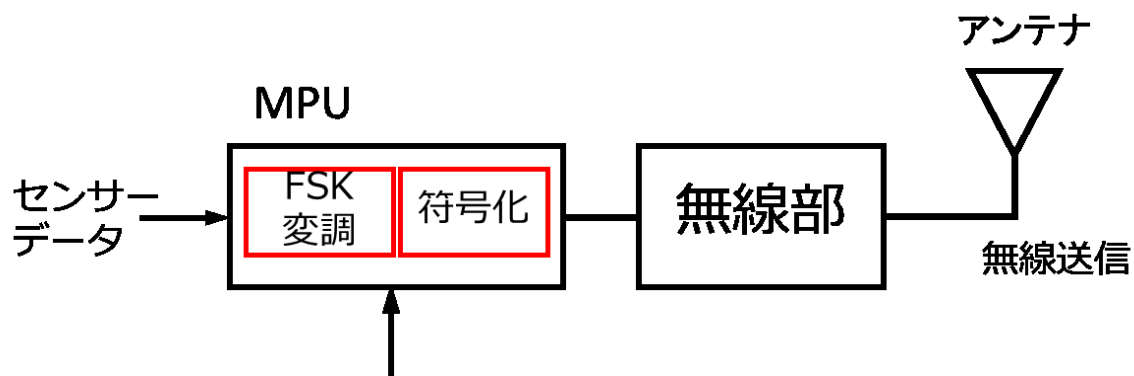


図 5.2 センサーネットワークシステムに於ける符号化処理.

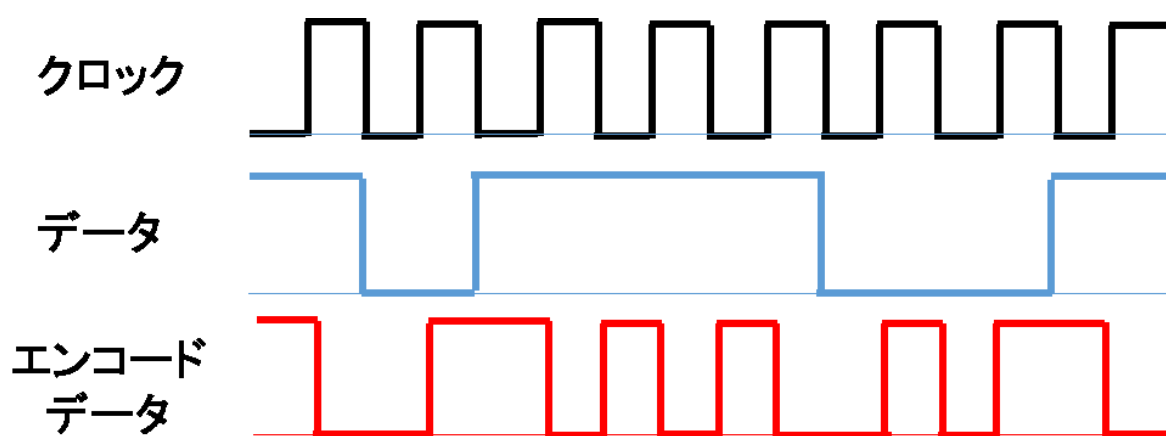


図 5.3 マンチェスター符号化による連続データの符号化例.

このアーキテクチャは、出力の PA バッファアンプを除くと RF VCO および高周波 1/2 周波数分周回路の 2 つの高周波回路ブロックを有している。この 2 つのブロックは、超低電圧下で動作させるためには MOSFET トランジスタの弱反転領域を利用するため、PVT 変動に非常に敏感でばらつき幅が大きい。そのため、RF VCO や周波数分周回路の性能が大きく変化しマージンをもって設計しなければいけない。そこで、本研究では 2 つの高周波回路を新たなトランス回路技術を用いて安定した性能が得られるように解決する。

### 5.3 VCO 回路と高周波 1/2 周波数分周回路

前述したように、送信機の変調に係わる高周波回路は VCO 回路と高周波 1/2 周波数分周回路である。特に困難な仕様は、超低電圧電源での BLE の FSK 変調の VCO の周波数可変範囲である。無線送信システムが超低電圧で動作する場合、従来の回路では幾つかの問題がある。

従来の高周波 1/2 周波数分周回路は、2 段の D 型フリップフロップ (D-FF) 回路で構成されており、この回路ブロックを図 5.4 に回路トポロジーを図 5.5 に示す。従来技術のこの回路は、1.8 V から 2.5 V の電源電圧で動作している。この VCO と高周波 1/2 周波数分周回路は独立して動作し、VCO 回路からの出力信号が周波数分周回路の入力信号として振幅の減少をさせないように伝送するために、この 2 つの回路の段間にバッファ回路を挿入する必要がある[124]。

また、図 5.5 の D-FF 回路では、電源と GND との間に二段の MOSFET トランジスタと負荷抵抗がスタックされている。この回路トポロジーは、1.8 V 電源電圧で 2.4 GHz の高周波周 1/2 波数分周回路は動作することができるが、400 mV の電源電圧ではトランジスタの  $V_{DS}$  が強反転領域で動作するだけの十分な電圧を与えられず分周動作しない。

さらに、3 章の研究では、超低電圧回路用の高周波 1/2 周波数分周器と VCO 回路を開発した[125]。この第 3 章で開発した VCO 回路のトポロジーは、超低電圧電源 280 mV において 2.4 GHz の周波数で発振するという利点がある。しかしながら、この回路トポロジーは 4 つのオンチップトランスが必要となりチップ面積が大きく、結果チップコストが増大すると欠点がある。さらに、VCO の位相雑音性能は、BLE の FSK 変調の要件を満たさない。そこで、本研究ではエネルギーハーベスト電源の 400 mV で動作する VCO と高周波 1/2 周波数分周器のための新しいトポロジーを提案する。

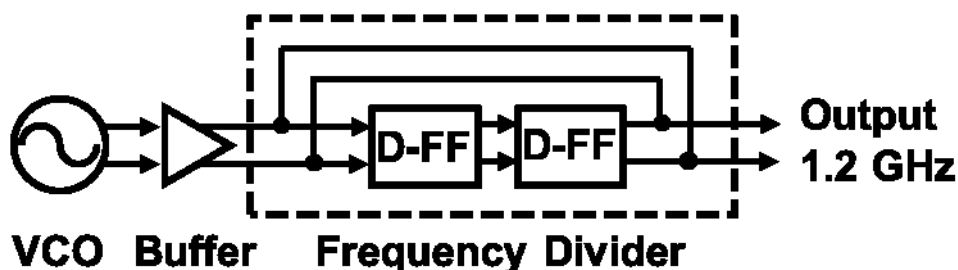


図 5.4 従来の VCO 及び周波数分周器ブロック図.



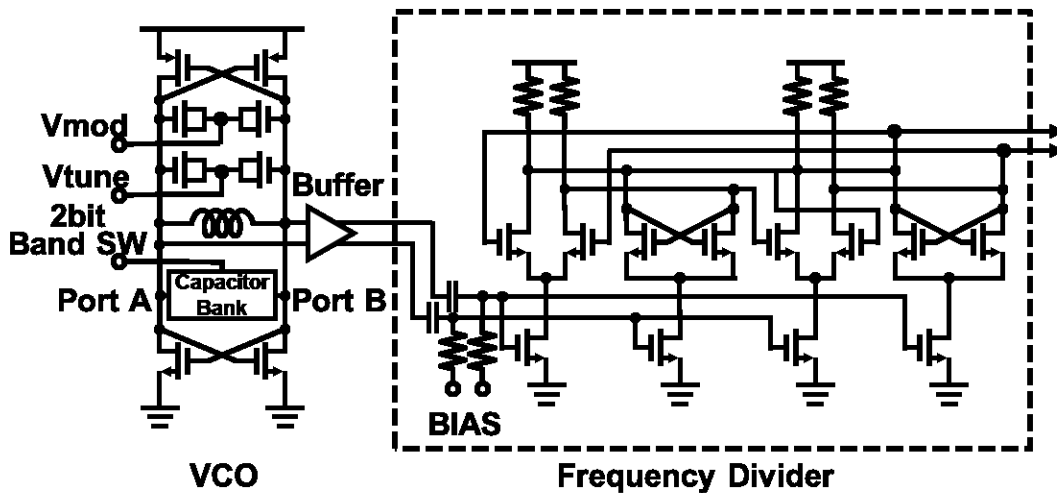


図 5.5 従来の VCO 回路及び周波数分周回路図.

### 5.3.1 高周波 1/2 周波数分周回路

エネルギーハーベットの電源 400 mV で動作する 2.4 GHz 帯の VCO 回路及び 1/2 周波数分周回路を実現するために、トランス結合器技術を使用したシステム回路を提案した。この回路ブロック及び回路トポロジーを図 5.6 に示す。

提案の高周波 1/2 周波数分周回路の入力段の差動対 MOSFET トランジスタを、VCO からの信号結合としてトランス結合器によって置き換えることにより、電源と GND 間に MOSFET トランジスタが 1 段となり、400 mV の超低電源電圧での動作を可能にする。第 3 章で提案した周波数分周回路と異なる点は、1 つのトランス結合器だけで構成している点にある。この VCO 回路は、電源と GND 間で rail-to-rail の 400 mV<sub>pp</sub> の信号振幅を持つ。さらに、トランス結合器は  $k$  の結合係数が 1 にほぼ等しいように設計されている。提案する高周波 1/2 周波数分周回路は、後述する入力インピーダンスを考慮して、段間のバッファアンプを削除しても VCO 回路からの十分な入力振幅の信号レベルを有することができる。この十分な入力振幅信号を使用して、分周器のためのスイッチング動作を実現することが可能となる。また、直接トランス結合器を用いて VCO 回路と 1/2 周波数分周回路を接続するため、従来 VCO 回路と周波数分周回路との間にあるバッファアンプ回路を削減し、消費電力を低減できる。本回路で採用したトランス結合器の形状は、図 5.7 に示のように積層型のスパイラルインダクタ型のトランス結合器を用いている。これは、従来の VCO 回路のインダクタを置き換えるによるもので、VCO 回路と周波数

分周回路との LSI の総占有面積は従来の同一となり、チップ面積増大によるコストの上昇はない。

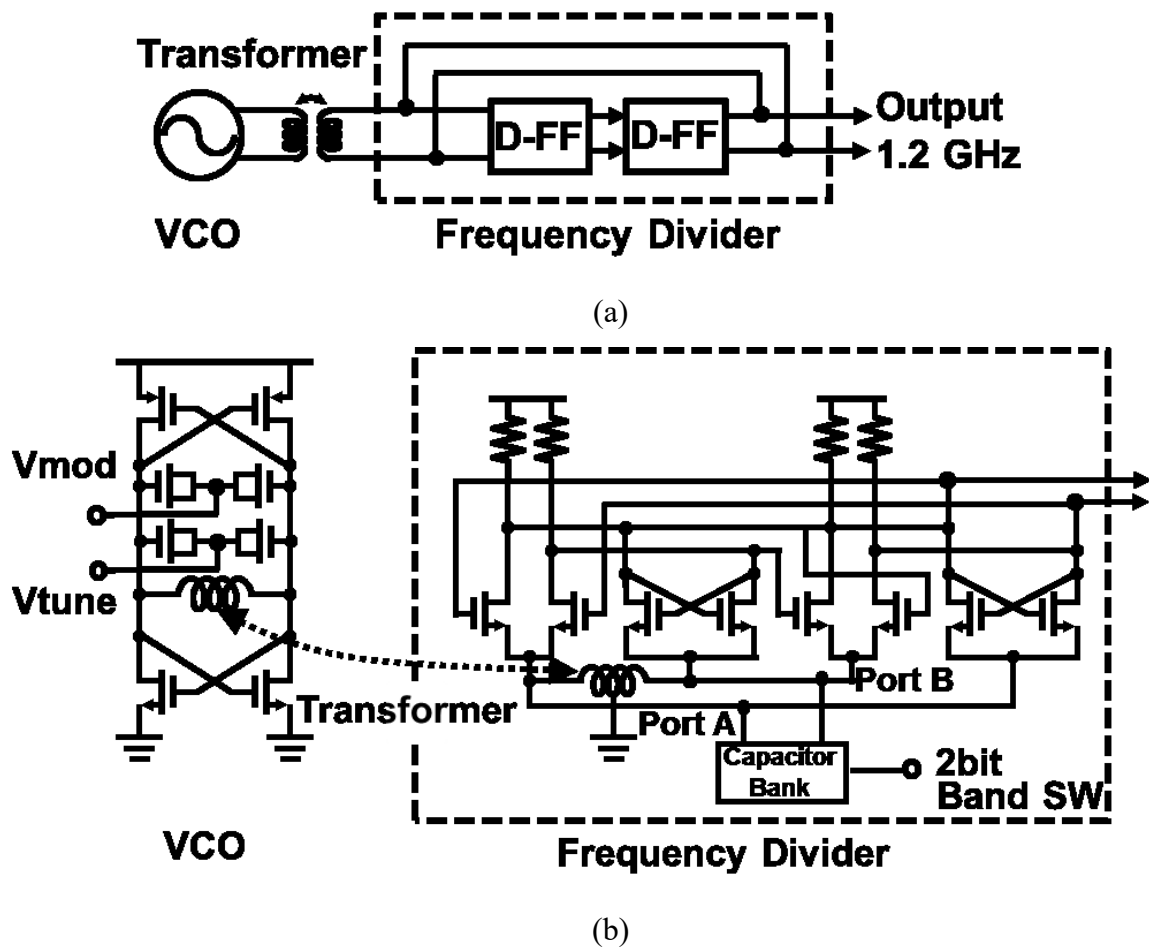


図 5.6 (a) VCO と周波数分周器ブロック図. (b) VCO 回路と周波数分周回路図.

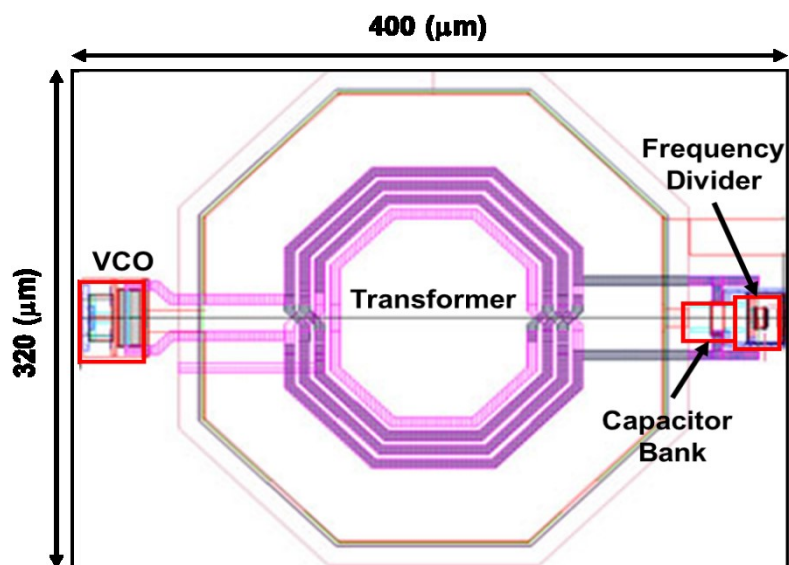


図 5.7 トランス結合器のレイアウト形状.

### 5.3.2 VCO 回路

従来の VCO 共振回路は図 5.5 に示すように共振回路に 3 つの周波数可変端子を有する。第一にインダクタンスと周波数チャンネル同調用の電圧  $V_{tune}$  によって制御されるバリキャップダイオード、第二に信号変調用の電圧  $V_{mod}$  によって制御される別のバリキャップダイオード、第三に周波数帯域をステップ的に変更するための 2 ビット制御のキャパシタバンク回路で構成されている。

VCO 回路で利用するバリキャップダイオードの容量比は、1.8 V の電源電圧に比べてエネルギーハーベスト電源の 400 mV では、容量を可変する電圧制御幅が 1/4 以下となり容量比が小さくなる。その結果、周波数可変範囲が狭くなるという課題がある。このように、従来の低電圧電源用の VCO 回路は、2.4 GHz 帯の ISM バンドで利用するセンサーネットワークの仕様を満足するための十分な周波数可変範囲が得られなかった。そこで従来技術の VCO ではより広い周波数可変範囲を実現するため 2 ビット制御のキャパシタバンク回路が追加されているが、このバンド切り替え回路も十分に機能しない。

一方、このように VCO と周波数分周回路をトランスで接続した場合、VCO から見た周波数分周回路のインピーダンスは、従来のゲート端入力と比較して、ソース端入力のため低くなる。そのため、トランス結合器の比を  $n:1$  とすることで VCO からのインピーダンスを高くするようし、VCO の発振の影響度を少なくするようにしている。この入力 VCO から見た周波数分周回路の入力インピーダンスは、3.3.2 節の提案の超低電圧高周波 1/2 周波数分周器で述べたように、VCO の LC 共振器に純粋なオンチップのインダクタとトランス結合器を利用した場合と比較して、寄生容量は約 2 倍となる。しかし、トランス結合器による寄生抵抗の増減は少ない。従って、VCO の回路設計時にこの寄生容量を見越した VCO 共振回路の総容量を小さくするため、位相雑音に対する影響度は低い。しかしながら、共振回路の容量を小さくすると、バラクタ容量の可変比は小さくなり可変周波数範囲が狭くなる影響が出る。

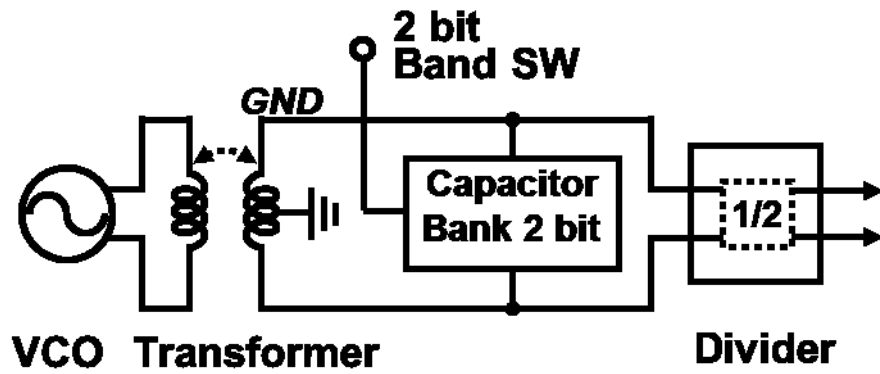
キャパシタバンクのトポロジー回路として、VCO の MOS-C-MOS 回路を図 5.8 (b)に示す。容量の両端にある MOSFET トランジスタスイッチ回路は、キャパシタバンク回路の周波数を段階的に変更するために使用される。キャパシタバンクは、2 ビットの容量回路を含んでいる。

このキャパシタバンクの MOSFET トランジスタのスイッチ回路は、400 mV の電源電

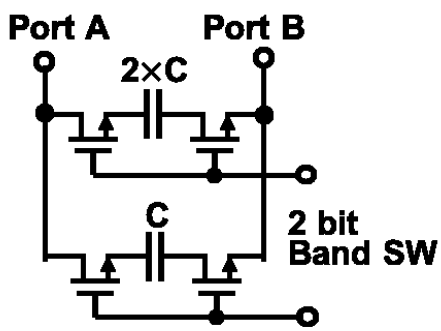
---

圧ではトランジスタの弱反転領域で動作する。この弱反転領域には依然としてトランジスタのオン抵抗が存在する[126]。そのため十分にトランジスタがオン・オフのスイッチ動作をすることができず、さらには VCO の位相ノイズに悪影響を与える。この MOSFET トランジスタのオン抵抗のシミュレーション結果を図 5.9 に示す。この図によると MOSFET トランジスタのオン抵抗は、 $V_{gs} = 1.0V$  よりも  $V_{gs} = 400mV$  で 3 倍高く、順方向のボディバイアスでは逆バイアスの抵抗の半分となるのが解る。そこで、オン抵抗を最小限に抑えるために、MOSFET トランジスタの形状を 3 倍になるように選択した。このような大きなサイズのトランジスタ形状を利用することで、小さな抵抗は VCO の位相ノイズ特性への影響は無視できる程度となる。

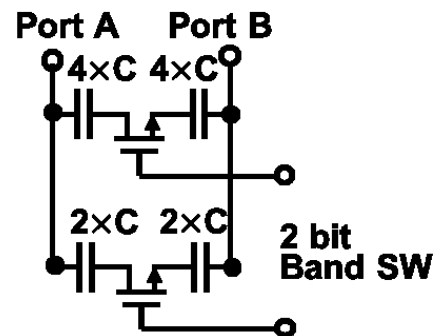
別のキャパシタバンク回路トポロジーの C-MOS-C 回路を図 5.8 (c)に示す。C-MOS-C 回路型のキャパシタバンクは、MOS-C-MOS 回路型と比較して有利な容量のオン・オフ比を取ることができるため、広い VCO の周波数可変範囲を得ることができる。しかしながら、C-MOS-C 回路型におけるキャパシタンスのチップ面積は、MOS-C-MOS 回路型より 2 倍も大きなチップ面積が必要となる。そのため、提案回路では MOS-C-MOS 型のキャパシタバンクを選択することにした。



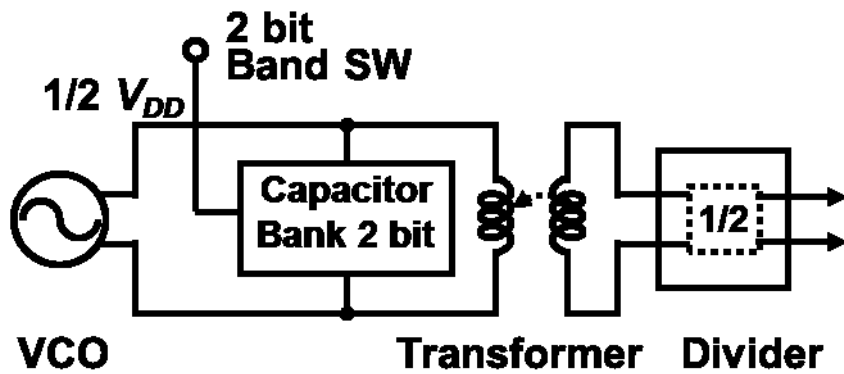
(a)



(b)



(c)



(d)

図 5.8 (a) 新提案の VCO キャパシタバンク回路. (b) MOS-C-MOS 型キャパシタバンク回路. (c) C-MOS-C 型キャパシタバンク回路. (d) 従来の VCO キャパシタバンク回路.

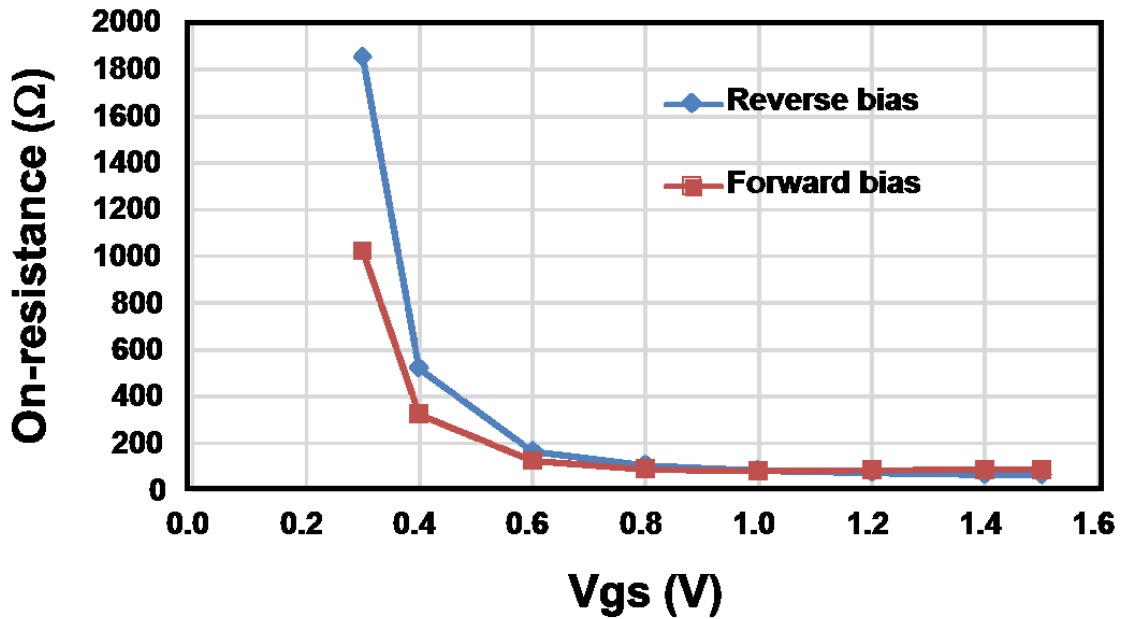


図 5.9 MOSFET トランジスタ オン抵抗特性.

前述したキャパシタバンクのポート A とポート B との間の両端の電圧差は、VCO 回路の周波数切り替えスイッチとして使用されるが、その電圧差は電源電圧に依存して最大で 400 mV となる。キャパシタバンク回路は、VCO 回路側(図 5.8 (d))に存在する場合、スイッチング MOSFET トランジスタのソース端電圧は、VCO 電源の中心電位の値 (200 mV の程度)となる。ここで、スイッチの切り替え信号として MOSFET トランジスタのゲート端に 400 mV が印加されても、MOSFET トランジスタの  $V_{gs}$  は 200 mV となり、スイッチは完全にオン状態に入ることができない。そのため、周波数の切り替えができなくなり、結果十分な VCO 周波数可変範囲を維持することが困難となる。

今回提案する回路は、VCO 側にあった共振器のキャパシタバンク回路を、接地のセンタータップを持つトランス結合器をもちいて、周波数分周回路側に移動する。この結果、スイッチングの MOSFET トランジスタのソース電圧は 0 V となり、切り替えのスイッチ電圧 400 mV を印加することで、400 mV の電源電圧でも MOSFET トランジスタを完全にオン動作するスイッチングを可能にした(図 5.8 (a)参照)。キャパシタバンク回路は、VCO 回路の周波数可変範囲を十分にカバーするために、MOSFET トランジスタを 2 ビットの構成容量の両端に配置した。2.4 GHz におけるトランス結合器の  $Q$  (クオリティファクタ)の特性を図 5.10 に示す。クオリティファクタ  $Q$  は 11 と良好な結果となっている。図 5.11 に VCO の 2.4 GHz における周波数可変範囲のシミュレーションの結果を示す。

400 mV の電源電圧の下では、VCO 回路側に置かれたときの、容量の切り替えによる VCO 回路の発振周波数の周波数可変範囲はわずか 100 MHz であったが、分周器側に配置されたときには、周波数可変範囲は 185 MHz と増加した。

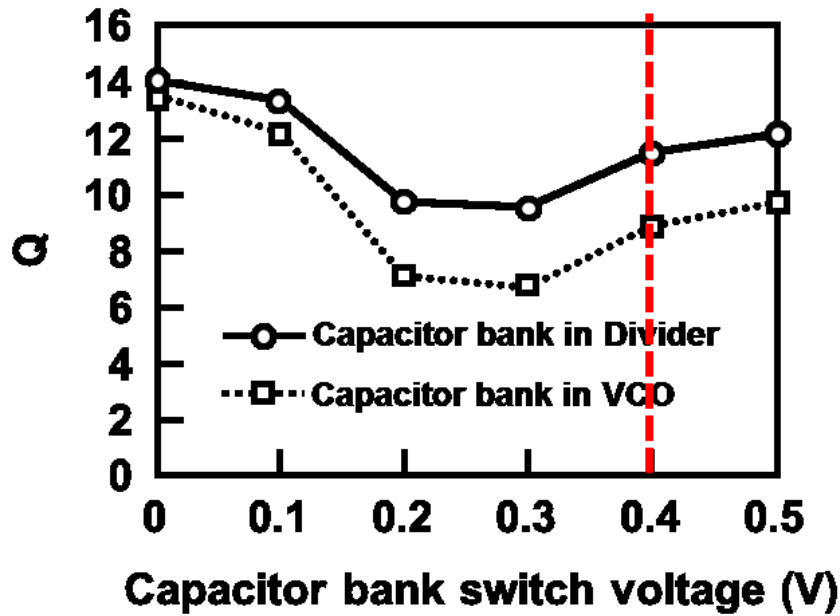


図 5.10 2.4 GHz におけるトランス結合器の Q ファクタ.

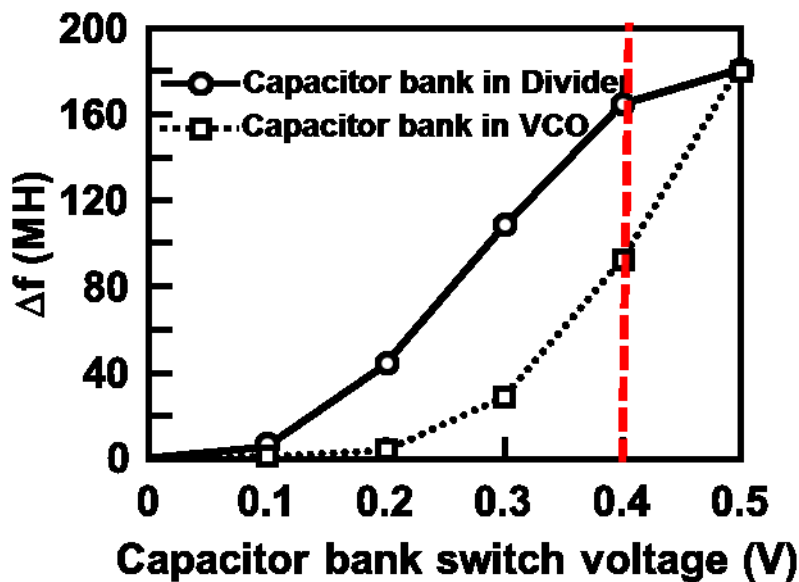


図 5.11 VCO の 2.4 GHz における可変周波数範囲.

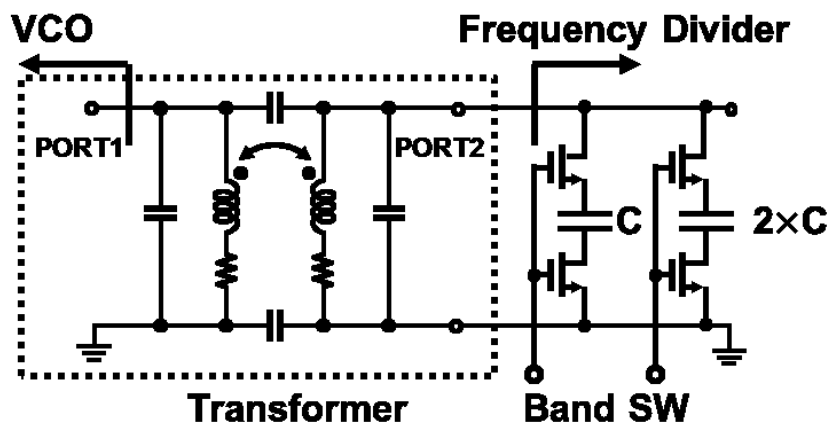


図 5.12 トランス結合器の等価回路.

ここで、トランス結合器の性能を考察する。図 5.12 は、トランス結合器の等価回路を示す。この回路はポート 1 とポート 2 の 2 つポート端子を持つ。このポートの S パラメータは、 $S_{11}$ 、 $S_{12}$ 、 $S_{21}$  および  $S_{22}$  である。また、この S パラメータから Z パラメータに変換する式を次式(5.2)から式(5.5)に示す。

$$Z_{11} = \frac{(1 + S_{11}) \times (1 - S_{22}) + S_{12} \times S_{21}}{(1 - S_{11}) \times (1 - S_{22}) - S_{12} \times S_{21}} \quad (5.2)$$

$$Z_{12} = \frac{2 \times S_{12}}{(1 - S_{11}) \times (1 - S_{22}) - S_{12} \times S_{21}} \quad (5.3)$$

$$Z_{21} = \frac{2 \times S_{21}}{(1 - S_{11}) \times (1 - S_{22}) - S_{12} \times S_{21}} \quad (5.4)$$

$$Z_{22} = \frac{(1 + S_{22}) \times (1 - S_{11}) + S_{12} \times S_{21}}{(1 - S_{11}) \times (1 - S_{22}) - S_{12} \times S_{21}} \quad (5.5)$$

上記の式から、Z パラメータより、 $L$ (インダクタンス)、 $Q$ (クオリティファクタ)および  $k$ (結合係数)を次式(5.6)から式(5.10)のように導くことができる。

$$L_1 = \frac{ImZ_{11}}{2\pi f} \quad (5.6)$$

$$L_2 = \frac{ImZ_{22}}{2\pi f} \quad (5.7)$$

$$Q_1 = \frac{ImZ_{11}}{ReZ_{11}} \quad (5.8)$$

$$Q_2 = \frac{ImZ_{22}}{ReZ_{22}} \quad (5.9)$$



---

$$k = \frac{ImZ_{12}}{\sqrt{ImZ_{11} \times ImZ_{22}}} \quad (5.10)$$

ここで、 $L_1$ はポート1のインダクタンスで、 $L_2$ はポート2のインダクタンスである。 $Q_1$ はポート1のクオリティファクタで、 $Q_2$ はポート2のクオリティファクタである。また、 $f$ は動作周波数である。さらに、前述したように  $Q$  値のシミュレーション結果を図 5.10 に示す。この結果から解るように、VCO 側から見た時のインピーダンスは、インダクタンスからの漏れの影響を受け  $Q$  値が小さくなり、その結果  $ImZ$  の値も小さくなる。その結果、超低電圧回路の 400 mV の電源電圧の動作においては、提案された回路の 2.4 GHz の  $Q$  値の方が高くなり、その結果 VCO における性能の重要な要素である位相雑音も良好な値となる。

このように、超低電圧電源の RF 回路設計の観点から、高周波回路では MOSFET トランジスタの代わりにトランスを用いることにより、トランジスタ強反転領域動作に必要な  $V_{th}$  約 0.6 V のバイアス電圧を低減することが可能である。さらに、65 nm プロセスの高周波回路に低  $V_{th}$  MOSFET トランジスタを採用し、電源電圧を約 0.4 V 低下させることができる。加えて、差動高周波回路の MOSFET トランジスタでは、強反転領域の代わりに弱反転領域を用いてバイアス電圧条件を低減することができる。また、準方向ボディバイアスを設定することにより、MOSFET トランジスタの  $V_{th}$  電圧を低減することができる。トランジスタのバイアス電圧と順方向のボディバイアスにより、電源電圧を約 0.4 V 低下させる効果がある。この結果、トランス結合器技術、MOSFET トランジスタのフォワードボディバイアス、弱反転バイアス設定、および低  $V_{th}$  トランジスタ動作は、従来の高周波回路と比較して約 1.4 V の電源電圧を低減が可能となった。

## 5.4 低周波周波数分周回路およびプログラム分周回路

前述した高周波 1/2 周波数分周回路の後、さらに 1/2 の周波数分周回路と $\Delta\Sigma$ -PLL のフラクショナル N 回路が接続される。このシステムブロック図を図 5.13 に示す。フラクショナル N 回路は、消費電力の観点から単純な一次 $\Delta\Sigma$ 回路の構成を採用した。採用したプログラマブル分周回路のタイミングチャート図 5.14 に示す。

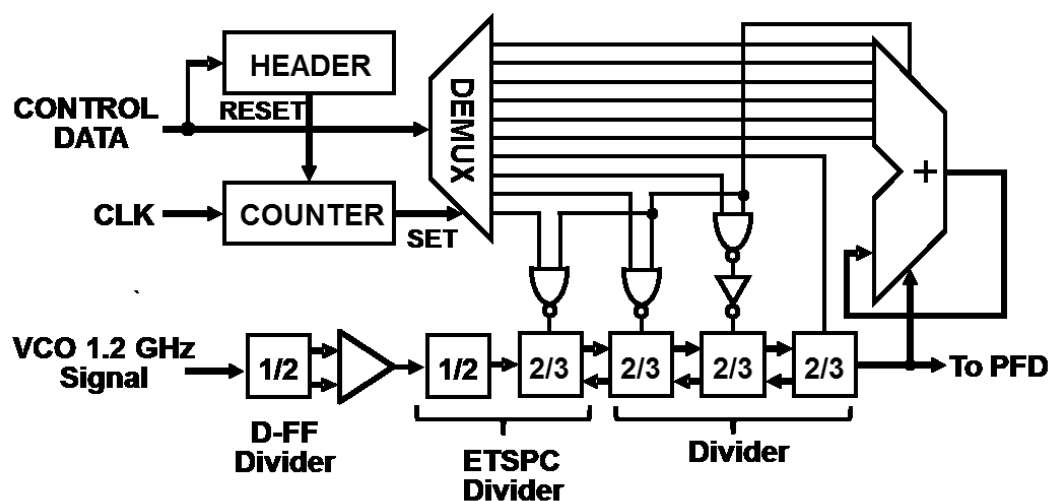


図 5.13 1 次の $\Delta\Sigma$  フラクショナル N 回路.

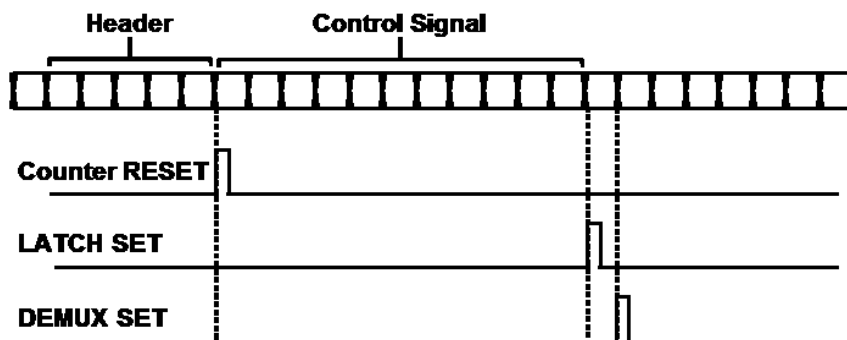


図 5.14 プログラム分周器のタイミングチャート.

さらに、2.4 GHz 信号を 1/2 に分周した 1.2 GHz の出力信号をさらに低周波の 1/2 の周波数にするために、従来のトポロジーの D-FF 回路構成を選択した。この D-FF 回路は、400 mV の電源電圧において 1.2 GHz の高周波数ではあるが標準の D-FF 回路でシミュレーションにて動作することを確認した。

この D-FF 回路の低周波出力信号に対して、低い動作電流でさらに周波数を分割する回路として、差動シングル変換回路を持つ ETSPC 周波数分周回路を実装した[127][128](図 5.15)。すべての MOSFET トランジスタは、低電圧動作のために順方向バイアスに設定した。論理回路用に差動シングル変換回路は、電源と GND 間で rail-to-rail の振幅信号で動作する。

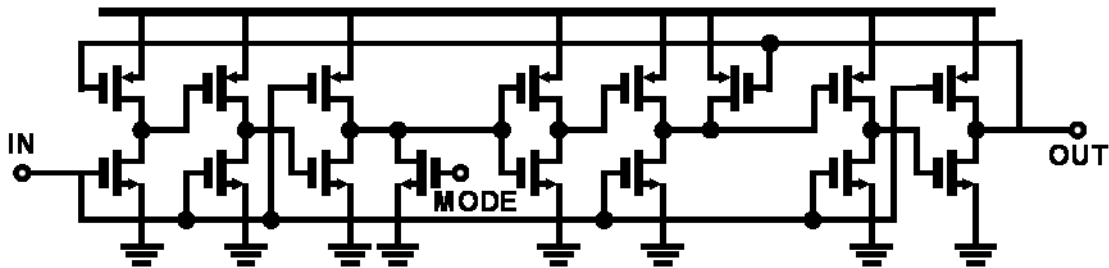


図 5.15 ETSPC 周波数分周回路.

フラクショナル N のプログラマブルロジック回路に利用されているすべての論理セルは、超低電圧電源のための MOSFET トランジスタのタサイズを、第 2 章で述べた手法で最適化した。さらに、セル構造の回路トポロジーをトランジスタが 3 段以下のスタックとなるように構成した。

## 5.5 位相周波数比較回路とチャージポンプ回路

これまでに、様々な低電圧の位相周波数比較回路[129]やチャージポンプ回路[130][131]が研究されてきた。この先行研究結果をもとに、400 mV の超低電圧電源で動作させるために最適化をした位相周波数比較回路を図 5.16 に、チャージポンプ回路を図 5.17 に示す。超低電源電圧で回路を動作させる場合、スタッキングされるトランジスタ段数を小さくする必要がある。さらに、低  $V_{th}$  の MOSFET トランジスタの  $V_{th}$  をさらに低減するために、位相周波数比較回路およびチャージポンプ回路のトランジスタボディバイアスはすべて順方向バイアスに設定した。チャージポンプ回路の M1 と M2 のトランジスタは、ループフィルタの充放電の機能を提供する。このチャージポンプの制御電圧  $V_{UP}$  および  $V_{DOWN}$  は、電源電圧または GND に到達しようとするときに、出力信号の上下との間に電流の不一致が増加する。この問題を解決するために、トランジスタ M3 及び M4 の負のフィードバックにより、上下の電流ミスマッチを補正抑制する。図 5.18 は、位相周波数比較回路のシミュレーション結果を示す。

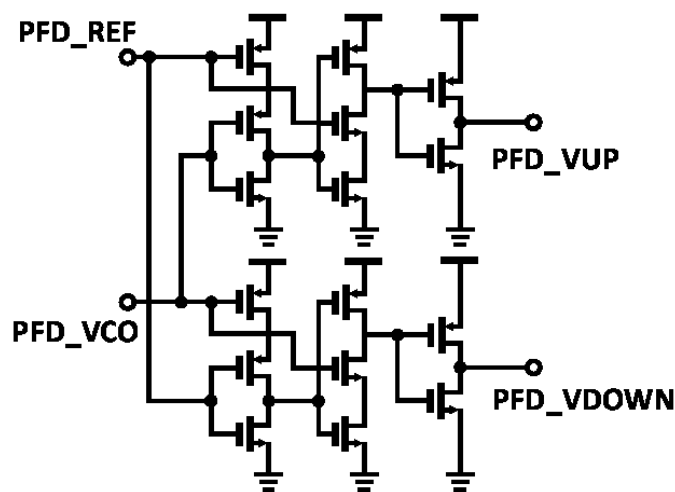


図 5.16 位相周波数比較回路.

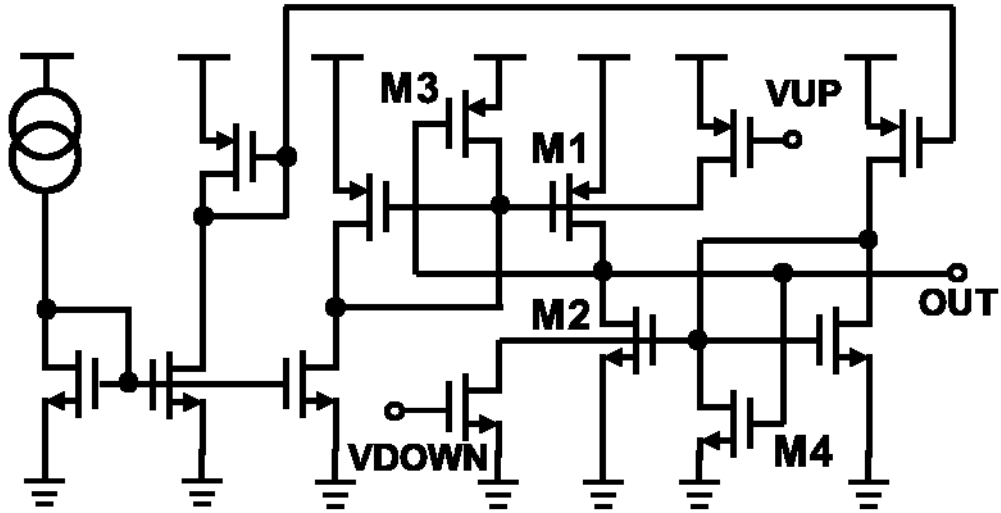


図 5.17 チャージポンプ回路.

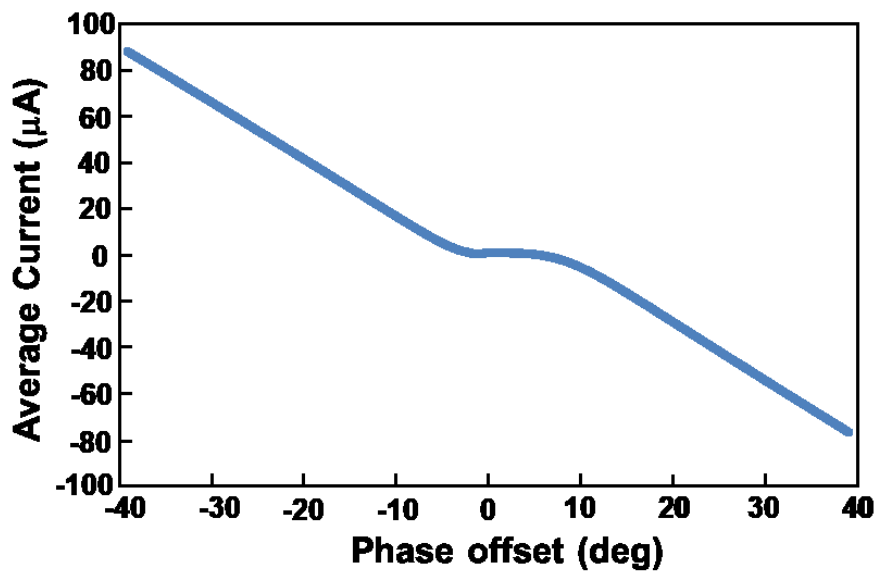


図 5.18 位相周波数比較回路特性.

## 5.6 FSK 変調回路

BLE システムでは、変調帯域幅の制限はベースバンドのガウスフィルタによって実現されている。このインパルス応答は、次式(5.11)で表すことができる。

$$h(t) = BT \sqrt{\frac{2\pi}{\ln 2}} \exp \left\{ - \left[ \frac{2}{\ln 2} (\pi \cdot BT \cdot t)^2 \right] \right\}; \quad BT > 0. \quad (5.11)$$

ここで、 $BT$  はフィルタの帯域幅を設定するためのスケーリングファクタである。BLE のスケーリングファクタは 0.5 となっている。FSK デジタル変調信号を VCO 共振器の電圧制御の可変容量へ注入することで、2.4 GHz 帯の変調信号を実現することができる。

FSK 変調回路ブロックは、電圧利得制御増幅回路(GCA)とガウシアンフィルタ回路で構成され、この回路を図 5.19 および図 5.20 に示す。RF の出力信号における変調精度は、送信機システムにおいて重要な仕様である。そこで、安定した信号を得るため電圧利得制御増幅回路の利得制御は、外部からの電圧で設定し、RF 出力信号で FSK 信号帯域幅を調整する。電圧利得制御増幅回路は、十分に大きな開ループ利得を有するオペアンプ回路から構成されており、PVT 変動に対して高い安定した固定利得の設定ができる。これにより、FSK 変調の出力信号も PVT 変動によるばらつきに対して安定な動作を保証した。電圧利得制御増幅回路とガウスフィルタ回路は、400 mV の超低電圧電源で動作させるために、第 2 章で述べたように、文献[132]の最適化手法に従って、トランジスタの  $L/W$  のサイズを最適化した演算増幅器回路を使用して実装されている。さらに、トランジスタボディバイアスは順方向バイアス電圧で印加され回路の低電圧化を図った。この電圧利得制御増幅回路の利得ダイナミックレンジは VCO の変調感度を考慮して、FSK の変調の調整幅を 46 dB とした。

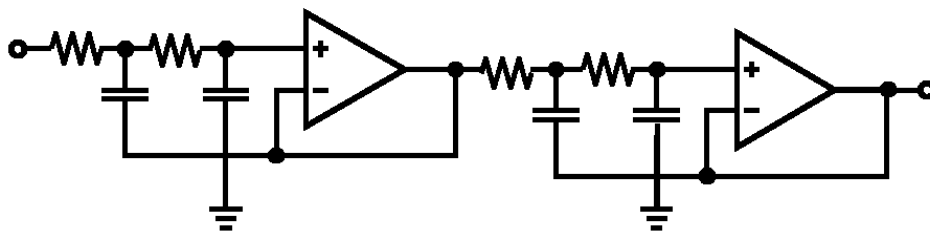


図 5.19 ガウスフィルタ回路.

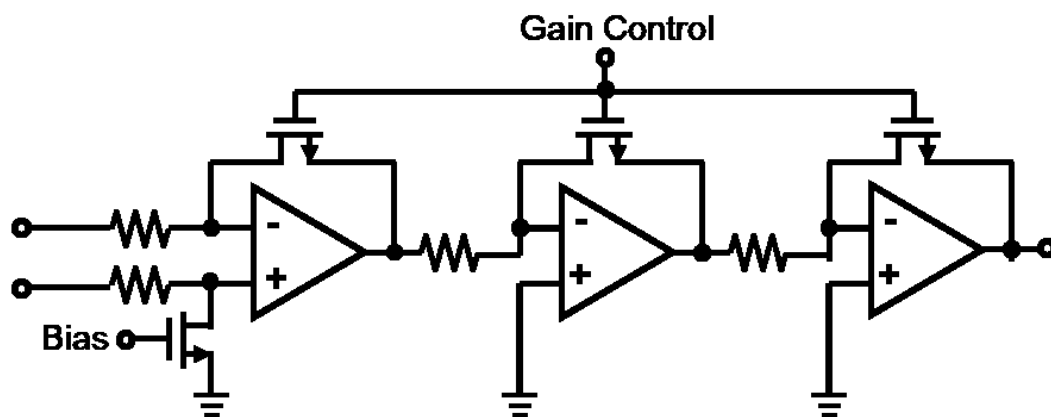


图 5.20 电压利得制御回路.

## 5.7 Power Amplifier Buffer 回路

アンテナ端の出力信号として、 $50\ \Omega$ の入力インピーダンスを持つ外付けのパワーアンプ(PA)回路をドライブするために、低電圧電源の PA バッファ回路[133] - [135]を実装した。送信出力変調信号は、FSK 変調であるため、振幅情報を持たないコンスタントエンベロープ信号である。このような信号を増幅する場合、一般的な PA のように高い線形性を必要としないため、効率が高い飽和モードで動作する E 級増幅回路が消費電力の観点から良い。本 E 級増幅回路の PA バッファ回路は、負荷や出力マッチング回路のインダクタをオンチップで実装をした。この回路図を図 5.21 に示す。この PA バッファ回路の出力波形特性のシミュレーション結果を図 5.22 に示す。E 級増幅器回路として電流及び電圧が飽和モードでスイッチング動作していることが解る。

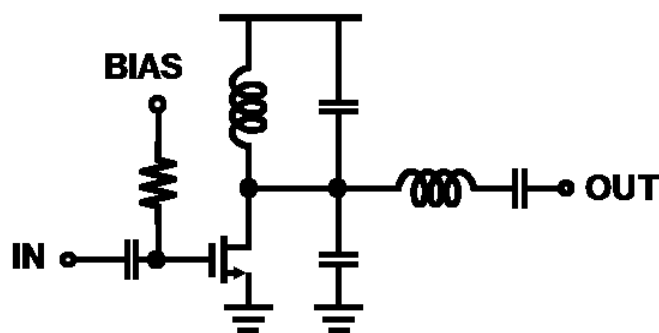


図 5.21 E 級増幅 PA バッファ回路.

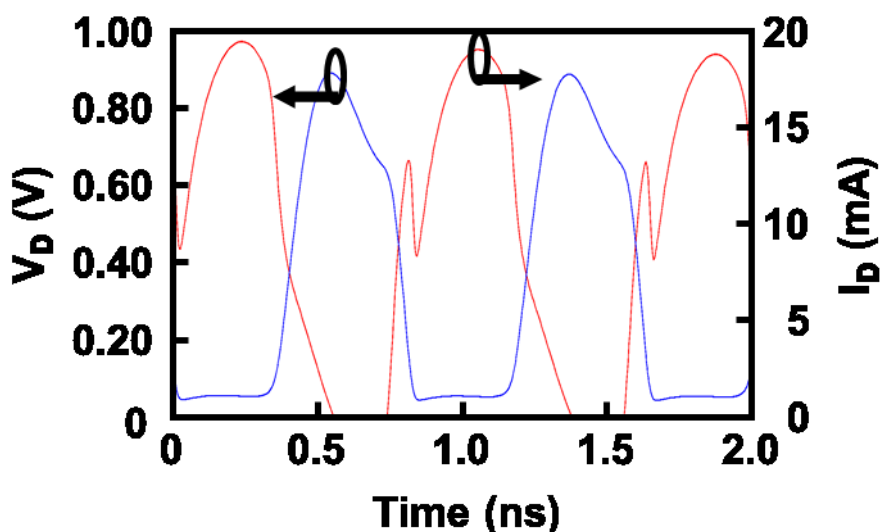


図 5.22 E 級増幅 PA バッファ回路の出力シミュレーション結果.



## 5.8 測定結果

これまで述べてきた、エネルギーハーベスト電源電圧の 400 mV で動作する FSK 送信システムの各回路を実際にテストチップとして設計・試作し、期待通りの性能が得られるかを検証する。試作したプロセスは、TSMC 65 nm の標準 CMOS 技術を用いた。この試作したチップ写真を図 5.23 に示す。

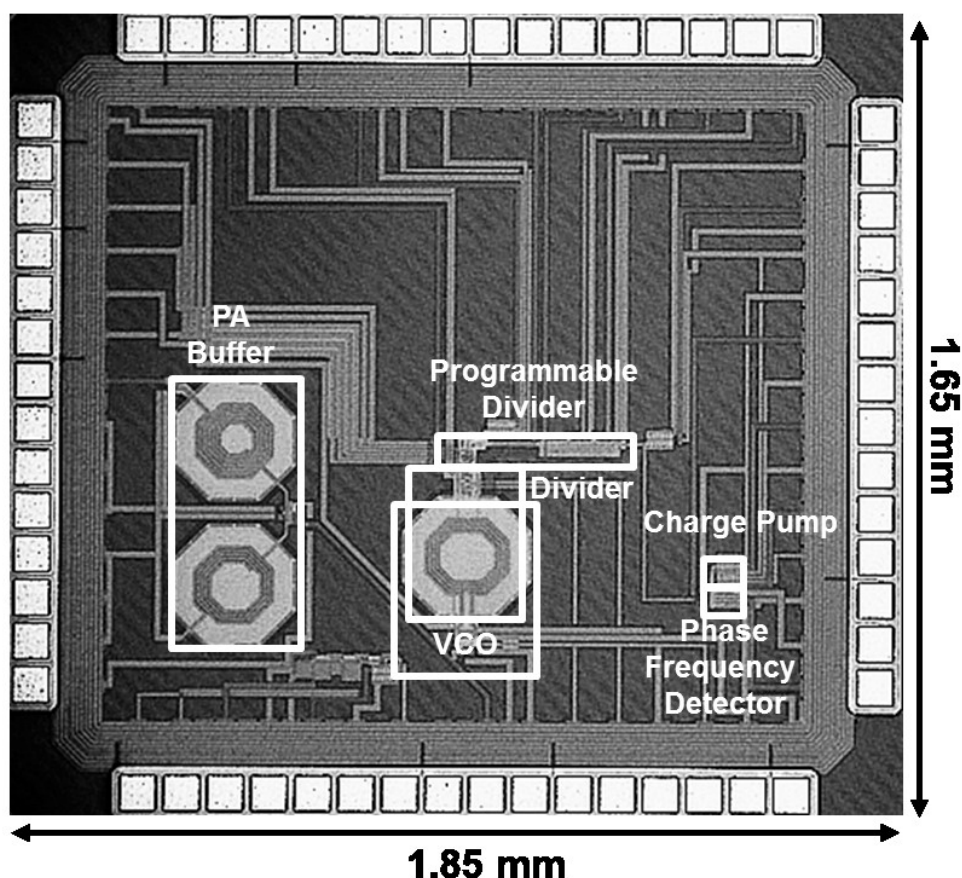


図 5.23 超低電圧電源の FSK 無線送信システムの試作チップ写真。

試作した LSI チップの VCO 回路の性能を検証するために、2.4 GHz の周波数発振での位相雑音の測定結果を図 5.24 に、VCO 回路の周波数可変特性を図 5.25 に示す。図 5.24 によると、2.4 GHz 発振時のキャリア周波数から 1 MHz 離れた位相ノイズは  $-101$  dBc/Hz となる。この値は、表 5.1 で示した仕様を満足する。しかしながら、一般の LC 共振器の VCO と比較して性能が劣化している。この原因として、3.2.2 節で説明したように、電源からの位相の雑音を除去する電流源回路が挿入されていない点である。さらに、キャパ

シタバンクの切り替えスイッチの MOSFET トランジスタの残存しているオン抵抗が共振器全体の  $Q$  を劣化させ位相雑音が悪くなっていると考えられる。

図 5.25 の各線のプロットは、周波数分周器側に設置した共振器の 2 ビットキャパシタバンクをそれぞれ[1,1]から[0,0]に切り替えた性能を示す。[1,1]から[0,0]までの全ビットを変化させたときの総周波数可変帯域幅は 450 MHz を達成した。BLE の仕様による周波数可変範囲は、2.4 GHz 帯で 82.5 MHz の可変幅が必要である。VCO の可変範囲の仕様は、PVT のばらつき変動を考慮して 350MHz としている。シミュレーション結果は、この要件を満たしている。試作した VCO 回路の周波数可変範囲の測定結果は、450 MHz となり、PVT のばらつき変化を補償するのに十分な 20%以上のマージンを持っている。この結果、当初低電圧時の VCO の周波数可変範囲が狭いという課題を解決している。

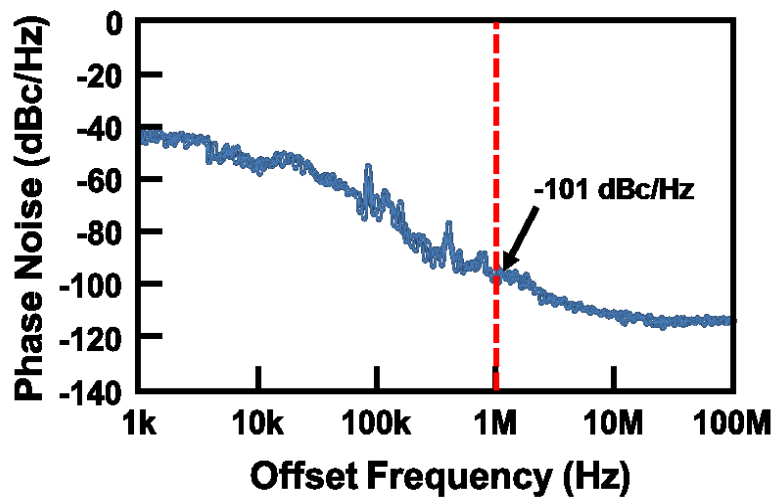


図 5.24 VCO 回路の位相雑音特性.

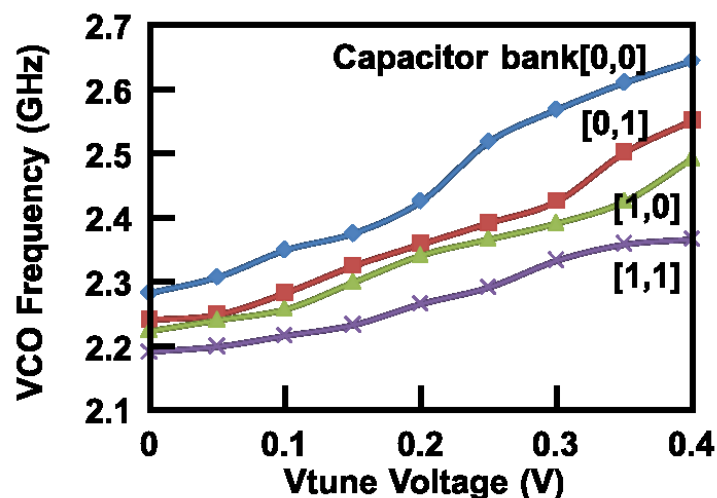


図 5.25 VCO の周波数可変特性.

---

図 5.26 に、2.4 GHz の入力信号における高周波 1/2 周波数分周回路の入出力信号波形を示す。1 次のフラクショナル N のプログラム出力信号波形を図 5.27 に示す。図 5.28 に、32 MHz の基準クロックとプログラム分周回路出力の 2 つの信号を比較した PLL の周波數位相比較回路の入出力信号を示す。

2.4 GHz の VCO の出力信号波形を周波数分周回路で 1/2 の周波数に変換されている。低電圧の影響で出力の波形が歪んでいるが、これは測定の問題であることが解った。この高周波 1/2 周波数分周回路の波形を観測するために、信号経路の途中から分離してバッファ回路を経由して出力させた。このインバータ回路によるバッファ回路が 50 Ω のケーブルを十分駆動できないために発生している。実際に、図 5.27 に示すように、このケーブルを外した状態では、後段の 1/4 の周波数分周波形及び最終出力のプログラム分周回路の波形は、全く問題ないことが解る。

BLE 規格の FSK 変調信号入力における PLL 閉ループ変調システムの PA バッファ回路出力端子端における周波数スペクトル波形を図 5.29 に示す。

図 5.29 で解るように、PA バッファの出力レベルは約 -6 dBm であり、これは外付けの PA コンポーネント入力レベルとなる。この外付けの PA の電力利得が 10 dB の仕様のもので採用することで、最終的にシステム出力レベルは BLE の class 2 の仕様を満たすことになる。さらに、PA バッファ端子の出力スペクトルは、中心周波数から 1.5 MHz の離調においてのレベルは -44 dBc となり、BLE スペクトルマスクの仕様 -20 dBc を満たしている。表 5.3 に試作した LSI の各ブロックの測定消費電流を示す。FSK 無線送信システムの高周波 LSI の総消費電流は 400 mV の電源電圧で 5.2 mA となり、消費電力は 2.1 mW である。

試作回路の測定結果と同じ BLE 規格の送信機の先行研究[136] [137]との性能比較を表 5.2 に示す。この試作した BLE の送信システムの LSI チップは、400 mV の最も低い電源電圧での動作を実現した。

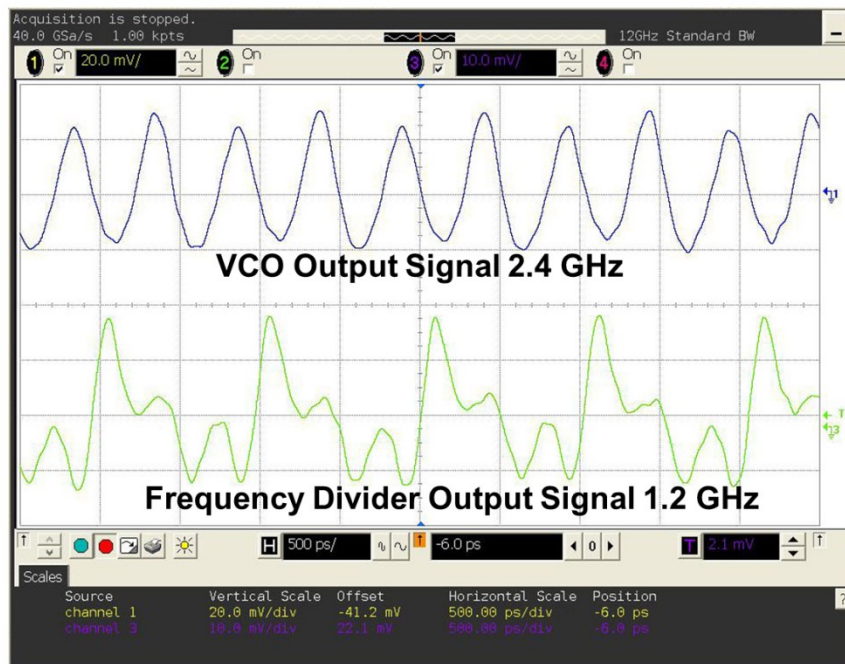


図 5.26 2.4 GHz 高周波 1/2 周波数分周回路の入出力信号波形.

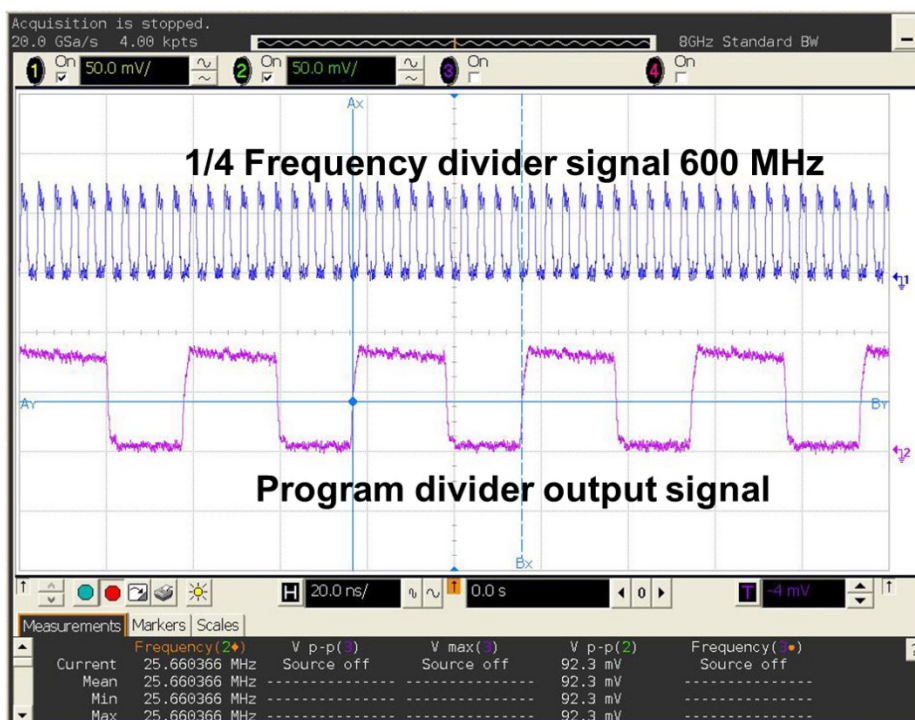


図 5.27 プログラム分周回路の入出力信号波形.

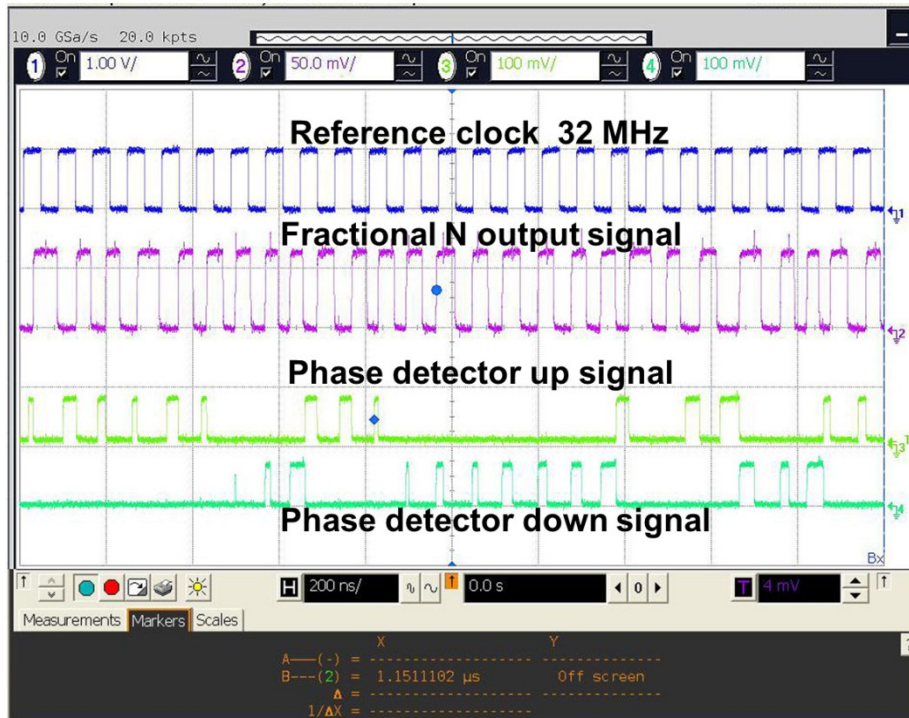


図 5.28 位相周波数回路入出力信号波形.

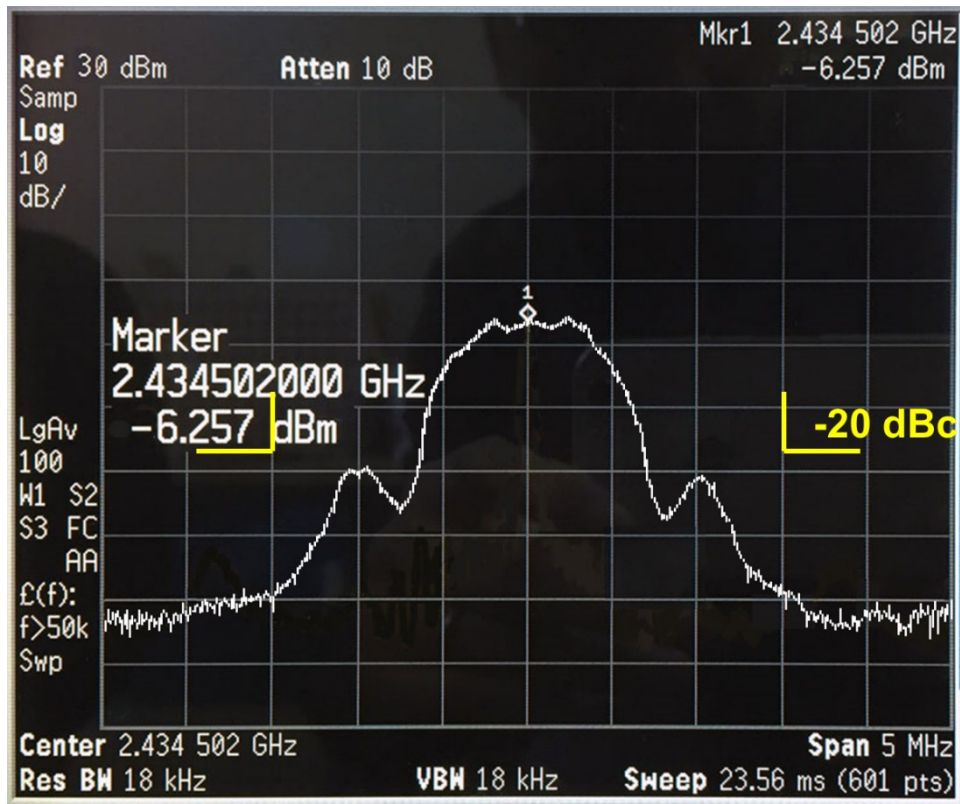


図 5.29 送信出力スペクトラム波形.

表 5.2 Bluetooth Low Energy の送信性能の比較.

	This work	[136] ISSC'13	[137] ISSC'12
Technology	65 nm	90 nm	130 nm
Supply voltage (V)	0.4	1.2	1
Power consumption (mW)	2.1	5.4	8.9
Output power (dBm)	-6	0	0
Target wireless system	BLE	BLE	BLE

表 5.3 各回路ブロックの消費電流.

Block	Current (mA)
VCO	0.95
1/2 frequency divider (2.4GHz)	0.7
1/2 frequency divider (1.2GHz)	0.09
Program divider	0.65
Phase frequency divider	0.05
Charge pump	0.2
Gaussian filter and CGA	0.54
PA buffer amplifier	2.02
Total	5.2



---

## 5.9 おわりに

本第5章では、エネルギーハーベスト電源の 400 mV 電圧で動作する、BLE 規格をターゲットにした FSK 無線送信システムの回路を実現した。送信の変調方式には、低消費電力に最適な閉ループ直接変調システムを提案した。この超低電圧電源では、従来の VCO の可変容量の制御電圧の変化比が取れなく、しかもキャパシタバンク回路の MOSFET トランジスタが弱反転領域で十分なオン・オフ動作が行われなかったといった課題があった。そのため、高周波回路の VCO 回路の発振周波数の周波数可変幅を十分に広く確保することができなかった。そこで、新規にトランス結合器を用いた VCO 回路と高周波 1/2 周波数分周回路を提案した。この2つの回路を接続するための従来必要であったバッファ回路をトランス結合器に置き換えることにより、高周波 1/2 周波数分周回路のトポロジーが電源と GND 間に MOSFET トランジスタを 1 個だけ配置する回路方式を提案した。MOSFET トランジスタの多段スタックによる高周波性能の劣化に対応した低電圧動作を証明した。通常、周波数可変範囲を広くするために、VCO 回路の共振回路と並列にキャパシタバンク回路を挿入し周波数切り替えを行う。しかし、キャパシタバンク回路に利用するゲートスイッチの MOSFET トランジスタが低い電源電圧のため切替わらないという課題もある。今回トランス結合器を利用して、共振器のキャパシタバンク回路をトランスの反対側の周波数分周回路側に接続した回路を提案した。この結果十分に MOSFET トランジスタのスイッチのオン・オフ動作が可能となり、VCO の位相ノイズの性能を劣化させることなく十分な周波数可変発振領域が確保できる回路を証明した。

最終的に無線送信システムの回路はエネルギーハーベスト電源 400 mV 電圧で動作可能な、2.4 GHz 帯の VCO 回路と 1/2 周波数分周回路の高周波回路を実現した。今回試作した FSK 変調の無線送信システムのチップをモバイル環境の無線センサーネットワークのセンサーノード端末システムに用いることで、エネルギーハーベストの起電力を直接利用した超低電圧電源・低消費電力の FSK 変調の無線送信機として永久動作を実現することが可能となることを証明することができた。

試作した LSI は、65 nm の標準 CMOS プロセス技術で製造した。チップサイズは  $1.65 \times 1.85 \text{ mm}^2$  である。PA バッファ出力端子における出力レベルは -6 dBm となり、出力信号のスペクトルマスクの測定結果は -50 dB@2 MHz である。VCO 回路の位相雑音は -101 dBc/Hz で、周波数可変範囲の測定結果は 450 MHz を実現した。送信無線システム

における PLL ロックアップ時間は 80  $\mu\text{sec}$  となる。送信システム全体の消費電力は 400 mV の電源電圧で 2.1 mW の消費電力である。

最後に、本章においてのまとめを表 5.4 に示す。

表 5.4 5章における課題・アイデア・結果のまとめ.

課題	<p>先行研究センサーネットワーク無線システムの送信機は、1V の電源動作で消費電流も8.9 mAと大きい。さらに、VCOの周波数可変範囲が狭い。</p>
アイデア	<p>受信回路の新規にトランスフォーマを用いたVCO回路と周波数分周回路を提案した。さらに、VCOの周波数可変範囲を広くするためにVCOの周波数切り替え用のキャパシタバンクを周波数分周回路側にトランスフォーマを用いて配置し、十分な容量可変比が取れるようにする。</p>
結果	<ul style="list-style-type: none"> <li>• 400 mVの超低電圧電源で動作する、2.1 mWの低消費電力の2.4 GHz帯のFSK変調センサーネットワーク送信システムを実現。</li> <li>• PAバッファ出力端子における出力レベルは-6 dBmとなり、出力信号のスペクトルマスクの測定結果は-50 dB@2 MHzである。</li> <li>• VCO回路の位相雑音は-101 dBc/Hzで、周波数可変範囲の測定結果は450 MHzを実現した。</li> <li>• エネルギーハーベスト技術の超低電圧電源(400 mV)で2.4 GHz帯の送信機が可能なことを証明した。</li> </ul>



---

## 参考文献 (第 5 章)

- [117] L. Zhicheng, *et al.*, “A 0.5V 1.15mW 0.2mm<sup>2</sup> Sub-GHz ZigBee Receiver Supporting 433/860/915/960MHz ISM Bands With Zero External Components,” *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, pp.164-165, Feb. 2014.
- [118] B. W. Cook, *et al.*, “An Ultra-Low Power 2.4GHz RF Transceiver for Wireless Sensor Network in 0.13mm CMOS with 400mV Supply and an Integrated Passive RX Front-End,” *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, pp.1460-1469, Feb. 2006.
- [119] E. Vittoz, *et al.*, “CMOS Analog Integrated Circuits Based on Weak Inversion Operation,” *IEEE Journal of Solid-State Circuits*, vol. SC-12, no. 6, pp. 224–231, Jun. 1977.
- [120] B.G. Perumana, *et al.*, “A Low-Power Fully Monolithic Subthreshold CMOS Receiver With Integrated LO Generation for 2.4 GHz Wireless PAN Applications,” *IEEE Journal of Solid-State Circuits*, vol. 43, no. 10, pp.2229-2238, Oct 2008.
- [121] B. H. Calhoun, *et al.*, “Ultra-Dynamic Voltage Scaling (UDVS) Using Sub-Threshold Operation and Local Voltage Dithering,” *IEEE Journal of Solid-State Circuits*, vol. 41, no. 1, pp.238-245, Jan. 2006.
- [122] J. W. Lin, *et al.*, “A 0.18- $\mu$ m CMOS RF Transceiver With Self-Detection and Calibration Functions for Bluetooth V2.1 + EDR Applications,” *IEEE Trans. on Microwave Theory and Techniques*, vol. 58, no. 5 pp11367-1374, May 2010.
- [123] H. Ishikuro, *et al.*, “A Single-Chip CMOS Bluetooth Transceiver With 1.5MHz IF and Direct Modulation Transmitter,” *IEEE Int. Solid-State Circuits Conf. Dig Tech. Papers*, pp.94-480, Feb. 2003.
- [124] B. G. Perumana, *et al.*, “A Low-Power Fully Monolithic Subthreshold CMOS Receiver With Integrated LO Generation for 2.4GHz Wireless PAN Applications,” *IEEE Journal of Solid-State Circuits*, vol. 43, no. 10, pp.2229-2238, Oct. 2008.

- 
- [125] Yasunori Miyahara, *et al.*, "A 300 mV Sub-Threshold Region 2.4 GHz Voltage-Controlled Oscillator and Frequency Divider With Transformer Technique for Ultralow Power RF Applications," *Japanese Journal of Applied Physics*, Vol. 53, no. 4S, pp. 04EE01-1-04EE01-8, Feb. 2014.
- [126] T. Ghani, M. Armstrong, *et al.*, "A 90nm High Volume Manufacturing Logic Technology Featuring Novel 45nm Gate Length Strained Silicon CMOS Transistors," *IEEE Int. Electron Devices Meeting Technical Digest*, pp.978-980, 2003.
- [127] E. Roa, *et al.*, "A 50GHz 130 $\mu$ W Inductorless Prescaler in 45nm SOI CMOS Using ETSPC Logic," *IEEE Int. Symp. Circuits and Systems*, pp.1071-1074, 2012.
- [128] S. Navarro, *et al.*, "A 1.6-GHz Dual Modulus Prescaler Using the Extended True-Single-Phase-Clock CMOS Circuit Technique (E-TSPC)," *IEEE Journal of Solid-State Circuits*, vol. 34, no. 1, pp.97-102, 1999.
- [129] T. P. Kruti, *et al.*, "Low Power and Low Jitter Phase frequency Detector for Phase Lock Loop," *IEEE Int. Journal of Engineering Science and Technology*, vol. 3, no 7, pp.1998-2004, 2011.
- [130] Y. Hong; *et al.*, "A New High-Speed Low-Voltage Charge Pump for PLL Applications," *IEEE Int. ASIC Conf.*, pp.387-390, 2005.
- [131] H. Hsieh-Hung, *et al.*, "A 0.5-V 1.9-GHz Low-Power Phase-Locked Loop in 0.18- $\mu$ m CMOS," *IEEE Symp. VLSI circuits*, pp.164-165, Jun. 2007.
- [132] Fan Zhang, *et al.*, "Design of a 300-mV 2.4-GHz Receiver Using Transformer-Coupled Techniques," *IEEE Journal of Solid-State Circuit*, Vol. 48, no 12, pp.3190-3205, Sep. 2013.
- [133] T. Johansson and J. Fritzin, "A Review of Watt-Level CMOS RF Power Amplifiers," *IEEE Trans. Microwave Theory and Techniques*, vol. 62, no 1, pp.111-124, Jan. 2014.
- [134] A. Mazzanti, *at al.*, "Analysis of Reliability and Power Efficiency in Cascode Class-E PAs," *IEEE Journal of Solid-State Circuits*, vol. 41, no 5, pp.1222–1229, May 2006.
- [135] D. B. Santana, *at al.*, "A Power Controlled RF CMOS Class-E PA With 43% Maximum

---

Efficiency in 2.2 GHz” *IEEE Int. Conf. Electronics, Circuits, and Systems*, pp.97–100, Dec. 2015.

- [136] Y. Liu, *et al.*, “A 1.9nJ/b 2.4GHz Multistandard (Bluetooth Low Energy / ZigBee / IEEE802.15.6) Transceiver for Personal/Body-Area Networks,” *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, pp.446-447, Feb. 2013.
- [137] A. Wong, M. Dawkins, *et al.*, “A 1V 5mA Multimode IEEE 802.15.6/Bluetooth Low-Energy WBAN Transceiver for Biotelemetry Applications” *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, pp.300-302, Feb. 2012.

---

## 第6章 結論

---

## 6.1 まとめ

本研究では、自律型センサーネットワークを実現する超低消費電力無線システムの研究を行った。特に自律型センサーネットワークとして、エネルギーハーベスト技術を使った超低電圧電源で動作する低消費電力の無線システムと回路を実現した。

無線部の回路の低電圧化の実現手法として、2.4 GHz の高周波回路での動作を実現するために、サブスレッショルド領域や弱反転領域で動作する MOSFET トランジスタの種類、バイアス条件、トランジスタサイズの最適化手法を提案した。

さらに、従来高周波回路のトランジスタを多段にスタックしたトポロジを、回路の一部にトランス結合器を利用して、トランジスタを 1 段構成で動作するトポロジを提案し、400 mV 以下の電源電圧で動作する高周波回路を実現した。

このように、エネルギーハーベストの超低電圧電源で動作する高周波回路センサー無線システムとして、FSK 変調の通信方式に最適な受信システムと送信システムを提案し、実際の集積回路を試作して評価を行い、超低電圧の電源で実際に通信動作することを確認した。

これまで、サブスレッショルド領域での MOSFET トランジスタの動作領域は、主に低周波のアナログベースバンドでの商品化が進んでいたが、今回の超低電圧電源で動作する高周波回路技術を用いて、低消費電力の受信システムと送信システムを提案することができた。

以上本研究では、エネルギーハーベストの電源を利用した無線回路システムのセンサー端末では、することにより半永久動作を実現することができるようになった。

---

## 6.2 本研究で得られた結論

第1章では、本研究の背景と無線センサーネットワークシステムで半永久動作を実現するために、エネルギーハーベスト技術を使った超低電圧電源で動作する無線システムの従来研究と課題を述べた。

第2章では、無線センサーネットワークの高周波回路に用いる MOSFET トランジスタを超低電圧動作させるため、弱反転領域のトランジスタの最適化手法を述べた。

自律型センサーネットワークで利用する無線システムで用いる回路の高周波半導体デバイスの性能を最大限に引き出すために、プロセス技術をもとにトランジスタの種類の選択・サイズ・動作領域・バイアス条件に関して検討を行った。最適化のパラメータとして低消費電力を目的とし、トランジスタデバイス単体の利得及び高周波の動作をターゲットに、トランジスタの利得は  $g_m/I_d$  高周波での動作は  $f_T/f_0$  を FOM として検討した。さらに用いるトランジスタの形状は、 $L/W$  比が同じとなるようにしてゲート長を変化させて  $V_{th}$ 、 $V_{gs}$  が低い電圧となるように選択を行った。

この結果、TSMC の 65 nm 技術の CMN65GP1p9m プロセスでは、low- $V_{th}$  NMOSFET トランジスタデバイスを選択することにした。このデバイスは他のデバイス PMOSFET や通常の NMOSFET トランジスタよりも低電圧領域での性能は高い。

また、ゲート長は短くすることで高周波特性が向上するが、 $V_{th}$  が高くなり低電圧動作には向かないといったデメリットも生じるのが解った。そこで、ゲート長の選択として 100 nm から 250 nm の長さを利用し、トランジスタの固有利得が最大となるようにした。さらにこのサイズのゲート長を用いた時、トランジスタの動作領域として反転係数 IC を用いて検討した。その結果弱反転領域のバイアス条件で用いるのが最適であることが判明した。

さらに、このトランジスタのバルク・ソース接合電圧を順方向にバイアスすることによって約 10% (35 mV) の  $V_{th}$  を低下させることで、低電圧電源時の性能を向上させることができるようになった。

このようにして、自律型センサーネットワークで用いる無線システムで利用するトランジスタデバイスの種類の選択、サイズの最適化、バイアス条件及び動作領域を確定することができた。これ以降、本検討の手法を利用して無線システムの回路設計を進めることにした。

---

しかしながら、現状の BSIM4 のモデルパラメータは、高周波動作においてサブスレッショルド領域や弱反転領域の性能を十分にモデル化している訳でない。現在開発過程である BSIM6 の登場までは、設計に余裕を持ってシミュレーション解析をすることが望ましい。

第 3 章では、エネルギーハーベスト電源を利用できる超低電圧無線送受信システムで必要な、局部発振部の 2.4 GHz 帯 1/2 周波数分周器と電圧制御発信回路を 300 mV で動作する回路トポロジーを提案した。

提案の Transfer Coupled Complementary VCO (TCC-VCO) と高周波 1/2 周波数分周器は、これまで報告された中で最低電圧の 300 mV 以下の電源電圧で動作する。実際に動作を確認するためにチップを設計し検証した。チップは標準の 65 nm CMOS プロセスを用いた。超低電源電圧の下では MOSFET トランジスタは、高周波性能が悪いサブスレッショルド領域で動作する。提案した TCC-VCO と高周波 1/2 周波数分周器のトポロジー回路は、電源と GND 間で多段のトランジスタのスタックを避けるために、トランスを用いた技術を使用した。

提案の TCC-VCO におけるトランスフィードバック技術は、VCO の帰還利得を増加させ低電圧時の発振強度を上げることができる。TCC-VCO の発振周波数は、280 mV 電源電圧で 2.4 GHz 発振が可能であり、全電力消費量は 202  $\mu$ W となった。また、位相雑音性能は、-96 dBc/Hz@1 MHz である。

提案の高周波 1/2 周波数分周器は、2 段のマスタースレーブ D 型フリップフロップ(D-FF)で構成した。D-FF 入力回路は、入力段の差動 MOSFET トランジスタの代わりにトランスを用いて構成した。高周波 1/2 分周器の最小動作電源電圧は 300 mV で、フリーラン周波数は 1.085 GHz でその時の消費電力は 34  $\mu$ W である。

この研究結果は、高周波 GHz 帯の RF 主要コンポーネントが超低電圧の電源電圧 300 mV で動作可能な性能を証明している。これら技術を無線センサーネットワークに適用して無線システムに利用することにより、エネルギーハーベストから得られる電源電圧を直接利用して動作させることが可能となる。これは、無線センサーネットワークシステムに於いて、半永久動作の自律型のセンサーネットワークを実現するコアデバイスのキー技術となる。

第 4 章では、エネルギーハーベスト電源を利用できる超低電圧無線受信システムの 2.4 GHz 帯周波数シフトキーイング変調の受信無線システムを提案した。

---

超低電源電圧動作の高周波 RF 受信機は、従来の高周波回路を用いると多くの課題が存在し動作しない。今回、試作した 2.4 GHz 帯無線受信機は、これまで報告されてきた受信機の中で最低の電源電圧 300 mV での動作が可能である。試作したチップは標準の 65 nm CMOS プロセスを用いて設計、評価をし性能を確認した。トランス結合技術を使用し RF フロントエンド回路全体にトランジスタ多段に積層する回路トポロジーを回避することにより、信号動作を確保するための電圧ヘッドルームを最大化することが可能であることを証明した。

RF 回路や IF 増幅器にトランジスタのバルク・ソース接合の電位をフォワードバイアスにすることで閾値電圧  $V_{th}$  を減少させ、トランジスタのバイアスを中反転領域で動作することにより、消費電力と  $f_t$  との最適化をはかった。ベースバンドでは周波数変換フィルタは、OTA を必要とせずにチャネル選択が可能であることを証明した。

300 mV の超低電源電圧にもかかわらず、試作した受信機は PRNS によって変調された 2.4 GHz の BFSK 信号入力において、ビットエラーレートが  $10e^{-3}$  の時に、-91.5 dBm の入力感度を達成した。この受信機の試作は、300 mV の超低電源電圧下で GHz 帯の受信機が可能であることを証明し、エネルギーハーベットの電源ソースを直接利用できる動作する集積回路の実現可能性の機会の創出を証明することができた。

第 5 章では、エネルギーハーベットの電源を利用した超低電圧無線受信システムの 2.4 GHz 帯の閉ループ位相同期型周波数シフトキーイング変調送信無線システムを提案した。

400 mV の超低電源電圧で動作する Bluetooth Low Energy 規格をターゲットにした FSK 無線送信システムを実現した。送信の変調方式には低消費電力に最適な閉ループ直接変調システムを採用した。この超低電圧電源では、従来の VCO の共振器の可変容量の制御電圧の変化比が取れなく、しかも周波数切り替えのキャパシタバンク回路の MOSFET トランジスタが弱反転領域で十分なオン・オフ動作が行われない。そのため、高周波回路の VCO 回路の発振周波数を変化させる周波数可変幅を十分に広く確保することが課題となっていた。そこで、新規にトランス結合器を用いた VCO 回路と 1/2 周波数分周回路を提案した。この 2 つの回路を接続するための従来必要であったバッファ回路をトランス結合器に置き換える。これにより 1/2 周波数分周回路のトポロジーが電源と GND 間に MOSFET トランジスタを 1 個だけ配置する回路が可能となり、トランジスタの多段スタックによる高周波性能の劣化に対応した低電圧動作を証明した。さらに、通常 VCO 回路の共振回路と並列にキャパシタバンク回路による周波数切り替えを行い周波数可変幅の



---

拡大を図る。今回、従来の VCO にあったキャパシタバンク回路をトランス結合器を介して周波数分周回路側に移動して接続し、MOSFET トランジスタのスイッチのオン・オフ動作が可能となり、VCO の位相ノイズなどの性能を劣化させることなく十分な周波数可幅を確保できる回路を証明した。

最終的にこの回路は 400 mV の超低電圧の電源電圧の動作で、2.4 GHz 帯の VCO 回路と 1/2 周波数分周回路の高周波回路を実現した。今回試作した FSK 無線システム LSI をモバイル環境の無線センサーネットワークのセンサーノード端末システムに用いることで、エネルギーハーベットの起電力をそのまま利用した超低電圧電源・低消費電力の FSK 無線送信機として永久動作を実現することが可能となることを証明することができた。

試作した LSI は、65 nm の標準 CMOS プロセス技術で製造した。チップサイズは  $1.65 \times 1.85 \text{ mm}^2$  である。PA バッファ出力端子における出力レベルは -6 dBm となり、出力信号のスペクトルマスクの測定結果は -50 dB@2 MHz である。VCO 回路の位相雑音は -101 dBc/Hz を実現し、周波数可変範囲の測定結果は 450 MHz を実現した。送信無線システムにおける PLL ロックアップ時間は 80  $\mu\text{sec}$  となる。LSI 全体の消費電力は 400 mV の電源電圧で 2.1 mW である。

---

## 6.3 今後の展望

IoT の普及により、エネルギーハーベスタの電源を利用した様々なセンサーネットワークの無線システムなどが今後加速して増えていくと予想されている。また、エネルギーハーベスタの技術も進化して、さらに大きな起電力を持つことができるようになる。しかしながら、無線システムの低消費電力化はセンサーネットワークの用途に限られたものではなく他の用途にも必要な技術である。

この低消費電力のアプローチとして、従来は新しいシステムアーキテクチャの開発や高周波回路の提案がなされてきた。しかし、低消費電力の切り口では電源電圧の低電圧化というアプローチによって低消費電力を実現する研究が、今後も増えていくと考えられる。特に、従来 CMOS のサブスレッショルド領域での集積化回路の動作は、時計用途など限られた製品でしか実現されてこなかった。

今回、2.4 GHz という高周波でサブスレッショルドや弱反転領域で動作する高周波回路を実現できた意味は大きい。今後、このような高周波の低電圧回路を実現するには、まだまだ課題が残されている。例えば、設計環境としての高周波領域での CMOS トランジスタのモデルングは大きなテーマで、今後リリースされる BISIM6 以降でサポートされることが進んでおり動向を注視する必要がある。

また、CMOS の製造技術としてこのサブスレッショルド領域のばらつきが非常に大きい。将来的に、この領域のトランジスタの製造の安定化も課題として残る。

残された課題は、次の研究テーマとして研究開発が行われていくことが必要であろう。

---

## 謝辞

本研究は、慶應義塾大学大学院理工学研究科総合デザイン工学専攻スマートデバイス・システム工学専修黒田研究室において、黒田忠広教授のご指導の下に行われたものです。本研究を進めるにあたり、指導教官である慶應義塾大学理工学部教授黒田忠広博士には、ご多忙に関わらず、熱心なご指導、ご鞭撻と的確なご助言を賜りました。これまで研究開発に長年携わってきましたが、研究者としての集大成としてこのような研究の機会を与えていただき、本論文が完成に至ったのは、黒田忠広教授のご助力の賜物であり、ここに深く感謝の意を表します。

本論文に対して多くの有益なご指導、ご助言を頂いた慶應義塾大学理工学部教授笹瀬巖博士、同教授眞田幸俊博士、同教授石黒仁揮博士、に心から深く感謝申し上げます。特に、石黒仁揮博士には、研究の過程において低電圧の回路技術や無線システムなど多くの技術的なご助言を頂きました。重ねてお礼申し上げます。

慶應義塾大学理工学部電子工学科黒田研究室の特任教授田口眞男博士には、CMOS回路、システム評価やシステム設計など分野において多くの技術的なアドバイスを頂きました。また、同研究員四手井綱章氏には、より良い環境で研究できるように多くのサポートをして頂きました。さらに元慶應義塾大学理工学部電子工学科助教竹康宏博士には様々なアドバイスを頂きました。この場を借りて、深く感謝申し上げます。

また、このような後期博士課程への勉学の機会を与えていただきました、元株式会社パナソニック小杉裕昭氏に心から感謝するとともに、継続して研究をするにあたってご理解を頂きました株式会社 KDDI 宇佐見正士博士に深く感謝いたします。

そして、慶應義塾大学理工学部電子工学科黒田研究室の先輩、同輩、後輩、研究員及び秘書の方々には、公私にわたって細やかな配慮を頂き、研究生活を支えてくれたことに深くお礼申し上げます。特に、長年一緒に研究活動を行って頂きました石川敬祐氏には多大なるご協力を頂き大変感謝しております。同様に、黒田研究室小菅敦丈博士、アハマドムザファル氏、内山育海氏、岡田晃氏、小原 佑喜氏には、研究に関して多くサポートご助力を頂きました心より感謝いたします。

最後に、本論文をまとめるにあたり、博士課程に進学することに理解し献身的な援助、協力をしてくれた家族に感謝の意を表します。

---

2017年6月7日

宮原 泰徳

---

## 著者論文目録

### 原著論文

- [1] Zhang F., Miyahara Y. and Otis B., “Design of a 300-mV 2.4-GHz Receiver Using Transformer-Coupled Techniques,” *IEEE Journal of Solid-State Circuits*, Vol. 48, pp. 3190-3205, (2013).
- [2] Miyahara Y., Ishikawa K. and Kuroda T., “A 300 mV sub-threshold region 2.4 GHz voltage-controlled oscillator and frequency divider with transformer technique for ultralow power RF applications,” *JSAP Japanese Journal of Applied Physics*, Vol. 53, pp. 04EE01-1-04EE01-8, (2014).
- [3] Miyahara Y., Ishikawa K. and Kuroda T., “A 400-mV 2.4-GHz frequency-shift keying transmitter using a capacitor switch across a transformer for a wide tuning range voltage-controlled oscillator,” *JSAP Japanese Journal of Applied Physics*, Vol. 56, pp. 04CF04-1-04CF04-8, (2017).

### その他の論文

- [1] Hasegawa K., Nagata M., Miyahara Y., Kobayashi T., Arakawa H. and Moroyama K., “Fully integrated FM demodulator circuits for satellite TV receivers,” *IEEE Transactions on Consumer Electronics*, Vol. CE-33, pp77-84, (1987).
- [2] Miyahara Y. and Nagata M., “An Improved Bipolar Transistor Model Parameter Generation Technique for High-Speed LSI Design Considering Geometry-Dependent Parasitic Elements,” *IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences*, Vol. E76-A, pp.183-192, (1993).
- [3] Yoshitomi T, Kimijama H., Ishizuka S., Miyahara Y., Ogura T., Morifuji E., Morimoto T., Sasaki H., Katsumata Y. and Iwai H., “A study of self-aligned doped channel MOSFET structure for low power and low 1/f noise operation,” *IEEE Solid-State Electronics*, Vol. 43, pp1219-1224, (1999).

### 原著論文関連する国際会議

- [1] Zhang F.,\* Wang K., Koo J., Miyahara Y. and Otis B., “A 1.6 mW 300 mV-Supply 2.4 GHz Receiver with -94 dBm Sensitivity for Energy-Harvesting Applications,” *IEEE International Solid-State Circuits Conference, Dig. Tech. Papers*, (ISSCC 2013, San Francisco, USA). pp. 456-457, (2013).
- [2] Miyahara Y.,\* Ishikawa K. and Kuroda T., “A Sub-threshold Region Operating Ultra-low Power

---

2.4 GHz VCO and Frequency Divider,” *JSAP International Conference on Solid State Devices and Materials Extended Abstracts*, (SSDM 2013, Fukuoka, JAPAN), pp. 896-897, (2013).

- [3] Miyahara Y.,\* Ishikawa K. and Kuroda T., “A 400-mV Bluetooth Low-Energy Transmitter Using a Capacitor Switch across a Transformer for achieving a Wide Tuning Range Voltage-Controlled Oscillator,” *JSAP International Conference on Solid State Devices and Materials Extended Abstracts*, (SSDM 2016, Tsukuba, JAPAN), pp. 461-462, (2016).

#### その他の国際会議

- [1] Miyahara Y.,\* Anzai S. and Morita M., “FM demodulator & I/Q phase detector 1 chip IC for digital-analog satellite broadcasting receivers,” *IEEE International Conference Consumer Electronics*, (Chicago USA), pp.74-75. (1996).
- [2] Miyahara Y.,\* Oumi Y. and Moriyama S., “Design Methodology for Analog High Frequency ICs,” *ACM 33rd Annual Conference on Design Automation*, (Las Vegas USA), (1996).
- [3] Yoshitomi A.,\* Kimijima H., Ishizuka S., Miyahara Y., Ohguro T., Morifuji E., Morimoto T., Momose H., Katsumata Y. and Iwai H., "A study of self-align doped channel structure for low power and low 1/f noise operation", *IEEE VLSI Technology Symposium*, Digest of Technical Papers, (Hawaii USA), pp.98-99, (1998).
- [4] Momose H.,\* Kimijima H., Ishizuka S., Miyahara Y., Ohguro T., Yoshitomi T., Morifuji E., Nakamura S., Morimoto T., Katsumata Y. and Iwai H., "A study of flicker noise in n- and p-MOSFETs with ultra-thin gate oxide in the direct-tunneling regime," *IEEE Electron Devices Meeting*, 1998. IEDM '98 Technical Digest, (USA), pp.923-926, (1998).
- [5] Miyahara Y.,\* Kawaguchi S., Shimizu S., Itoh N. and Kato K., “A single chip RF-CMOS front end LSI for GSM handy phone,” *IEEE International Conference Consumer Electronics*, Dig. Tech. Papers, (ICCE 1999), (Los Angeles, USA), pp. 320-321, (1999).
- [6] Yasunaga T.,\* Hirano S., Maeda R., Hiraoka Y., Andou T. and Miyahara Y., “A fully integrated PLL frequency synthesizer LSI for mobile communication system,” *IEEE Radio Frequency Integrated Circuits (RFIC 2001) Symposium*, Digest of Papers, (USA), pp.65-68, (2001).
- [7] Xuejin W.,\* McCracken S., Dengi A., Takinami K., Tsukizawa T. and Miyahara Y., “A Novel Parasitic-Aware Synthesis and Verification Flow for RFIC Design,” *IEEE Microwave Conference*, (2006. 36th European), pp.664-667, (2006).
- [8] Nakatani T.,\* Miyahara Y. and Ogawa K., “A Simple Method for Designing the IM3 Phase of a

---

Current Feedback Amplifier for GSM-UMTS Multi-stage RFICs with High Linearity,” *IEEE European Conference Wireless Technology*, pp.253-256, (2006).

## その他

- [1] 招待講演 Miyahara Y.,\* Invite Key Note Speech, “Next-generation Wireless Technologies Trends for Ultra Low Energy,” *IEEE International Symposium on Low Power Electronics and Design*, Digest of Technical Papers, (ISLPED, Fukuoka Japan), pp.345, (2011).
- [2] 受賞 1998年 公益社団法人 地方発明表彰「衛星放送受信機のチップセットの開発」
- [3] 受賞 2012年 ACADEMIC ACHIEVEMENT AWARD 青山学院大学大学院国際マネジメント研究科
- [4] 受賞 1986年 株式会社東芝 ソフトウェア開発最優秀賞
- [5] 受賞 1997年 株式会社東芝 発明優秀賞
- [6] 受賞 2002年 パナソニック株式会社 技術シンポジウム 銀賞
- [7] 受賞 2007年 パナソニック株式会社 技術シンポジウム 銅賞