

学位論文 博士（工学）

多段積層メモリチップ間  
誘導結合インタフェース

2014年3月

慶應義塾大学大学院理工学研究科

齊藤 美都子

## 本論文の構成と内容

近年の電子機器の発展に伴い、小型・大容量・低消費電力 SSD が求められている。従来、SSD は半導体メモリの微細化により、小型・大容量化を実現してきた。しかし、微細化には限界があり、SSD の小型・大容量化のためには、集積された半導体メモリチップ数を増加しなければならないものの、その枚数は制限されていた。従来の技術では、メモリアクセスには有線であるボンディングワイヤを利用しており、配線出来るワイヤ数には限界があることから、集積するメモリチップの枚数は制限されてきた。そこで本研究では、小型・大容量・低消費電力 SSD の実現を目指し、誘導結合通信を応用した無線のインタフェース、電力削減技術、面積削減技術等を用いて、128 枚メモリチップ積層用誘導結合インタフェースの開発を目的とした。

第 1 章、本研究の背景と従来の研究を概説した。

第 2 章では、まず誘導結合インタフェースの基本となる誘導結合リピータを考案、作成した。次にこのリピータを用いて、チップを中継しながらデータを転送するリレー伝送について解説した。リレー伝送時に垂直方向の送信器からのクロストークを削減するために、送受信器間にシールドを配置する方法と距離をあける方法の 2 種類を提案した。これらの方法は 0.18  $\mu\text{m}$  CMOS プロセスを用いた試作チップによる実測で動作および性能を実証出来た。

第 3 章では、電力削減を目的とした非同期パルス送受信器を考案、作成した。送信データをパルス型に変換し、DC 電力を削減出来た。この方法は 0.18  $\mu\text{m}$  CMOS プロセスを用いた試作チップで十分な性能を実現出来た。従来の送信器と比較すると、送信電力を転送速度 1.6 Gbps の場合は 1/4 に、0.1 Mbps では 1/60 に削減出来た。

第 4 章では、面積削減のため、コイル配置方法を 2 つ考案した。第 1 は、コイルを周辺回路領域のデジタル自動配線内に埋め込める方法、第 2 はメモリコア上にコイルを配置する方法である。それぞれのデザインを解説した。0.18  $\mu\text{m}$  CMOS プロセスを用いた試作チップによるそのデザインの正当性を実証出来た。

第 5 章では、第 2 章から第 4 章で述べた技術を応用し、128 枚メモリチップ積層用誘導結合インタフェースを考案した。まずメモリチップを 128 枚積層した時に課題となる消費電力の大きさについて検討した。次にその消費電力を削減する技術を 2 つ考案した。第 1 は、通信距離を短くし、送信電力を削減する螺旋階段積層を考案した。第 2 は、リレー伝送の回数を減らし、メモリアクセスに使用するリピータ数を削減した。この方法を用いた結果、消費電力を 17% に削減出来た。

第 6 章に、結論として各章で得られた内容をまとめ、本研究の成果を要約した。

---

# 目次

目次	I
図目次	IV
表目次	VIII
<b>第 1 章 序論</b>	<b>1</b>
1.1 はじめに	2
1.2 背景	4
1.3 NAND フラッシュメモリインタフェース	8
1.4 積層チップ間通信技術	11
1.5 誘導結合インタフェース	13
1.6 本研究の目的	17
1.7 本論文の構成	19
<b>第 2 章 多段積層メモリチップ間誘導結合インタフェース</b>	<b>29</b>
2.1 はじめに	30
2.2 リレー伝送技術	31
2.2.1 誘導結合リピータ	31
2.2.2 リレー伝送経路	32
2.2.3 クロストーク回避技術	33
2.2.4 送受信器の指定	37
2.3 積法方式	38
2.3.1 反転積層実装 (2 コイル+シールドチャンネル)	38
2.3.2 階段積層実装 (2 コイル+シールドチャンネル)	39
2.3.3 反転積層実装 (3 コイルチャンネル)	39
2.3.4 階段積層実装 (3 コイルチャンネル)	40
2.3.5 積層方式の比較	41
2.4 誘導結合インタフェースメモリアクセス技術	42
2.4.1 チップ指定手順	42

---

2.5	誘導結合インタフェース回路	46
2.6	試作チップ評価	49
2.6.1	シールドの影響	50
2.6.2	3 コイル方式のクロストークの影響	51
2.6.3	リレー伝送	52
2.6.4	誘導結合インタフェースを用いたメモリアクセス	54
2.7	おわりに	55
<b>第 3 章</b>	<b>非同期パルス送信器</b>	<b>57</b>
3.1	はじめに	58
3.2	誘導結合非同期式パルス送信器	59
3.3	測定セットアップ	61
3.4	最適パルス幅	62
3.5	電力削減効果	64
3.6	誘導結合非同期パルス送受信器を使用したリレー伝送測定結果	65
3.7	おわりに	66
<b>第 4 章</b>	<b>デジタル領域 2 層コイルとメモリコア上 1 層コイル</b>	<b>68</b>
4.1	はじめに	69
4.2	デジタル領域 2 層コイル	70
4.2.1	デジタル領域 2 層コイルのコイルデザイン	70
4.2.2	試作チップ評価	76
4.3	メモリコア上 1 層コイル	79
4.3.1	メモリコア上 1 層コイルのコイルデザイン	79
4.3.2	設計方法	81
4.3.3	試作チップ評価	84
4.4	おわりに	88
<b>第 5 章</b>	<b>128 枚積層用誘導結合インタフェース</b>	<b>90</b>
5.1	はじめに	91
5.2	誘導結合リピータ数削減技術	92
5.3	メモリコアに流れる渦電流の影響	93
5.3.1	一様な導体に磁場が進入した時の減衰率	94

5.3.2	ワード線/ビット線の配線幅と磁場の減衰率の関係—理論式の導出	95
5.3.3	ワード線/ビット線の配線幅と磁場の減衰率の関係—試作チップ評価 .....	96
5.3.4	貫通メモリチップ枚数と磁場の減衰率の関係—理論式の導出	98
5.3.5	貫通メモリチップ枚数と磁場の減衰率の関係—試作チップ評価	99
5.4	貫通メモリチップ数の最適値	101
5.5	通信コイルとメモリ間の干渉	102
5.6	8チップおきのリレー伝送形成回路	104
5.7	多段積層用積層方式	106
5.7.1	螺旋階段積層	106
5.7.2	螺旋階段積層方式と階段積層方式の通信コイル間の結合強度	108
5.7.3	試作チップ評価	110
5.8	128枚メモリチップ積層用誘導結合インタフェースの性能評価	112
5.9	おわりに	114
<b>第6章</b>	<b>結論</b>	<b>116</b>
6.1	まとめ	117
6.2	誘導結合メモリチップ間インタフェース (第2章)	118
6.3	非同期パルス送信器 (第3章)	118
6.4	デジタル領域2層コイルとメモリコア上1層コイル (第4章)	119
6.5	128枚メモリチップ積層用誘導結合インタフェース (第5章)	119
6.6	総括	119
6.7	今後の展望	120
	謝辞	121
	著者論文目録	122

---

# 目次

図 1.1 従来の solid-state drive (SSD).....	3
図 1.2 NAND フラッシュメモリチップの需要傾向[18].....	5
図 1.3 2014 年の NAND フラッシュメモリチップ市場シェア予想 [19].....	5
図 1.4 小型電子機器内部構造.....	7
図 1.5 ボンディングワイヤ数削減により大容量 SSD の小型化.....	7
図 1.6 NAND フラッシュメモリインタフェースの性能.....	8
図 1.7 積層チップ間通信技術.....	11
図 1.8 通信コイル間による誘導結合の模式図.....	13
図 1.9 理想的な結合を持つ誘導結合対の電気回路モデル.....	14
図 1.10 送受信回路とその動作波形図.....	15
図 1.11 誘導結合インタフェース応用アプリケーション例 (引用: [55,60-65]).	16
図 1.12 本研究の課題.....	18
図 1.13 本論文の構成.....	20
図 2.1 誘導結合リピータ.....	32
図 2.2 リレー伝送経路図 (左)アップリンク (右)ダウンリンク.....	33
図 2.3 シールドとコイルの間の距離と通信コイル間の結合定数の関係.....	34
図 2.4 通信コイル間の結合強度とコイル間距離/コイル直径( $X/D$ )の関係.....	35
図 2.5 リレー伝送経路図 (a) 2 コイル+シールド (b) 3 コイルチャンネル.....	36
図 2.6 送受信器選択回路.....	37
図 2.7 2 コイル+シールドチャンネル反転積層実装.....	38
図 2.8 2 コイル+シールドチャンネル階段積層実装.....	39
図 2.9 3 コイルチャンネル反転積層実装.....	40
図 2.10 3 コイルチャンネル階段積層実装.....	40

---

図 2.11 チップ設定手順.....	42
図 2.12 チップの状態設定の流れ.....	44
図 2.13 Memory01 にコントローラがアクセスする流れ.....	45
図 2.14 (a) 従来のインタフェースと(b) 誘導結合インタフェース.....	46
図 2.15 メモリ書き込みの動作波形図.....	48
図 2.16 メモリ読み込みの動作波形図.....	48
図 2.17 試作チップ.....	49
図 2.18 積層チップ写真.....	50
図 2.19 シールドの影響.....	51
図 2.20 3 コイルチャンネルにおけるクロストークの影響.....	52
図 2.21 リレー伝送波形図.....	53
図 2.22 メモリアクセスの測定結果.....	54
図 3.1 従来の非同期式送信器の問題.....	58
図 3.2 誘導結合非同期式パルス送信器.....	60
図 3.3 試作チップ積層写真.....	61
図 3.4 最適パルス幅.....	62
図 3.5 非同期パルス送受信器のアイパターン.....	63
図 3.6 従来の送信器と非同期パルス送信器の電力削減効果比較.....	64
図 3.7 リレー伝送波形図.....	65
図 4.1 コイル配置技術.....	69
図 4.2 デジタル領域 2 層コイルのレイアウトデザイン.....	70
図 4.3 ロジック配線を通る渦電流の影響.....	71
図 4.4 デジタル配線がコイルに与えるノイズの影響.....	72
図 4.5 デジタル配線からコイルへのノイズ対策.....	72

---

図 4.6 デジタル領域 2 層コイル価回路図 (a) 延長配線無し (b) 延長配線有り. .....	73
図 4.7 延長配線長さの最適値.....	76
図 4.8 チップ積層写真.....	77
図 4.9 受信器回路図.....	77
図 4.10 BER と送信電流の関係.....	78
図 4.11 ノイズ削減効果.....	78
図 4.12 メモリコア上 1 層コイル.....	79
図 4.13 通信コイルの (a)片方が引き出し線付 (b) 両方が引き出し線付の場 合の等価回路図.....	81
図 4.14 メモリコア上 1 層コイル設計例.....	83
図 4.15 シミュレーション条件.....	83
図 4.16 引き出し線長さによるトランスインピーダンスと周波数の関係.....	84
図 4.17 試作チップ積層写真.....	85
図 4.18 引き出し線長さと送信電力の関係、通信コイルの (a) 片方が (b) 両 方が引き出し線付.....	86
図 4.19 引き出し線長さと送信電力の関係.....	87
図 5.1 (左) 従来のリレー伝送、(右) 提案するリレー伝送技術.....	92
図 5.2 ワード線/ビット線による磁場の減衰.....	93
図 5.3 一様な導体に磁場が進入した時の磁場の減衰.....	95
図 5.4 (a) ワード線/ビット線図 (b)一様な導体とみなしたワード線/ビット線図. .....	96
図 5.5 積層試作チップ写真.....	97
図 5.6 ワード線・ビット線幅と磁場の減衰率の関係.....	98
図 5.7 磁場が複数のメモリチップを貫通したときの磁場の減衰.....	99



---

図 5.8 積層チップ写真.....	100
図 5.9 貫通メモリコア数と磁場の減衰率の関係.....	100
図 5.10 メモリコア上コイルを用いた 8 チップおきのリレー伝送による電力削減効果.....	101
図 5.11 メモリ-コイル間の容量結合削減方法.....	102
図 5.12 コイルをワード/ビット線と斜めに配置した時のノイズ削減効果....	103
図 5.13 8 チップおきのリレー伝送用ボンディングオプション.....	104
図 5.14 積層 100 枚目のメモリチップ内の起動する送受信器選択回路.....	105
図 5.15 螺旋階段積層.....	107
図 5.16 128 枚チップ積層写真.....	108
図 5.17 螺旋階段積層方式と階段積層方式の通信コイル間の結合強度比較.	109
図 5.18 試作チップ写真.....	111
図 5.19 測定結果.....	111
図 5.20 128 枚メモリチップ積層用誘導結合インタフェースの性能評価.....	113

---

# 表目次

表 1.1 信号の機能.....	9
表 1.2 CE_n、ALE、CLE、RE_n、WE_n による信号の種類 の判別.....	10
表 2.1 積層方式の比較.....	41
表 2.2 性能比較.....	55
表 3.1 性能評価.....	66
表 5.1 提案技術と従来技術の性能比較.....	114

---

# 第 1 章

## 序論

---

## 1.1 はじめに

電子機器の発展に伴い、それらの記憶装置の小型化、大容量化が求められている[1]。従来の hard-disk drive (HDD)[2]に代わる記憶装置として、solid-state drive (SSD)[3][4]が注目されている。

HDD は、記憶媒体として磁気ディスクを用いている。メモリデータのアクセスには機械的動作(ヘッドの移動、磁気ディスクの回転等)が必要である。一方、SSD は NAND フラッシュメモリチップを用いる。SSD はメモリデータの読み書きを電氣的に行うため、HDD のように機械的動作を必要としない。そのため、耐久性に優れ小型化が可能である。これらの特徴により、SSD は小型電子機器の記憶装置に広く利用されている。現在の SSD は、複数のパッケージから構成されている(図 1.1)。それぞれのパッケージには、複数の NAND フラッシュメモリチップが積層されている[5]。NAND フラッシュメモリチップ内蔵のパッケージを複数個使用することにより、大容量を実現している。近年の電子機器は、動画、音楽、デジタルデータ保存等といった保存データの拡大に伴い、SSD の更なる大容量化が求められている。しかし、その大容量化は技術的に限界が近づいている。従来は、NAND フラッシュメモリチップの半導体プロセスの微細化により、容量を向上してきた。しかしながら、半導体プロセスの微細化は鈍化しており、限界が近づいている[6]。この微細化の壁を乗り越えるためのプロセスとして 3 次元 NAND フラッシュメモリ[7]や多ビット記憶セル[8]の研究が進められている。しかし、3 次元 NAND フラッシュメモリを用いるコストの増大、多ビット記憶セルの信頼性の低さが問題となっている。パッケージ内の積層メモリチップ数を増加することが出来れば大容量化が可能となる。しかしながら、チップ積層枚数はワイヤ数の多さにより限定されている。なぜなら、積層メモリチップは有線のボンディングワイヤを利用しデータ転送する[9]ため、メモリチップ数と比例してワイヤ数も増加するからである。積層メモリチップ数の増加に伴うワイヤ数の膨大さが大容量 SSD 実現の障害となっている。そこで本研究では、大容量 SSD 実現のため無線インタフェースである誘導結合メモリチップ間インタフェース、またそのデータ通信方式を開発することを目的としている。

本章は序論である。研究の背景として小型、大容量 SSD 実現の障害を示し、ボンディングワイヤ数削減の重要性について検討する。次にボンディングワイヤの代用となるイ

---

ンタフェースに関する研究動向を概説し、本研究の位置づけを明らかにする。最後に本研究の目的を示す。

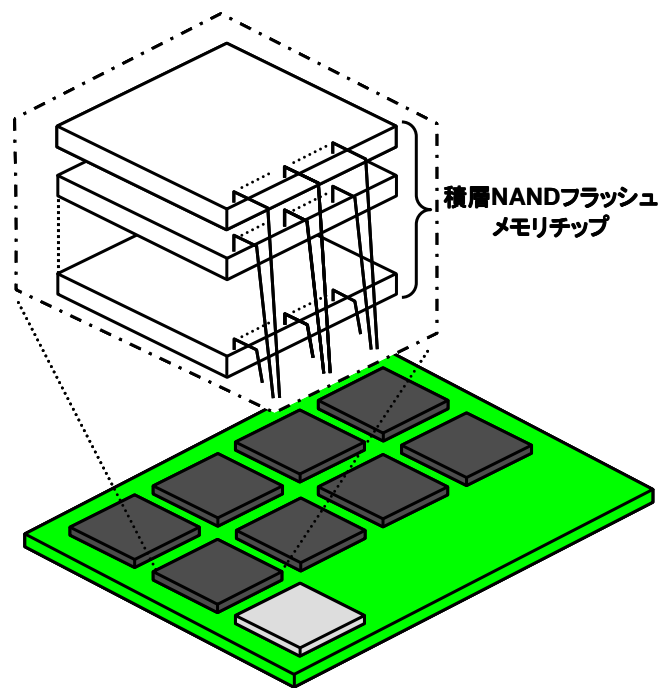


図 1.1 従来の solid-state drive (SSD).

---

## 1.2 背景

電子機器に利用されている記憶媒体の記憶量が高密度化している[10]。最初の記憶媒体は1725年に発明されたパンチカード[11]である。パンチカードは体積 $15\text{cm}^3$ 程の紙に穴を開けることで、穴の有無により120Byte(B)の情報を記録することが可能である(記憶密度: $120/15=8\text{B}/\text{cm}^3$ )。その後、1951年に磁気テープ[12]が発明され、主流な記憶媒体はパンチカードから磁気テープへと移行した。現在の最も容量の大きい磁気テープは5TB[13]と大容量である。しかしながら、その体積は $346\text{cm}^3$ もあるがため密度は $1.4\text{GB}/\text{cm}^3$ に留まっている。1980年には、光ディスク[14]が開発され、この記憶媒体は現在も広く使用されている。最大容量の光ディスクは2TB[15]であり、その密度は $15\text{GB}/\text{cm}^3$ である。1961年に開発された半導体メモリチップ[16]は、開発当初のその記憶容量は数10Bのみであったが、その体積の小ささが注目された。現在、半導体メモリチップの記憶容量は16GB[17]にまで成長し、その密度は $16\text{TB}/\text{cm}^3$ である。このように、記憶媒体は年々高密度化している。

不揮発性半導体メモリチップであるNANDフラッシュメモリチップを応用した記憶装置であるSSDの市場が近年急成長している(図1.2)。この要因はスマートフォンを代表とする高性能小型端末機の記憶装置に採用されたためである[18]。SSDは小型電子機器に適している。なぜなら、SSDはメモリアクセスを電氣的に行うため、低電力、高速であり、耐久性に優れているからである。これに加えて小型化が可能である。これらの特徴によりSSDは携帯電話、タブレット型端末機、ノートパソコンといった、小型端末機に幅広く採用されている[19]。2014年にはNANDフラッシュメモリチップ市場の68%は、小型端末機が占めると予想されている(図1.3)。

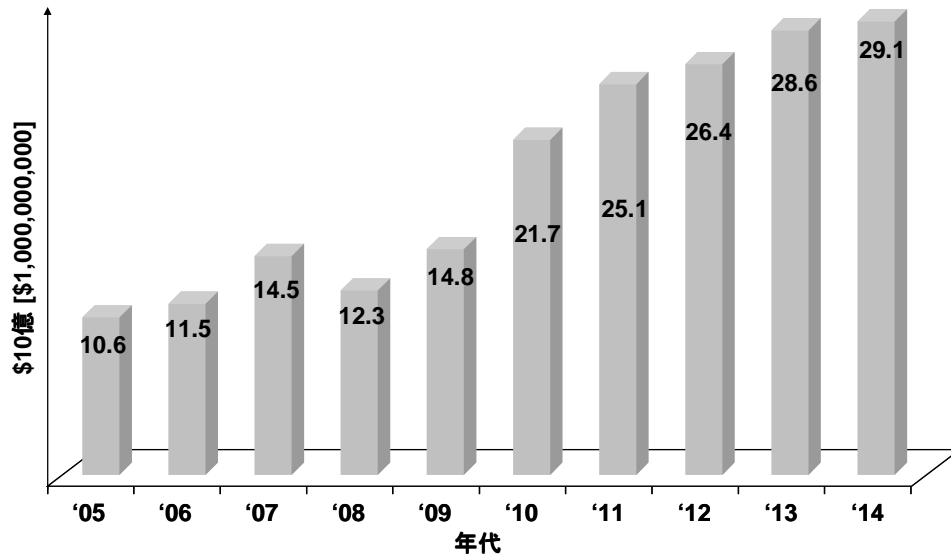


図 1.2 NAND フラッシュメモリチップの需要傾向[18].

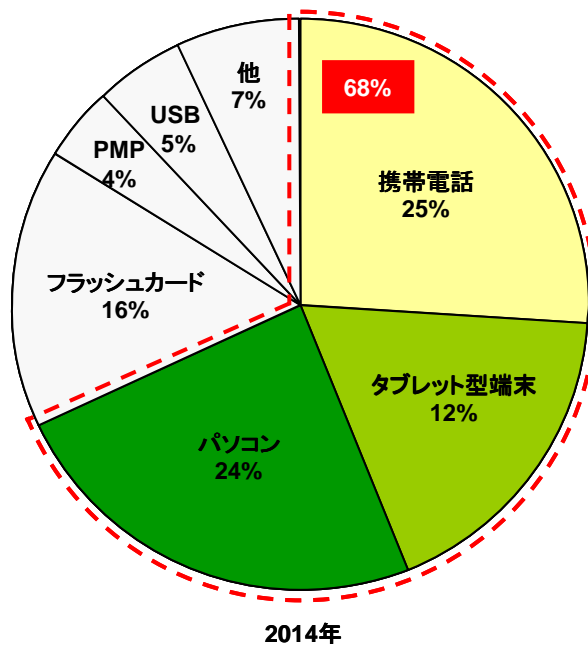


図 1.3 2014 年の NAND フラッシュメモリチップ市場シェア予想 [19].

---

図 1.4 に小型電子機器の内部構造を示す。図に示すように、可動式電子機器の内部ではバッテリーが面積の大部分を占有しており、記憶装置の面積は限られている。そのため、スマートフォン等のような小型・高性能な電子機器では、コントローラチップと積層メモリチップが 1 パッケージ内で積層されているような、小型な SSD が採用されることが多い。これに加えて動画、音楽、デジタルデータ保存等といった保存データの種類の拡大により、大容量 SSD が求められている。しかしながら、小型かつ大容量な SSD の実現は困難である。それには 2 つの理由がある。1 つ目は、半導体プロセス微細化による容量の向上が鈍化していることである。プロセスの微細化により、メモリチップ 1 枚に保存できる容量を増加することにより、大容量化が期待できるが、微細化は限界に近づいている。2 つ目の理由は、現在使用されているメモリチップの積層技術には、積層枚数に限界があることである。現在の SSD 内の積層 NAND フラッシュメモリチップは有線であるボンディングワイヤを使用し、データ通信を行う。メモリチップ 1 枚に対しておよそ 20 本のボンディングワイヤが必要である。そのため積層枚数が増加するにあたって、ボンディングワイヤ数がそれと比例して増加してしまう。この物理的障害により、現在の量産されている SSD において 1 パッケージ内の積層メモリチップ数は 16 枚に留まっている [20]。

現在の大容量 SSD はボード上に 8 個のメモリチップ内蔵のパッケージ使用し、その面積は約  $70\text{cm}^2$  である [21]。パッケージ内には 16 枚のメモリチップが積層されているため、合計  $128(16 \times 8)$  枚のメモリチップを使用している。もし、128 枚のメモリチップを 1 パッケージ(面積:  $2.9\text{cm}^2$ 、従来の  $1/25$ )内に積層することが可能となれば、小型かつ大容量 SSD が実現する(図 1.5)。そのためには、ボンディングワイヤ数を削減する必要がある。次節で、ボンディングワイヤを用いたデータ通信について概説し、ボンディングワイヤ数を削減する方法を述べる。



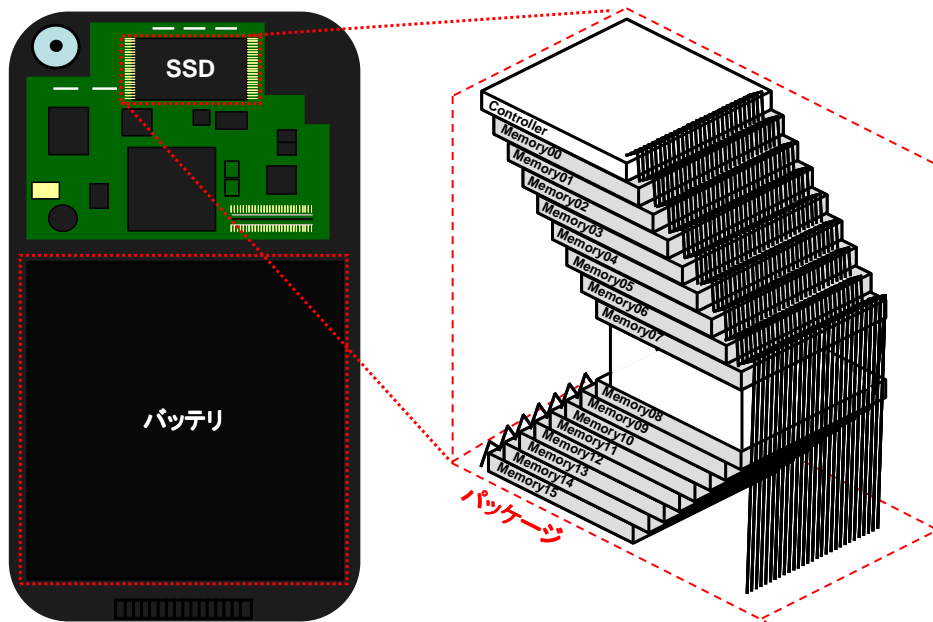


図 1.4 小型電子機器内部構造.

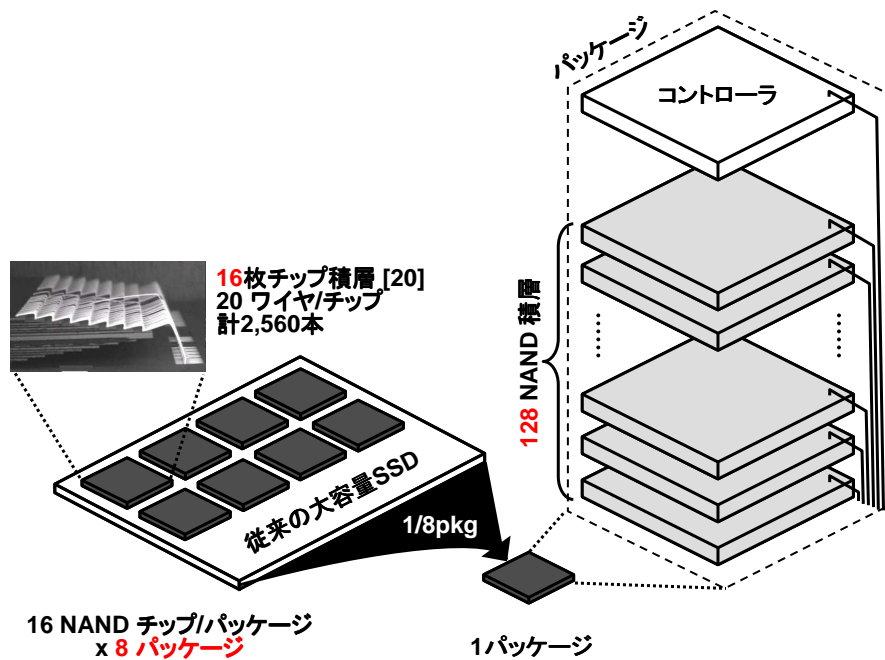


図 1.5 ボンディングワイヤ数削減により大容量 SSD の小型化.

### 1.3 NAND フラッシュメモリインタフェース

従来の NAND フラッシュメモリチップのインタフェースの標準は、Open NAND Flash Interface (ONFi)[22]により標準化されている。最新の仕様書である ONFi 3.2[23]では、NV-DDR2 をインタフェースとして採用している。NV-DDR2 の性能を図 1.6 に示す。ONFi 3.2 によると、1つの I/O Pad の寄生容量は 8.5pF である。使用するデータレートは 533Byte/s×8bit=4.3Gb/s である。I/O 部の電源は 1.8V である。そのため、寄生容量を 8.5pF とすると、I/O 一つの消費電力は、

$$\frac{1}{4} \times (8.5\text{pF}) \times (1.8\text{V})^2 = 6.9\text{pJ/bit}, \quad (1.1)$$

である。そのため、128 枚メモリチップを使用した SSD の通信電力は、

$$(6.9\text{pJ/bit/chip}) \times (64\text{chips}) \times (4.3\text{Gb/s}) = 1.8\text{W}, \quad (1.2)$$

である。

通信電力	<b>1.8 W</b> (消費エネルギー×データレート×チップ数)
消費エネルギー	<b>6.9 pJ/bit</b> ( $0.25CV^2$ , $C=8.5\text{pF}$ , $V=1.8\text{V}$ )
データレート	<b>4.3 Gb/s</b> ( $533\text{Mb/s} \times 8\text{bit}$ )
ワイヤ数	<b>20 本/chip</b> (制御線10本, データ線8本, 電源線2本)

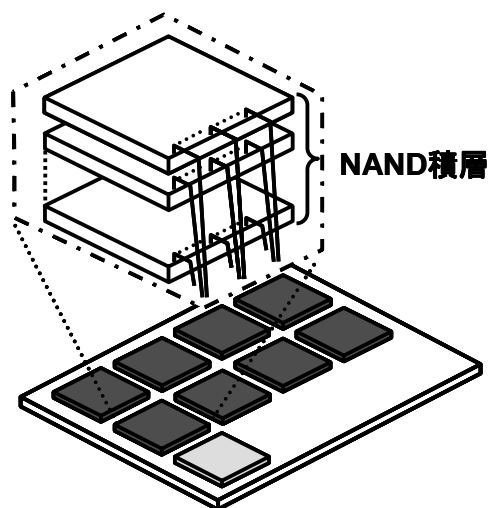


図 1.6 NAND フラッシュメモリインタフェースの性能.

NV-DDR2 は、データ線に 8 本(DQ0~7)、制御線に 10 本(ALE、CE\_n、CLE、DQS/DQS\_t、DQS\_c、RE\_n/RE\_t、RE\_c、WE\_n、WP\_N、R/B\_n)、電源線に 2 本(Vcc、Vss)、のボンディングワイヤを使用する。それぞれの機能を表 1.1 に示す。CE\_n によりチップを指定し、ALE、CLE、RE\_n/RE\_t、WE\_n により送られてくるデータがコマンド、アドレス、データかを判別する(表 1.2)。

表 1.1 信号の機能.

ALE	Address Latch Enable 送られている信号の種類(コマンド、アドレス、データ)の判別に使用
CE_n	Chip Enable 所望メモリチップの選択に使用
CLE	Command Latch Enable 送られている信号の種類(コマンド、アドレス、データ)の判別に使用
DQ[7:0]	Data Inputs/Outputs コマンド、アドレス、データの転送
DQS/DQS_t	Data Strobe データ・ストロブ信号
DQS_c	Data Strobe Complement データ・ストロブのコンプリメンタリ信号
RE_n/RE_t	Read Enable データを出力させるのに使用
RE_c	Read Enable Complement REのコンプリメンタリ信号
WE_n	Write Enable/Clock コマンド、アドレス、データを取り込むのに使用
WP_n	Write Protect 予期できない消去や書き込みからデータをプロテクト
R/B_n	Ready/Busy_n 動作中はBusy状態、完了するとReady状態に設定
Vcc	Power: メモリチップの電源供給
Vss	Ground: グラウンドの電源供給

表 1.2 CE\_n、ALE、CLE、RE\_n、WE\_n による信号の種類判別.

CE_n	ALE	CLE	RE_n (RE_t)	WE_n	信号の種類
1	X	X	X	X	スタンバイ
0	0	1	1	-	コマンド
0	1	0	1	-	アドレス
0	0	0	1	1	データ入力
0	0	0	-	1	データ出力

表 1.1 に示すように、現在の NAND フラッシュメモリチップは、1 チップに計 20 本のボンディングワイヤを使用する。1.2 節で述べたように、もし 128 枚のメモリチップを 1 パッケージ内に積層出来れば、小型かつ大容量 SSD が実現する。しかし、128 枚のメモリチップを使用する場合、計 2560(20×128)本ものボンディングワイヤが 1 パッケージ内となる。この物理的障害は、データ通信用のボンディングワイヤを積層チップ間通信技術に置き換えれば取り除くことが可能である。データ通信用のボンディングワイヤを省略することにより、1 パッケージ内に 128 枚の NAND フラッシュメモリ積層が可能となる。次節で、これまでボンディングワイヤの代用として提案されている積層チップ間通信技術について概説し、各技術の特徴をまとめる。

## 1.4 積層チップ間通信技術

積層チップ間通信技術として、現在まで4種類提案されている(図 1.7)。有線方式としてマイクロバンプ[24-28]や基板貫通電極(Through-Si Via: TSV)[29-33]、無線方式として容量結合[34][35]と誘導結合[36-38]がある。マイクロバンプや容量結合はシリコンチップを貫通して通信することが出来ないため、通信チップの上面を向き合わせた face-to-face 方式のみでの積層することができない。そのため2チップ間での通信のみに制限され多段積層には適さない。一方、TSVと誘導結合方式はチップを貫通して通信することが出来るため、チップ上面を同方向に積層する face-up 方式での積層可能である。そのため、3枚以上の積層チップ間での通信が可能であり、多段積層されたチップ間通信に適している。

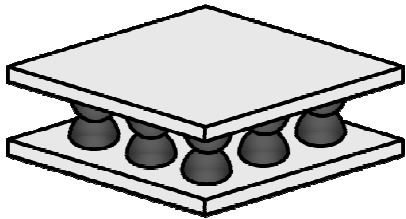
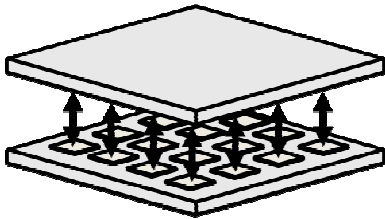
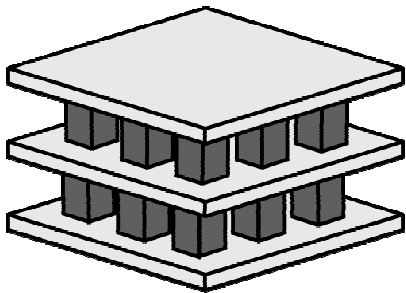
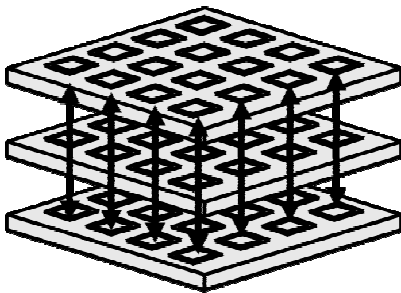
	有線方式	無線方式
2チップ間の チップ間通信	 <p>マイクロバンプ</p>	 <p>容量結合通信</p>
3チップ以上の チップ間通信	 <p>シリコン貫通ビア</p>	 <p>誘導結合結合通信</p>

図 1.7 積層チップ間通信技術.

---

TSV は機械加工技術[39-47]を用いてチップの基板を貫通する金属電極を作成する有線[48]のチップ間接続技術である。TSV には次の 3 つの大きな問題がある。1)製造に機械加工技術が必要なため、コストが増大する。2)機械加工技術は LSI 製造プロセスに比べて加工精度が 100 倍以上低い。特にその特徴はチップの端に顕著に現れる。3)有線のため、製造後の良品判定試験に課題を残している[49][50]。

TSV の 3 つの問題を解決する技術として誘導結合チップ間無線通信が提案されている。LSI 製造プロセスによりメタル配線でコイルを作成する[51]。この送受信器コイル間の誘導結合を利用して積層チップ間のデータ通信を行う。送信器は送信データを電流に変換する。この送信電流が送信器側コイルに流れると、送信電流の変化に応じて受信器側コイルに受信電圧が誘導される。受信器で誘導電圧を検出し、送信データを復元する。誘導結合チップ間通信は LSI 製造プロセスのみで形成することができるため機械加工技術が不要である。そのため TSV の 1)コストの増大、2)加工精度が低い、という課題を解決できる。また、有線方式の 3)物理的接触に伴う信頼性の低下という課題を解決できる。無線であるため、チップに接触すること無くテストができる[52][53]。非接触なので面積が大きく、大容量な静電破壊保護回路を省略することができ、通信回路を小型[54]、低消費電力[55]、高速にできる[56][57]。磁界は Si チップを貫通することができるため[58]、3 枚以上積層チップ間通信を形成することができる。さらにメモリチップ上のメモリデータやデジタル回路と誘導結合チップ間通信の間の干渉は問題ない[59]。このように有線方式で形成に機械加工技術が必要な TSV に比べて、誘導結合チップ間無線通信はメモリチップ間インタフェースに、コスト、歩留まり、性能生においてすぐれている。

以上のことから NAND フラッシュメモリ用積層チップ間通信における誘導結合チップ間通信の優位性は明らかであり、小型、かつ大容量である SSD を実現する上で重要な技術である。そこで本論文で多段メモリチップ間結合通信インタフェースに関する研究を行った。次節で誘導結合チップ間通信の基本構成を説明する。

## 1.5 誘導結合インタフェース

誘導結合インタフェースは、通信コイル間の誘導結合と、データ信号を処理する送受信器回路で構成される。誘導結合とは、図 1.8 が示すように送信コイルと受信コイルの 1 対のコイル同士が電磁誘導の法則によって送信コイルに流れる電流によって受信コイルへ無線で信号伝送されることである。原理的に、相互インダクタンス  $M$  で結合したトランス(図 1.9)でモデル化される。その原理についてこれから説明する。

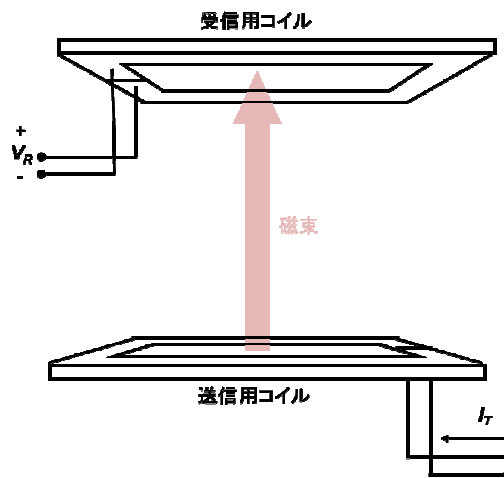


図 1.8 通信コイル間による誘導結合の模式図.

2つのコイル(送信コイル、受信コイル)を磁束が通るように近接しておかれているとする。送信コイルに送信電流  $I_T$  を流した時、送信コイルに鎖交する磁束が生じ、その磁束は受信コイルにも鎖交するため、受信コイルに誘導起電力  $V_R$  が発生し、受信電流  $I_R$  が流れる。この現象を相互誘導と呼ぶ。相互誘導で生じた受信電流  $I_R$  は、送信コイルによって受信コイルの鎖交した磁束  $\Phi_R$  に比例する。この比例定数を相互インダクタンス  $M$  という。つまり、(1.1)式が成り立つ。

$$\Phi_R = M \times I_T. \quad (1.3)$$

送信コイルに時間  $dt$  間に送信電流の変化  $dI_T$  に対する逆起電圧を  $V_T$  とし、受信コイルに生じた起電力を  $V_R$ 、時間  $dt$  間に变化した受信電流を  $dI_R$  とすると次式が成り立つ。

$$\begin{cases} V_T = L_T \frac{dI_T}{dt} + M \frac{dI_R}{dt} \\ V_R = L_R \frac{dI_R}{dt} + M \frac{dI_T}{dt} \end{cases} \quad (1.4)$$

このとき、送信電流によって誘導される受信電流が小さく、 $I_T \ll I_R$  が成り立つ場合には、受信側電圧  $V_R$  は(1.2)式は近似され、

$$V_R \approx M \frac{dI_T}{dt}, \quad (1.5)$$

が成り立つ。また、2つのインダクタの結合の強さを示す結合定数  $k$

$$k = \frac{M}{\sqrt{L_T L_R}}, \quad (1.6)$$

で表される。(1.3)、(1.4)式より、

$$V_R \approx k \sqrt{L_T L_R} \frac{dI_T}{dt}, \quad (1.7)$$

を得る。(1.5)式は誘導結合チャネルのゲインが結合係数と送受信インダクタの自己インダクタンスにより決まり、受信インダクタに生じる電圧は送信インダクタを流れる電流の時間変化により決まることを示している。

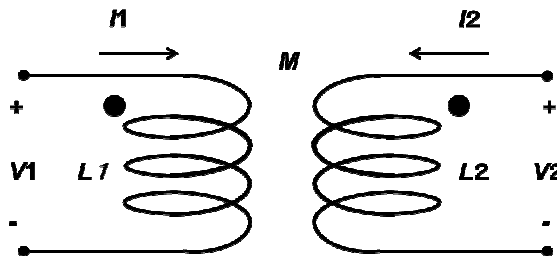


図 1.9 理想的な結合を持つ誘導結合対の電気回路モデル。

図 1.10 に誘導結合インタフェースの送受信器回路とその信号波形を示す。送信器回路は1つのコイル端子を電源と、もう一方のコイル端子を AND ゲートで接続された CMOS インバータの出力に接続している。AND ゲートの入力には送信データ  $Txdata$  と  $Tx-enable$  信号を与える。送信器回路は  $Tx-enable$  信号によって制御されている。 $Tx-enable$  信号が



High にのとき送信器回路が起動し、送信器回路内のコイルに送信電流  $I_T$  が流れる。すると  $Txdata$  遷移時に、送信器回路内のコイルと受信器回路内のコイル間の誘導結合によって受信器コイルの両端にパルス型受信電圧  $V_R$  が生じる。受信器回路はヒステレシスコンパレータ回路であり、送信器と同様に  $Rx-enable$  信号によって制御されている。ヒステレシスコンパレータ回路はデータとノイズを判別するヒステレシス幅  $V_H$  を持っている。受信電圧  $V_R$  の振幅がこのヒステレシス幅  $V_H$  の振幅を上回る時、受信器回路は受信データ  $Rxdata$  を遷移し、データを復元する。ヒステレシスの極性を揃えるために  $Reset$  信号が、受信器が  $Rx-enable$  信号によって起動されるたびに与えられる。

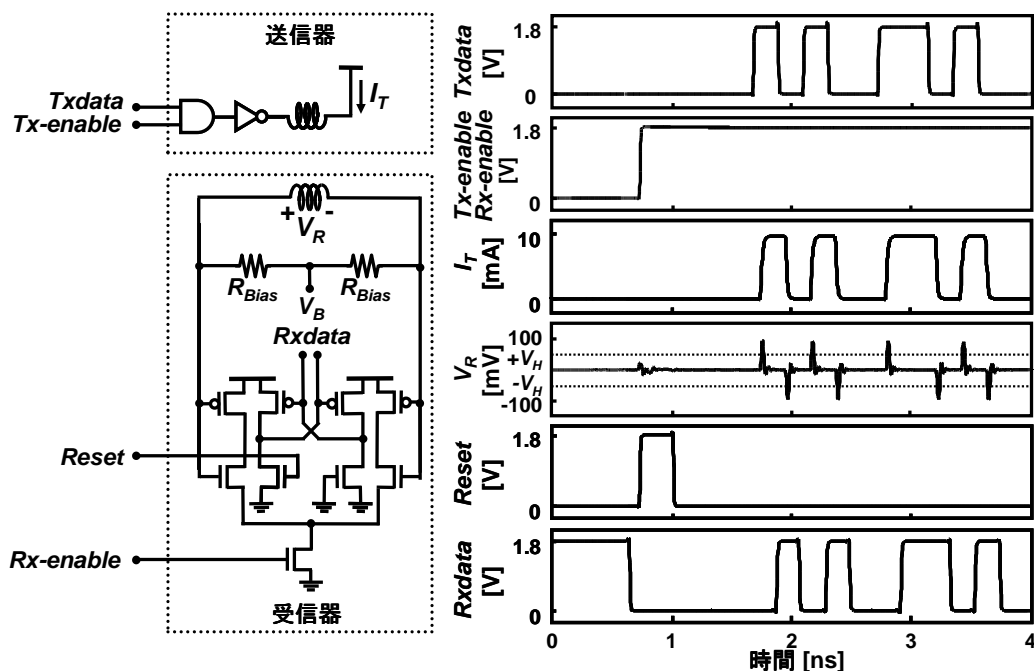
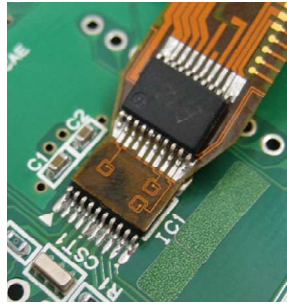
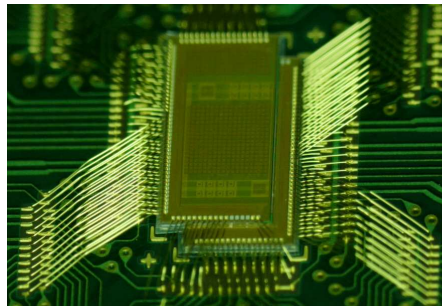


図 1.10 送受信回路とその動作波形図.

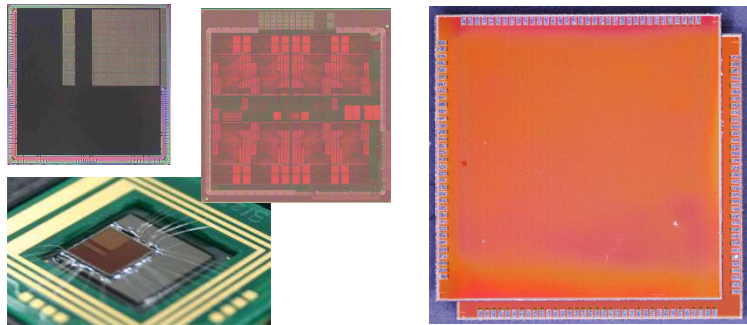
これまで、誘導結合インタフェースは、ISSCC2007 にマイコンのデバック用ワイヤレスインタフェースとして最初に報告され[55]、その後 3 次元プロセッサ[60]、プロセッサ・メモリチップ間通信[61] [62]、非接触メモリ[63]、非接触ウェーハテスト[64]、インタポーザ[65]等多くのアプリケーションへの応用が報告されている(図 1.11)。



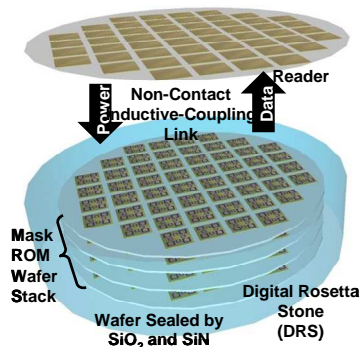
バスプローブ [55]



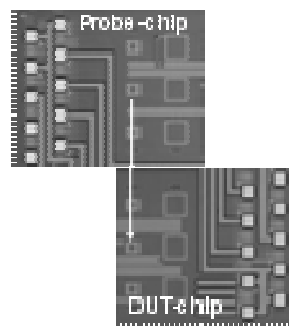
3次元プロセッサ [60]



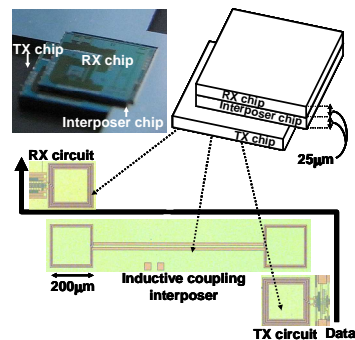
メモリ・プロセッサ間通信 [61][62]



非接触メモリ [63]



非接触ウェーハテスト [64]



インタポーザ [65]

図 1.11 誘導結合インタフェース応用アプリケーション例 (引用: [55,60-65]).

---

## 1.6 本研究の目的

小型、大容量 SSD 実現には、ボンディングワイヤ数の削減が有効である。特に誘導結合チップ間無線インタフェースは有線である TSV のコスト・信頼性・歩留まりの問題を解決することができる。この誘導結合チップ間無線インタフェースをボンディングワイヤの代用にすることによって、パッケージ内の積層メモリチップ数を増加することができる。しかしながら、これまでに提案されてきた誘導結合メモリチップ間インタフェースは 2 枚の積層チップ間のみ対応したインタフェースであり、多段メモリチップ積層用インタフェースに関する研究報告はなされていなかった。そこで本研究では、多段積層用誘導結合メモリチップ間インタフェースを開発し、パッケージ内の積層メモリチップ数を増加させ、小型、大容量 SSD の開発を達成することを目的とする。図 1.12 に誘導結合メモリチップ間インタフェースを用いて小型、大容量 SSD 実現の 3 つの課題をまとめた。

1)多段メモリ積層誘導結合メモリチップ間インタフェースの開発が重要である。誘導結合チップ間通信において、通信コイルの直径は通信距離に比例する(コイル直径=(2~3)×通信距離)。メモリチップの面積の大部分はメモリコアが占有しており、回路を配置する周辺回路領域は限られている(周辺回路領域面積: 約 1mm×10mm=10mm<sup>2</sup>[66])。そのため、すべての積層メモリチップを貫通してメモリデータ通信を行えるコイルをメモリチップ上に配置することは困難である。そのため、チップを中継しながらデータを転送する技術を開発する。

2)送受信器の DC 電力を削減することが重要である。誘導結合インタフェース使用時間はメモリチップ一段あたり数ナノ秒であり、メモリデータアクセスに関わる時間は数ミリ秒[67]のため、約 1,000,000 倍長いからである。メモリアクセス時における定常的に流している送信電流を削減することが出来れば無駄な消費電力を削減することが出来る。

3)メモリチップ上におけるコイル配置技術を開発することが重要である。先に記述したようにメモリチップ上に回路を配置する面積は限られている。より大きいコイルをメモリチップ上に配置することが出来れば、チップを複数枚貫通して通信することが可能となる。メモリデータを中継する送受信器を削減でき、消費電力はさらに削減される。消費電力削減のため、メモリチップ上にコイルを配置する技術を開発する。

上記 1~3 の研究を行い、小型、大容量低消費電力 SSD 実現を達成するインタフェース開発を行った。

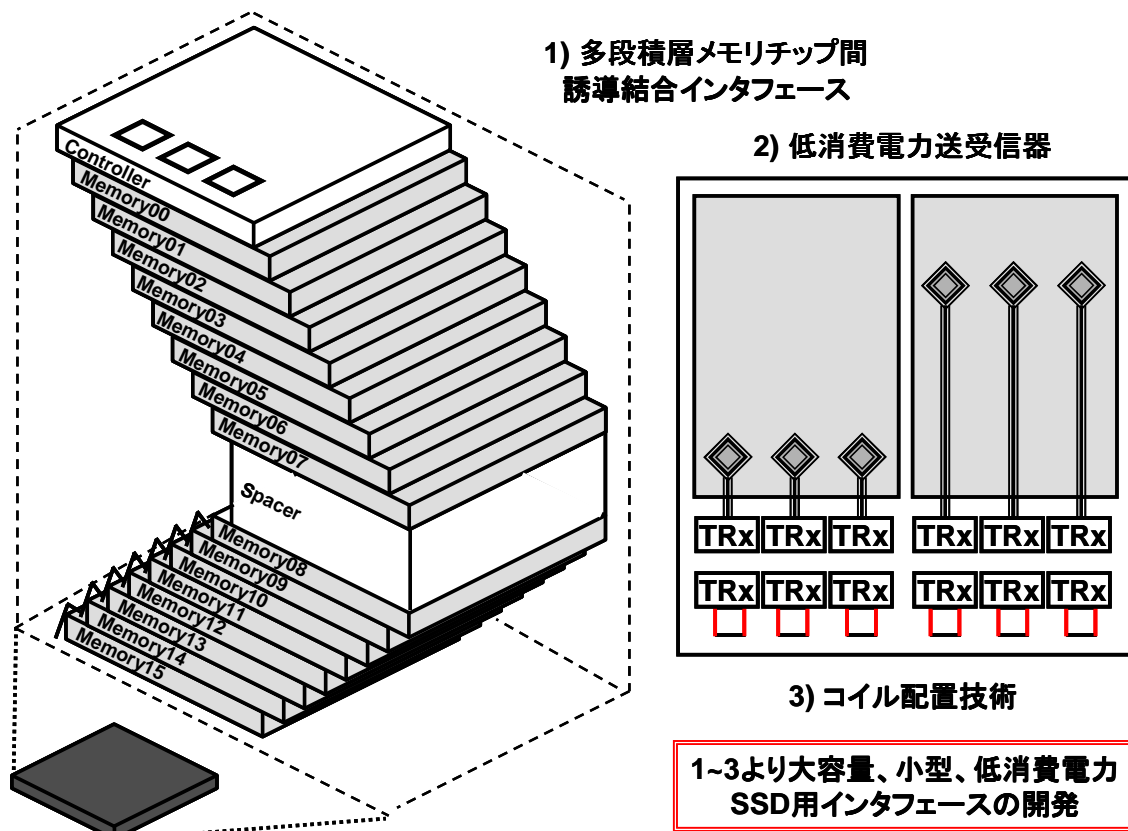


図 1.12 本研究の課題.

---

## 1.7 本論文の構成

図 1.13 に本論文の構成をしめす。第 1 章は序論である。研究の背景として小型、大容量 SSD 実現の障害を示し、これを実現するための研究動向を概説し、本研究の意義と解決すべき課題をまとめた。第 2 章では、多段積層メモリチップ間誘導結合インタフェースの基本構成を提案する。データを誘導結合リピータを用いて、チップごとにリレーさせ、所望のチップまで伝送する。10 段テストチップを積層し、波形が転送されているのを確認したことを述べる。第 3 章では、誘導結合送信器の問題となる定常送信電流を解析し、電力削減技術を提案し、電力削減効果をテストチップで評価する。第 4 章では、誘導結合送受信器で使用されるコイルをメモリチップ状に配置する技術を提案する。メモリチップ上のほぼ全領域にコイルを配置することが可能となり、直径 1.1mm もの大きなコイルを配置することが可能となることをテストチップで評価する。第 5 章では、2~3 章で得られた知見を基に多段積層メモリチップ間誘導結合インタフェースを設計しテストチップを試作して、その性能を実測した。提案インタフェースは直径 1.1mm の送受信コイルを使用し、チップを 8 枚貫通しデータの中継し転送する。送信器電力を 3 倍追加する必要があるが、128 段メモリチップ積層時、中継する送受信器数を 1/16 に削減できる。データ転送消費電力を 2 章の技術場合と比べ、17%に削減することを実証した。第 6 章は結論である。各章で得られた知見を総括し、今後の展望を述べる。

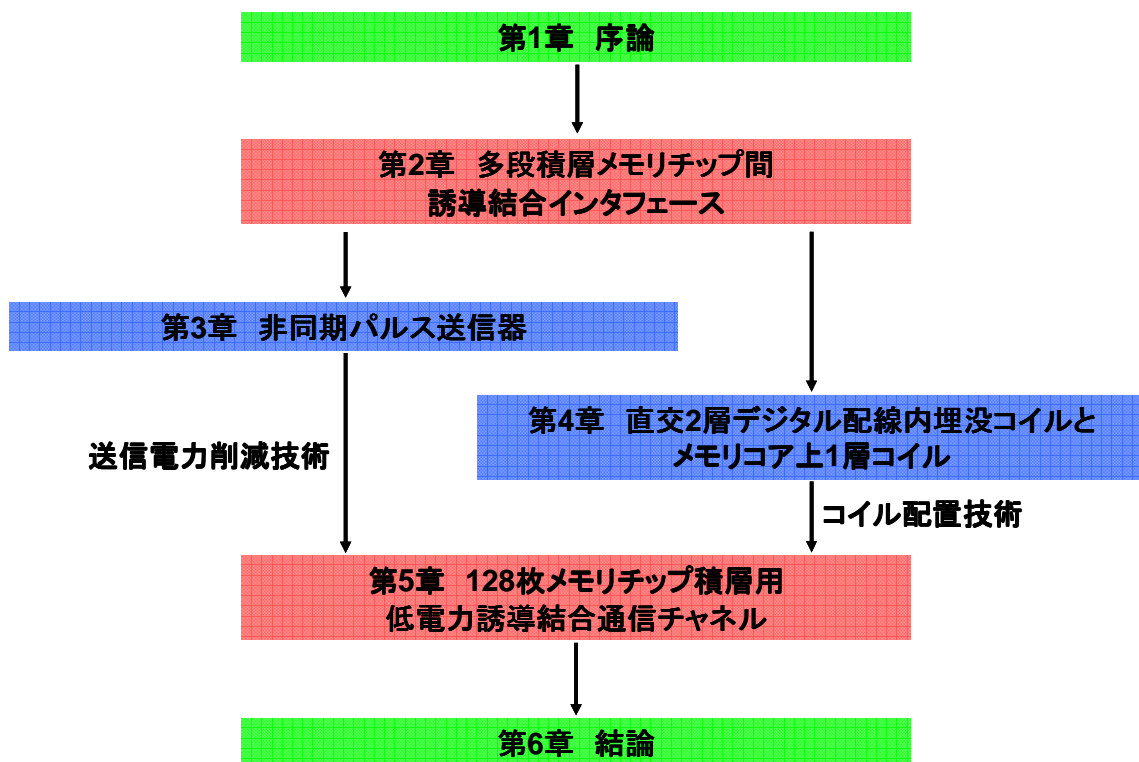


図 1.13 本論文の構成.

---

## 参考文献 (第 1 章)

- [1] R. Talluri, “Smartphone Memory Architecture Challenges and Opportunities,” *IEEE International Solid-State Circuits Conference (ISSCC). Dig. Tech. Papers*, pp.530, Feb. 2011.
- [2] P. Frank, and R. Wood. “A Perspective on the Future of Hard Disk Drive (HDD) Technology,” *Asia-Pacific Magnetic Recording Conference (APMRC)*, pp.1-2, Nov. 2006.
- [3] L. Chang, “A Hybrid Approach to NAND-Flash-Based Solid-State Disks,” *IEEE Transactions on Computers*, vol.59, No.10, pp.1337-1349, Oct. 2010.
- [4] K. Ishida, T. Yasufuku, S. Miyamoto, H. Nakai, M. Takamiya, T. Sakurai, and K. Takeuchi, “1.8 V Low-Transient-Energy Adaptive Program-Voltage Generator Based on Boost Converter for 3D-Integrated NAND Flash SSD,” *IEEE Journal of Solid-State Circuits*, vol.46, No.6, pp.1478-1487, Jun. 2011.
- [5] K. Takeuchi, “Low power 3D-integrated Solid-State Drive (SSD) with adaptive voltage generator,” *2010 IEEE Int. Memory Workshop (IMW), Dig. Tech. Papers*, pp1-4, May 2010.
- [6] International Technology Roadmap for Semiconductors. [Online]. Available: <http://www.itrs.net/>
- [7] A.Goda, “Opportunities and challenges of 3D NAND scaling,” *International Symposium onVLSI Technology, Systems, and Applications (VLSI-TSA)*, pp.1307-1312 Apr. 2013.
- [8] Z. Wang, M. Karpovsky, and A. Joshi, “Nonlinear Multi-Error Correction Codes for Reliable MLC nand Flash Memories,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol.20, Issue 7, pp.1221-1234, Jun. 2012.
- [9] 百富正樹, “NAND 型フラッシュメモリ市場拡大のシナリオ,” *メモリ・システム・シンポジウム モバイル新時代に向けたメモリ技術総覧*, pp.3.1-3.19, Dec. 2008.
- [10] R. Fontana, S. Hetzler, and G. Decad, “Technology Roadmap Comparisons for TAPE, HDD, and NAND Flash: Implications for Data Storage Applications,” *IEEE Transactions on Magnetics*, vol. 48, No. 5, pp.1692-1696, May 2012.
- [11] F. Kistermann, “Hollerith punched card system development (1905-1913),” *IEEE Annals of the History of Computing*, vol. 27, No. 1, pp.56-66, Mar. 2005.
- [12] R. Dee, “Magnetic Tape for Data Storage: An Enduring Technology,” *Proceedings of the IEEE*, vol. 96, No. 11, pp.1775-1785, Nov. 2008.

- 
- [13] STORAGETEK T10000 FAMILY TAPE CARTRIDGE, Oracle data sheet. [Online]. Available:  
<http://www.oracle.com/us/products/servers-storage/storage/tape-storage/storagetek-t10000-t2-cartridge-296699.pdf?ssSourceSiteId=ocomjp>
- [14] D. Gregg, "Patent and inventorship issues over the last thirty years of optical storage technology," *1997 Optical Data Storage Topical Meeting (ODS), Dig. Tech. Papers*, pp.7-8, May 1997.
- [15] X-bit laboratory. [Online]. Available:  
[http://www.xbitlabs.com/news/storage/display/20121015212226\\_Researchers\\_Develop\\_1TB\\_2TB\\_Optical\\_Discs.html](http://www.xbitlabs.com/news/storage/display/20121015212226_Researchers_Develop_1TB_2TB_Optical_Discs.html)
- [16] J. Kilby, "Invention of the integrated circuit," *IEEE Transactions on Electronic Devices*, vol. 23, No. 7, pp.648-654, Jul. 1976.
- [17] Y. Li, S. Lee, K. Oowada, H. Nguyen, Q. Nguyen, N. Mokhlesi, C. Hsu, J. Li, V. Ramachandra, T. Kamei, M. Higashitani, T. Pham, M. Honma, Y. Watanabe, K Ino, B. Le, B. Woo, K. Htoo, T. Tseng, L. Pham, F. Tsai, K. Kim, Y. Chen, M. She, J. Yuh, A. Chu, C. Chen, R. Puri, H. Lin, Y. Chen, W. Mak, J. Huynh, J. Chan, M. Watanabe, D. Yang, G. Shah, P. Souriraj, D. Tadepalli, T. Suman, R. Gao, V. Popuri, B. Azarbayjani, R. Madpur, J. Lan, E. Yero, F. Pan, P. Hong, J. Kang, F. Moogat, Y. Fong, R. Cernea, S. Huynh, C. Trinh, M. Mofidi, R. Shrivastava, and K. Quader "128Gb 3b/cell NAND flash memory in 19nm technology with 18MB/s write rate and 400Mb/s toggle mode," *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, pp.436-437, Feb. 2012.
- [18] WSTS2011 WSTS 2011 年秋季半導体市場予測について. [Online]. Available:  
<http://semicon.jeita.or.jp/statistics/docs/20111129WSTS.pdf>
- [19] S. Lee, "Emerging Challenges in NAND Flash Technology," *2011 Flash Memory Summit*. [Online]. Available:  
[http://www.flashmemorysummit.com/English/Collaterals/Proceedings/2011/20110810\\_Key\\_note6\\_Lee.pdf](http://www.flashmemorysummit.com/English/Collaterals/Proceedings/2011/20110810_Key_note6_Lee.pdf)
- [20] 東芝半導体情報誌アイ 2010年1月号 Volume 209. [Online]. Available:  
<http://www.semicon.toshiba.co.jp/shared/eye/201001.pdf>



- 
- [21] Samsung SSD 840 Pro Series. [Online]. Available:  
[http://www.google.co.jp/url?sa=t&rct=j&q=&esrc=s&source=web&cd=2&cad=rja&ved=0CDAQFjAB&url=http%3A%2F%2Fwww.samsung.com%2Fglobal%2Fbusiness%2Fsemiconductor%2FDownloads%2FDataSheet-Samsung\\_SSD\\_840\\_PRO\\_Rev12.pdf&ei=Ii3rUpOqDYeJkwXamIDYDg&usg=AFQjCNFDOQ5HIFMcSQ32RKN0TcTQ5ER\\_Ig&bvm=bv.60444564,d.dGI](http://www.google.co.jp/url?sa=t&rct=j&q=&esrc=s&source=web&cd=2&cad=rja&ved=0CDAQFjAB&url=http%3A%2F%2Fwww.samsung.com%2Fglobal%2Fbusiness%2Fsemiconductor%2FDownloads%2FDataSheet-Samsung_SSD_840_PRO_Rev12.pdf&ei=Ii3rUpOqDYeJkwXamIDYDg&usg=AFQjCNFDOQ5HIFMcSQ32RKN0TcTQ5ER_Ig&bvm=bv.60444564,d.dGI)
- [22] Open NAND Flash Memory Interface (ONFi) Working Group.  
<http://www.onfi.org/>
- [23] ONFI 3.2. [Online]. Available:  
<http://www.onfi.org/specifications>
- [24] N. Miyakawa, E. Hashimoto, T. Maebashi, N. Nakamura, Y. Sacho, S. Nakayama, and S. Toyoda, "Stacking technology based on 8-inch wafers using direct connection between TSV and micro-bump," *Proc. IEEE Custom Integrated Circuits Conference (CICC)*, pp. 647-650, Sep. 2008.
- [25] M. Koyanagi, "Roadblocks in achieving three-dimensional LSI," *Proceeding of Symposium Future Electron Devices*, pp. 50-60, 1991.
- [26] M. Koyanagi, H. Kurino, K. Lee, K. Sakuma, N. Miyakawa, and H. Itani, "Future system-on-silicon LSI chips," *Proceeding of the IEEE Micro*, pp. 17-22, vol. 18, no. 1, 1998.
- [27] T. Fukushima, Y. Yamada, H. Kikuchi, and M. Koyanagi, "New three-dimensional integration technology using self-assembly technique," *IEEE International Electron Devices Meeting (IEDM) Dig. Tech. Papers*, pp. 348-351, 2005.
- [28] K. Takahashi, and M. Sekiguchi, "Through Silicon Via and 3-D Wafer/Chip Stacking Technology," *Symposium on VLSI Circuits Dig. of Tech. Papers*, pp.114-117, June 2006.
- [29] M. Koyanagi, T. Fukushima, and T. Tanaka, "High-Density Through Silicon Vias for 3-D LSIs," *Proceeding of the IEEE*, vol. 97, no. 1, pp. 49-59, Jan. 2009.
- [30] M. Motoyoshi, "Through-Silicon Via (TSV)," *Proceeding of the IEEE*, vol. 97, no. 1, pp. 43-48, Jan. 2009.
- [31] M. koyanagi, H. Kurino, T. Matsumoto, K. Sakuma, K. Lee, N. Miyakawa, H. Itani, and T. Tsukamoto, "New three dimensional integration technology for future system-on silicon

- 
- LSIs,” *Proceedings of IEEE International Workshop Chip Package Co-Design*, pp. 96-103, 1999.
- [32] J. Burns, B. Aull, C. Chang-Lee, C. Keast, J. Knecht, V. Suntharalingam, K. Warner, P. Wyatt, and D. Yost, “A wafer-scale 3-D circuit integration technology,” *IEEE Transaction on Electronic Devices*, vol. 53, no.10, pp. 2507-2516, 2006.
- [33] H. Fujii, K. Miyaji, K. Johguchi, K. Higuchi, C. Sun, and K. Takeuchi, “x11 performance increase, x6.9 endurance enhancement, 93% energy reduction of 3D TSV-integrated hybrid ReRAM/MLC NAND SSDs by data fragmentation suppression” *Symposium on VLSI Circuits(VLSIC), Dig. Tech. Papers*, pp.134-135, June 2012.
- [34] A. Fazzi, R. Canegallo, L. Ciccarelli, L. Magagni, F. Natali, E. Jung, P. Rolandi, and R. Guerrieri, “3D Capacitive Interconnections with Mono- and Bi-Directional Capabilities,” *IEEE International Solid-State Circuits Conference (ISSCC). Dig. Tech. Papers*, pp. 356-357, Feb. 2007.
- [35] A. Fazzi, A. L. Magagni, M. Mirandola, B. Charlet, L. Di Cioccio, E. Jung, R. Canegallo, and R. Guerrieri, “3-D Capacitive Interconnections for Wafer-Level and Die-Level Assembly” *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 42, no. 10, pp. 2270-2282, Oct. 2007.
- [36] N. Miura, M. Saito, and T. Kuroda, “A 1TB/s 1pJ/b 6.4mm<sup>2</sup>/TB/s QDR Inductive-Coupling Interface Between 65-nm CMOS Logic and Emulated 100-nm DRAM,” *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, Vol. 2, No. 2, pp.249-256, June 2012.
- [37] N. Miura, H. Ishikuro, T. Sakurai, and T. Kuroda, “A 0.14pJ/b Inductive-Coupling Inter-Chip Data Transceiver with Digitally-Controlled Precise Pulse Shaping,” *IEEE International Solid-State Circuits Conference (ISSCC)*, Dig. Tech. Papers, pp. 264-265, Feb. 2007.
- [38] K. Kasuga, M. Saito, T. Takeya, N. Miura, H. Ishikuro and T. Kuroda, “A Wafer Test Method of Inductive-Coupling Link,” *IEEE Asian Solid-State Circuits Conference (A-SSCC'09)*, pp. 301-304, Nov. 2009.
- [39] P. Marchal, B. Bougard, G. Katti, M. Stucchi, W. Dehaene, A. Papanikolaou, D. Verkest, B. Swinnen, and E. Beyne, “3-D Technology Assessment: Path-Finding the Technology/Design Sweet-Spot,” *Proceeding of the IEEE*, vol. 9. no. 1, pp. 96-107, Jan. 2009.

- 
- [40] S. Tezcan, F. Duval, H. Philipsen, O. Luhn, P. Soussan, and B. Swinnen, "Scalable Through Silicon Via with polymer deep trench isolation for 3D wafer level packaging," *Proceedings of Electronic Components and Technology Conference (ECTC)*, pp. 1159-1164, May 2009.
- [41] H. Chang, C. Shih, C. Hsiao, W. Chiang, H. Chen, and N. Chiang, "3D stacked chip technology using bottom-up electroplated TSVs," *Proceedings of Electronic Components and Technology Conference (ECTC)*, pp. 1177-1184, Sep. 2009.
- [42] H. Kurino, W. Lee, T. Nakamura, K. Sakuma, T. Park, N. Miyakawa, H. Shimazutsu, K. Kim, K. Inamura, and M. Koyanagi, "Intelligent image sensor chip with three dimensional structure," *Proceedings of IEEE International Electronic Device Meeting*, pp. 879-882, 1999
- [43] K. Lee, T. Nakamura, T. Ono, Y. Yamada, T. Mizukusa, H. Hashimoto, K. Park, H. Kurino, and M. Koyanagi, "Three-dimensional shared memory fabricated using wafer stacking technology," *IEEE International Electron Devices Meeting (IEDM) Dig. Tech. Papers*, pp. 165-168, 2000.
- [44] M. Koyanagi, Y. Nakagawa, K. Lee, T. Nakamura, Y. Yamada, K. Inamura, K. Park, and H. Kurino, "Neuromorphic vision chip fabricated using three-dimensional integration technology," *IEEE International Solid-State Circuits Conference (ISSCC). Dig. Tech. Papers*, pp.270-271, Feb. 2001.
- [45] W. Lee, *et al.*, "High reliable and fine size of 5- $\mu$ m diameter backside Cu through-silicon Via(TSV) for high reliability and high-end 3-D LSIs," *2011 IEEE International 3D Systems Integration Conference (3DIC) Dig. Tech. Papers*, pp. 1-4, Oct. 2011.
- [46] H. Kikuchi, Y. Yamada, A. Ali, J. Liang, T. Fukushima, T. Tanaka, and M. Koyanagi, "Tungsten Through-Silicon Via Technology for Three-Dimensional LSIs," *Japanese Journal of Applied Physics*, vol. 47, pp. 2801-2806, Apr. 2008.
- [47] K. Lee, T. Nakamura, K. Sakuma, K. Park, H. Shimazutsu, N. Miyakawa, K. Kim, H. Kurino, and M. Koyanagi, "Development of Three-Dimensional Integration Technology for Highly Parallel Image-Processing Chip," *Japanese Journal of Applied Physics*, vol. 39, pp. 2473-2477, Dec. 1999.
- [48] H. Fujii, K. Miyaji, K. Johguchi, K. Higuchi, C. Sun, and K. Takeuchi, "x11 performance increase, x6.9 endurance enhancement, 93% energy reduction of 3D TSV-integrated hybrid

---

ReRAM/MLC NAND SSDs by data fragmentation suppression” *Symposium on VLSI Circuits(VLSIC), Dig. Tech. Papers*, pp.134-135, June 2012.

- [49] K. Guarini, Q. Topol, M. Jeong, R. Yu, L. Shi, M. Newport, D. Frank, D. Singh, G. Cohen, S. Nitta, D. Boyd, P. O’Neil, S. Tempest, H. Pogge, S. Purushothaman, and W. Haensch, “Electrical integrity of state-of-the-art 0.13  $\mu\text{m}$  SOI CMOS devices and circuits transferred for three-dimensional (3D) integrated circuit (IC) fabrication,” *IEEE International Electron Devices Meeting (IEDM) Dig. Tech. Papers*, pp. 943-945, 2002.
- [50] T. Fukushima, H. Kikuchi, Y. Yamada, T. Konno, J. Liang, K. Sasaki, K. Inamura, T. Tanaka, and M. Koyanagi, “New Three-Dimensional Integration Technology Based on Reconfigured Wafer-on-Wafer Bonding Technique,” *IEEE International Electron Devices Meeting (IEDM) Dig. Tech. Papers*, pp. 985-988, 2007.
- [51] N. Miura, D. Mizoguchi, T. Sakurai, and T. Kuroda, “Analysis and design of inductive coupling and transceiver circuit for inductive inter-chip wireless superconnect,” *IEEE Journal of Solid-State Circuits (JSSC)*, vol.40, no.4, pp. 829-837, Apr. 2005.
- [52] Y. Yoshida, K. Nose, Y. Nakagawa, K. Noguchi, Y. Morita, M. Tago, M. Mizuno, and T. Kuroda, “An inductive-coupling DC voltage transceiver for highly-parallel wafer-level testing,” *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 45, no. 10, pp. 2057-2065, Oct. 2010.
- [53] A. Radecki, H. Chung, Y. Yoshida, N. Miura, T. Shidei, H. Ishikuro, and T. Kuroda, “6W/25mm<sup>2</sup> Inductive Power Transfer for Non-Contact Wafer-Level Testing,” *IEEE International Solid-State Circuits Conference (ISSCC), Dig. Tech. Papers*, pp. 230-231, Feb. 2011.
- [54] N. Miura, D. Mizoguchi, M. Inoue, H. Tsuji, T. Sakurai, and T. Kuroda, “A 195Gb/s 1.2W 3D-Stacked Inductive Inter-Chip Wireless Superconnect with Transmit Power Control Scheme,” *IEEE International Solid-State Circuits Conference (ISSCC). Dig. Tech. Papers*, pp. 264-265, Feb. 2005.
- [55] N. Miura, H. Ishikuro, T. Sakurai, and T. Kuroda, “A 0.14pJ/b Inductive-Coupling Inter-Chip Data Transceiver with Digitally-Controlled Precise Pulse Shaping,” *IEEE International Solid-State Circuits Conference (ISSCC), Dig. Tech. Papers*, pp. 264-265, Feb. 2007.

- 
- [56] N. Miura, D. Mizoguchi, M. Inoue, K. Niitsu, Y. Nakagawa, M. Tago, M. Fukaishi, T. Sakurai, and T. Kuroda, "A 1Tb/s 3W Inductive-Coupling Transceiver for Inter-Chip Clock and Data Link," *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, pp. 424-425, Feb. 2006.
- [57] N. Miura, Y. Kohama, Y. Sugimori, H. Ishikuro, T. Sakurai, and T. Kuroda, "An 11Gb/s Inductive-Coupling Link with Burst Transmission," *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, pp. 298-299, Feb. 2008.
- [58] D. Mizoguchi, Y. B. Yusof, N. Miura, T. Sakurai, and T. Kuroda, "A 1.2Gb/s/pin Wireless Superconnect Based on Inductive Inter-chip Signaling (IIS)," *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, pp. 142-143, Feb. 2004.
- [59] K. Niitsu, Y. Sugimori, Y. Kohama, K. Osada, N. Irie, H. Ishikuro, and T. Kuroda, "Interference from Power/Signal Lines and to SRAM Circuits in 65nm CMOS Inductive-Coupling Link," *IEEE Asia Solid-State Circuits Conf. (A-SSCC) Dig. Tech. Papers*, pp. 131-134, Nov. 2007.
- [60] Y. Kohama, Y. Sugimori, S. Saito, Y. Hasegawa, T. Sano, K. Kasuga, Y. Yoshida, K. Niitsu, N. Miura, H. Amano, and T. Kuroda, "A Scalable 3D Processor by Homogeneous Chip Stacking with Inductive-Coupling Link," *IEEE Symposium on VLSI Circuits, Dig. Tech. Papers*, pp. 94-95, June 2009.
- [61] K. Niitsu, Y. Shimazaki, Y. Sugimori, Y. Kohama, K. Kasuga, I. Nonomura, M. Saen, S. Komatsu, K. Osada, N. Irie, T. Hattori, A. Hasegawa, and T. Kuroda, "An Inductive-Coupling Link for 3D Integration of a 90nm CMOS Processor and a 65nm CMOS SRAM," *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, pp. 480-481, Feb. 2009.
- [62] N. Miura, K. Kasuga, M. Saito, and T. Kuroda, "An 8Tb/s 1pJ/b 0.8mm<sup>2</sup>/Tb/s QDR Inductive-Coupling Interface Between 65nm CMOS GPU and 0.1 $\mu$ m DRAM," *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, pp. 480-481, Feb. 2010.
- [63] Y. Yuan, N. Miura, S. Imai, H. Ochi, and T. Kuroda, "Digital Rosetta Stone: A Sealed Permanent Memory with Inductive-Coupling Power and Data Link," *IEEE Symposium on VLSI Circuits, Dig. Tech. Papers*, pp. 26-27, June 2009.
- [64] Y. Yoshida, K. Nose, Y. Nakagawa, K. Noguchi, Y. Morita, M. Tago, T. Kuroda, and M. Mizuno, "Wireless DC Voltage Transmission Using Inductive-Coupling Channel for

---

Highly-Parallel Wafer-Level Testing,” *IEEE International Solid-State Circuits Conference (ISSCC)*, pp.470-472, Feb. 2009.

- [65] S. Kawai, H. Ishikuro, and T. Kuroda, “A 4.7 Gb/s Inductive Coupling Interposer with Dual Mode Modem,” *IEEE Symposium on VLSI Circuits, Dig. Tech. Papers*, pp. 92-93, June 2009.
- [66] K. Kanda, M. Koyanagi, T. Yamamura, K. Hosono, M. Yoshihara, T. Miwa, Y. Kato, A. Mak, R. Tsai, R. Cernea, L. Binh, E. Makino, T. Taira, H. Otake, N. Kajimura, S. Fujimura, Y. Takeuchi, M. Itoh, M. Shirakawa, D. Nakamura, Y. Suzuki, Y. Okukawa, M. Kojima, K. Yoneya, T. Arizono, T. Hisada, S. Miyamoto, M. Noguchi, T. Yaegashi, M. Higashitani, F. Ito, G. Hemink, T. Maruyama, K. Ino, and S. Ohshima, “A 120mm<sup>2</sup> 16Gb 4-MLC NAND Flash Memory with 43nm CMOS Technology,” *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, pp.430-431, Feb. 2008.
- [67] G. Wu and X. He, “Reducing SSD Read Latency via NAND Flash Program and Erase Suspensions,” *The 10th USENIX Conf. on File and Storage Technologies (FAST) Dig. Tech. Papers*, Feb. 2012.

---

第 2 章  
多段積層メモリチップ間  
誘導結合インタフェース

---

## 2.1 はじめに

1 パッケージで構成される SSD では、コントローラチップとメモリチップが同一パッケージ内で積層されている。パッケージ内のメモリチップを増加し、大容量の 1 パッケージ SSD を実現するために、メモリアクセスに従来のボンディングワイヤの代わりに誘導結合インタフェースを用いる。ボンディングワイヤでは、全メモリチップにアクセスするブロードキャスト方式を用いている。しかし、この方式では、積層枚数が増加すると駆動容量も増加し、その結果、速度の低下や消費電力の増加を招いてしまう。それらに加えて、誘導結合通信でブロードキャスト方式を実現するためには、大きな直径のコイルを必要とするため、大きな面積ペナルティが生じる。

そこで本研究では、データをチップ毎にリレーのように中継し伝送する、リレー伝送技術を提案する。データの読み込みと書き込みを同一チャンネルで共有することを可能とする誘導結合リピータを用いることにより、面積を削減する。不要なチップにデータを伝送しないように制御し、消費電力を削減することが可能である。次に、同一のメモリチップを使用し、コントローラチップと積層されたメモリチップ間の伝送経路方式と積層方式を提案する。また、メモリチップの識別番号を用いずにメモリアクセスする技術を提案する。識別番号用のボンディングワイヤが不要となり、ワイヤ数を削減する。以上の提案技術について、0.18 $\mu\text{m}$  CMOS プロセスによりチップ試作を行い、実機による動作検証で性能評価を行う。



---

## 2.2 リレー伝送技術

本節では、コントローラが誘導結合インタフェースを用いて所望のメモリチップにデータ伝送する、リレー伝送技術について概説する。まず、データの読み込みと書き込みを同一のインタフェースで可能とする誘導結合リピータについて述べる。次に、提案する誘導結合チャンネルの伝送経路を解説する。チップ内にはリピータが複数存在し、適切なリピータを選択し、起動することによりチャンネルを形成する。最後に、その選択回路を説明する。

### 2.2.1 誘導結合リピータ

図 2.1 に示すように、多段メモリチップ積層では、メモリアクセスの制御を行うコントローラチップを最上位に積層する。そのため、データの読み込み時には、チップ上方向にリレー伝送を行うアップリンク、書き込み時には、チップ下方向にデータ転送を行うダウンリンクが必要である。面積削減のため、アップリンク、ダウンリンク用のインタフェースを共有するためには、上下双方向にデータ転送を行う通信経路をプログラムする必要がある。

そこで、同じ領域で送信器としても受信器としても起動することが可能である誘導結合リピータを提案する。誘導結合リピータは、送信器と受信器で構成されており、送信コイルは受信コイルの内側に入れ子構造に配置する。制御信号( $T_{xen}/R_{xen}$ )により、送受信器の On/Off を制御する。データ読み込み時には、上段チップの誘導結合リピータを送信器に、下段チップの誘導結合リピータを受信器に設定する。データ書き込み時には、上段チップの誘導結合リピータを受信器に、下段チップの誘導結合リピータを送信器に設定する。このように、チップ内の誘導結合リピータの送受信器を適切に切り替えることにより、同じ領域内で、アップリンクとダウンリンクを形成することが可能である(図 2.1)。

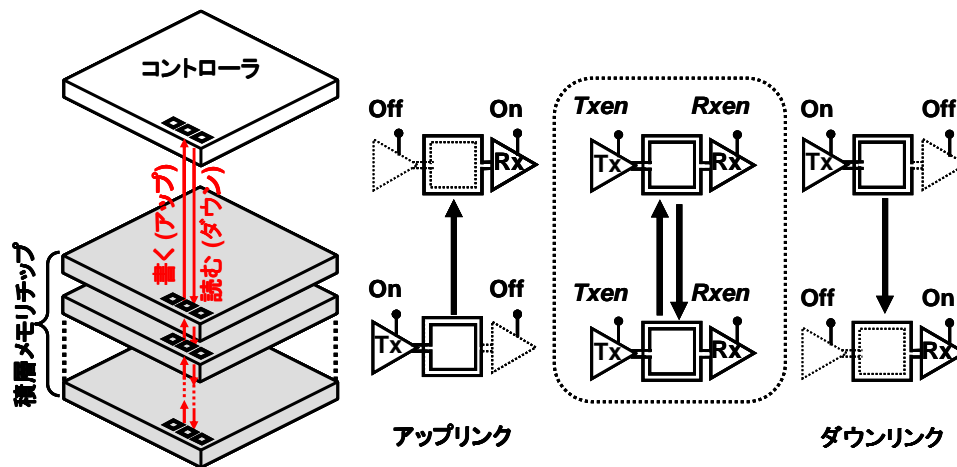


図 2.1 誘導結合リピータ.

### 2.2.2 リレー伝送経路

コントローラチップは下に積層されたチップから送られたデータを受信し、次に上に積層されたチップへデータを送信し、コントローラと所望のメモリチップ間のチップを中継しながらリレー伝送し、データの読み込みを行う。一方で書き込み時は、上に積層されたチップからデータを受信し、下に積層されたチップへデータを送信し、コントローラと所望のメモリチップ間のチップを中継しながらリレー伝送し、書き込みを行う。そのため、コントローラから所望のメモリチップへのリレー伝送を用いてアクセスするためには、2 個以上のリピータを使用してリレー伝送経路(アップリンク/ダウンリンク)を形成する(図 2.2)。しかし、この方法ではクロストークが問題となる。SSD を構成するメモリチップはコスト削減のため、全て同一のメモリチップを使用する。そのため、多数のコイルが垂直方向に並ぶことになる。コイルは上下双方向に磁場を発生する。例えば、あるメモリの読み込み時、送信器は上に積層されたチップへデータ信号を送る。しかしこれと同時に、下のチップへも信号を送り、結果としてクロストークが生じる。上下等距離の送信器から信号が発せられている場合、受信器はデータ信号とクロストークを判別することができない。そのため、クロストークを回避するためには、クロストークを発生する送信器からの受信電圧を十分に小さくする必要がある。2.2.3 節でこのクロストーク回避する方法を詳述する。

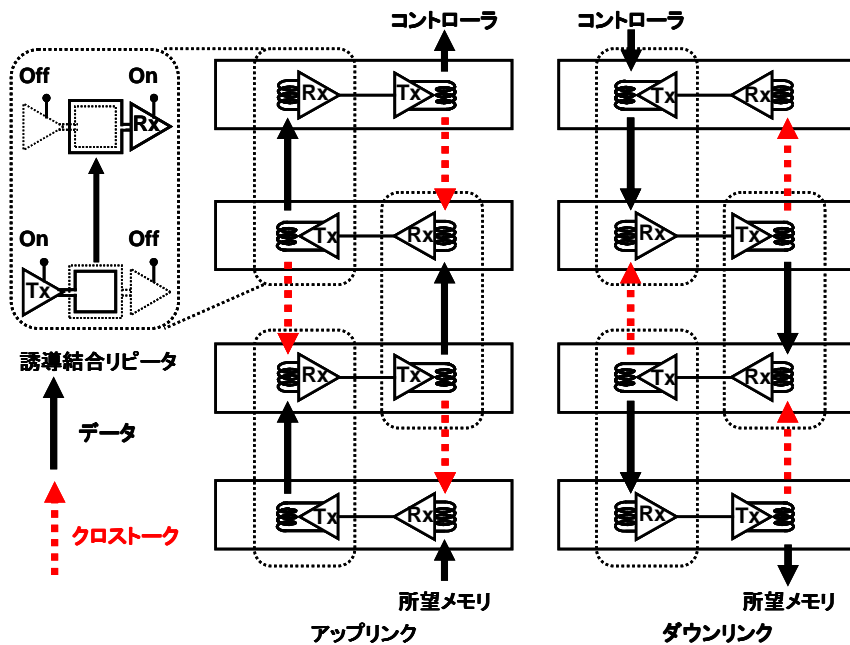


図 2.2 リレー伝送経路図 (左)アップリンク (右)ダウンリンク。

### 2.2.3 クロストーク回避技術

2.2.2 節で述べたクロストークの回避には、2つの方法が有効である。1つ目は、クロストークを生じるコイル間(意図としない通信コイル間)にシールドを配置する方法である。シールドは PAD メタルと同じ素材である。シールド内に磁束が侵入すると、磁束を打ち消す方向に、渦電流が流れ信号を弱める。その結果、送受信器間の結合が弱まり、クロストークの受信電圧が小さくなる。通信コイル間とシールドの最適な配置を Agilent 社の電磁界シミュレータ Momentum を用いて解析を行う。その結果を図 2.3 に示す。 $X$  は送信コイルと受信コイル間の距離であり、 $Z$  はコイルとシールド間の距離である。シールドによりクロストークが回避できるが、データの通信を行う送受信コイル間の磁束も打ち消してしまうため受信信号も小さくなる。受信信号のロス、コイルとシールド間の距離  $Z$  から影響を受ける。 $Z$  が小さい場合、上チップのシールド  $S1$  が受信コイルに近づくため受信信号が減少する。 $Z$  が大きい場合、下チップのシールド  $S2$  が送信コイルに近づくため受信信号が減少する。そのため、シールドの影響を最小限にし、最も受信信号が大きくなる最適な距離が存在する。その最適な距離は  $Z=X/2$  である。この距離のとき、 $S1$  と  $S2$  双方からの影響が小さくなり、最も大きな受信電圧を受信器は受け取ることが出来る。

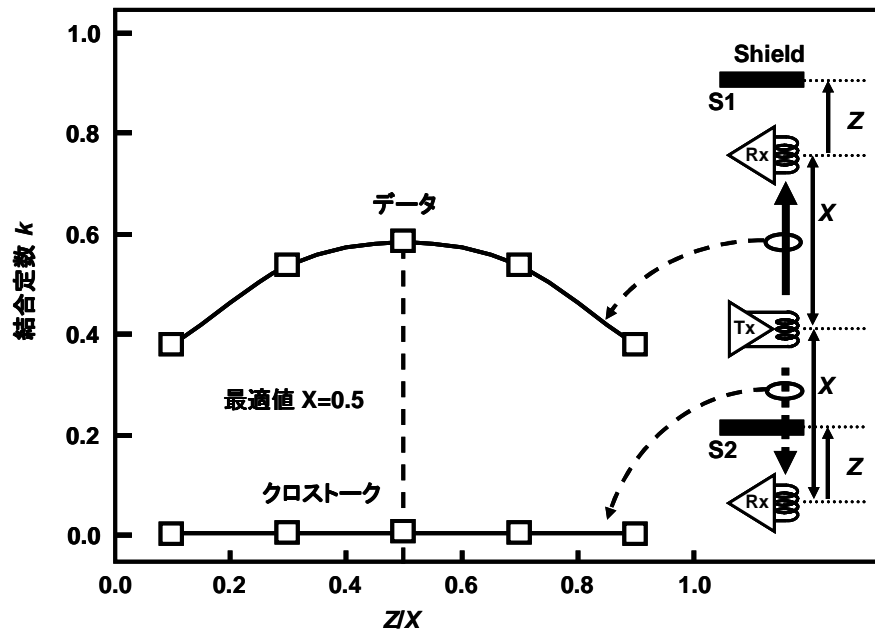


図 2.3 シールドとコイルの間の距離と通信コイル間の結合定数の関係。

2つ目は、送受信器間の距離を広げる方法である。クロストークを発生する送受信器間の距離を、データ通信を行う送受信器間の距離の2倍に広げることにより、クロストークは回避できる。通信コイル間の距離と結合の強さは反比例の関係にある。そのため、クロストークを生じるコイル間の距離を広げることにより、クロストークの受信電圧が受信信号電圧に影響しない程に減少する。1.4節で述べたように、誘導結合通信において受信電圧振幅は通信コイル間の結合定数  $k$  に比例する。通信コイル間の距離を  $X$ 、そしてコイルの直径を  $D$  と定義すると、結合定数  $k$  は(3.1)式で表される[2]。

$$k = \left\{ \frac{0.25}{(X/D)^2 + 0.25} \right\}^{1.5} \quad (3.1)$$

図 2.4 に  $k$  と  $X/D$  の関係を示す。誘導結合通信では、コイル直径  $D$  は通信距離の2倍の大きさ  $2X$  となるように設計する( $X/D=2$ )。そのため、意図とするコイル間の  $k$  は 0.35 である。一方で、クロストークを生じるコイル間の距離は  $2X$  のため、そのコイル間の  $k$  は 0.09 と、その大きさは意図とするコイル間の  $k$  の 26% である。これは、クロストークを回避するのに十分小さい結合度である。

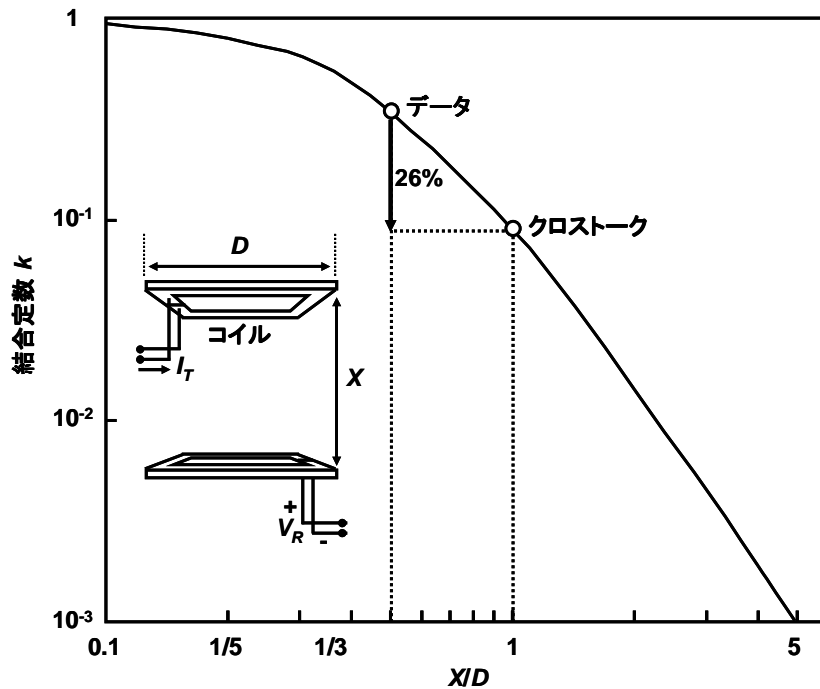
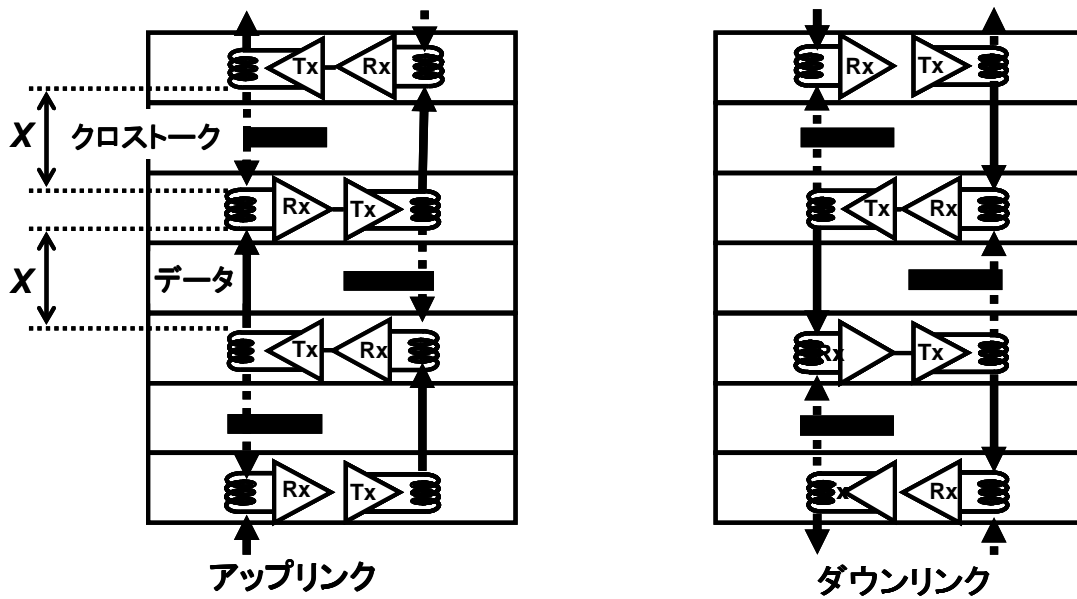


図 2.4 通信コイル間の結合強度とコイル間距離/コイル直径( $X/D$ )の関係.

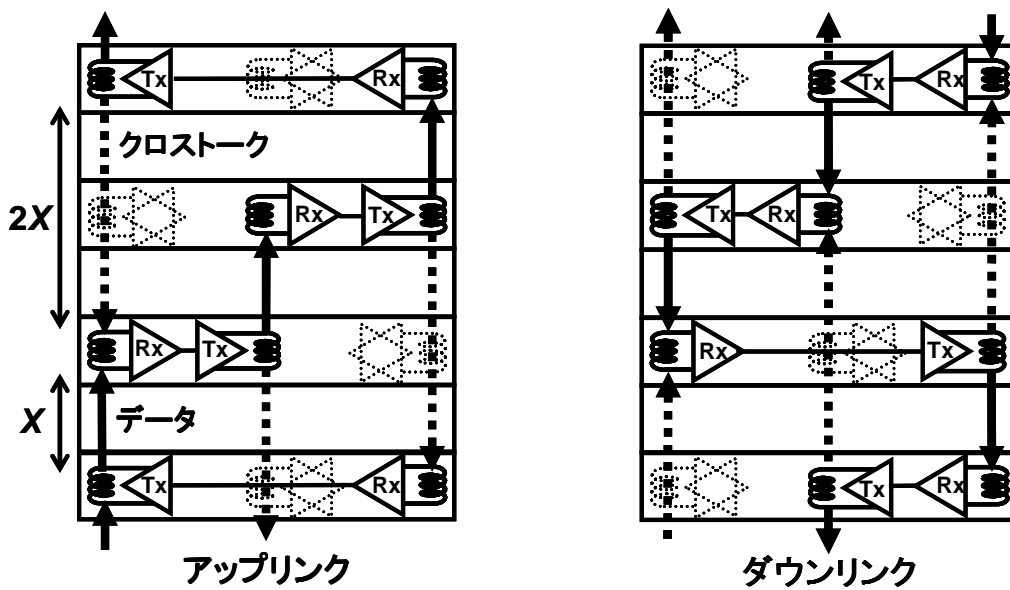
図 2.5 にクロストークを回避するためにシールドを用いた場合と、クロストークを発生する送受信器間の距離を、データ通信を行う送受信器間の距離の 2 倍に広げたリレー伝送図を示す。シールドを用いる方法を 2 コイル+シールドチャンネル、距離を広げる方法を 3 コイルチャンネルとする。

2 コイル+シールドチャンネルでは、垂直方向のクロストークのみが影響する。一方で、3 コイルチャンネルでは、垂直方向のクロストークだけではなく、に示すように水平方向、斜め方向に位置する送信器からもクロストークの影響を受ける。水平方向のコイルピッチを  $Y$  とすると、そのコイル間の結合強度は  $Y^3$  に反比例する[3]。そのため、 $Y$  をコイル直径の 2 倍( $2D$ )に設定することにより、クロストークは十分小さくなり、データ信号に影響しない。

2 コイル+シールドチャンネルは、リピータを 2 つで形成することが可能のため、コイル面積が 3 コイルチャンネルの  $3/2$  である。しかし、シールドがデータ信号を減衰させるため、3 コイルチャンネルと比べるとより大きな面積が必要となる。一方で、シールドを使用しない 3 コイルチャンネルは、2 コイル+シールドチャンネルと比べて電力が小さい。



(a) 2コイル+シールドチャンネル



(b) 3コイルチャンネル

図 2.5 リレー伝送経路図 (a) 2 コイル+シールド (b) 3 コイルチャンネル.

## 2.2.4 送受信器の指定

チップ内の適切な送信器と受信器を選択し、起動することにより、リレー伝送の経路を形成する。起動する送受信器は、同一メモリチップを積層するため、図 2.5 に示すように繰り返し構造となる。2 コイル+シールド方式では、2 チップおきに同じ構造となる。3 コイル方式では、3 チップおきに同じ構造となる。その繰り返し構造のどの周期にチップがあるのか指定するために mod 信号を追加する。mod 信号は、ボンディングオプションで与える。図 2.6 にボンディングオプションによる、送受信器選択回路を示す。各メモリチップはボンディングオプションのために 3 個のパッドを有している。どのパッドにボンディングされるかによって、適切な送受信器を選択し起動する。ボンディングワイヤを 1 本追加する必要があるが、2.2.5 節で述べる *Reset* 信号に再生する。

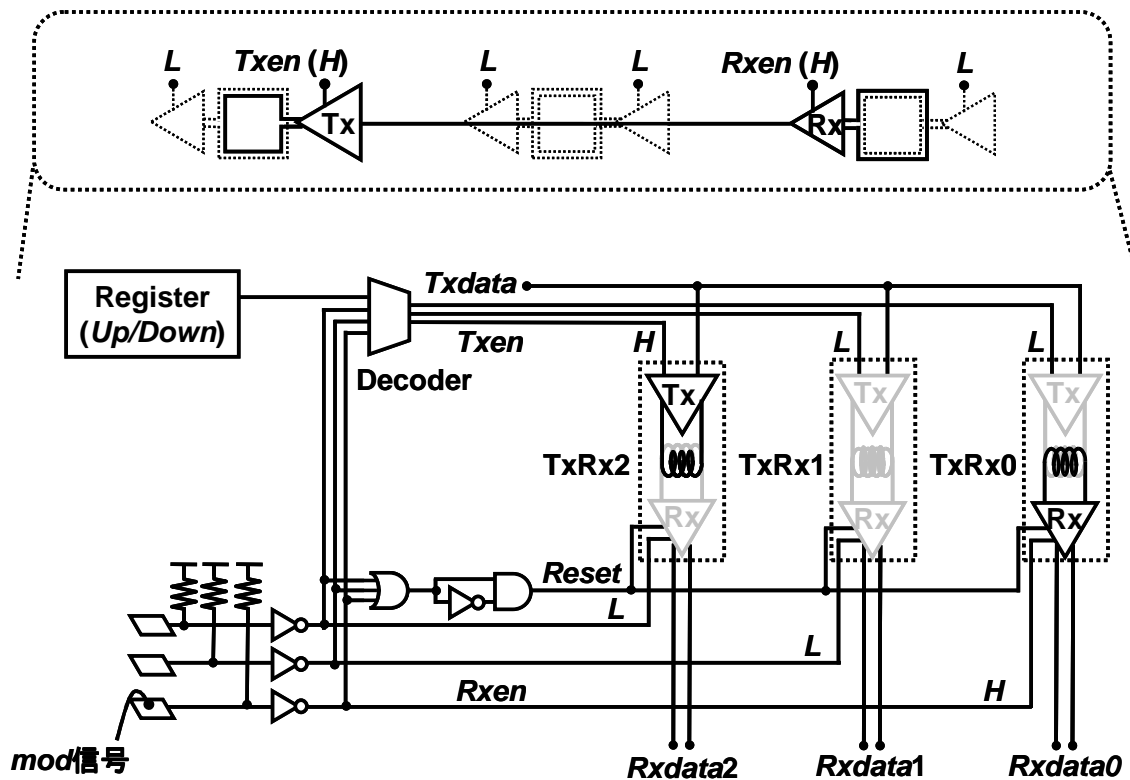


図 2.6 送受信器選択回路

## 2.3 積法方式

本研究で提案する技術では、mod 信号と電源供給にボンディングワイヤを利用する。そのため、ボンディングワイヤを供給するためのパッドスペースを確保しつつ、リレー伝送を実現するためにコイルの中心軸を合わせて積層する方式を4種類提案する。

### 2.3.1 反転積層実装 (2コイル+シールドチャンネル)

図 2.7 に提案する2コイル+シールド反転積層実装を示す。シールドをメモリチップの端に配置し、反対側の端に誘導結合インタフェースを配置する。積層するたびにチップを180度回転させ積層する。この時、 $\Delta X$  のオフセットを与え積層することにより、PAD領域を確保する。また2チップ毎に $\Delta Y$  のオフセットを与え積層することにより、意図としない送受信器間にシールドを配置する。コイルを配置した部分が偶数、奇数枚目と2チャンネルに分かれる。

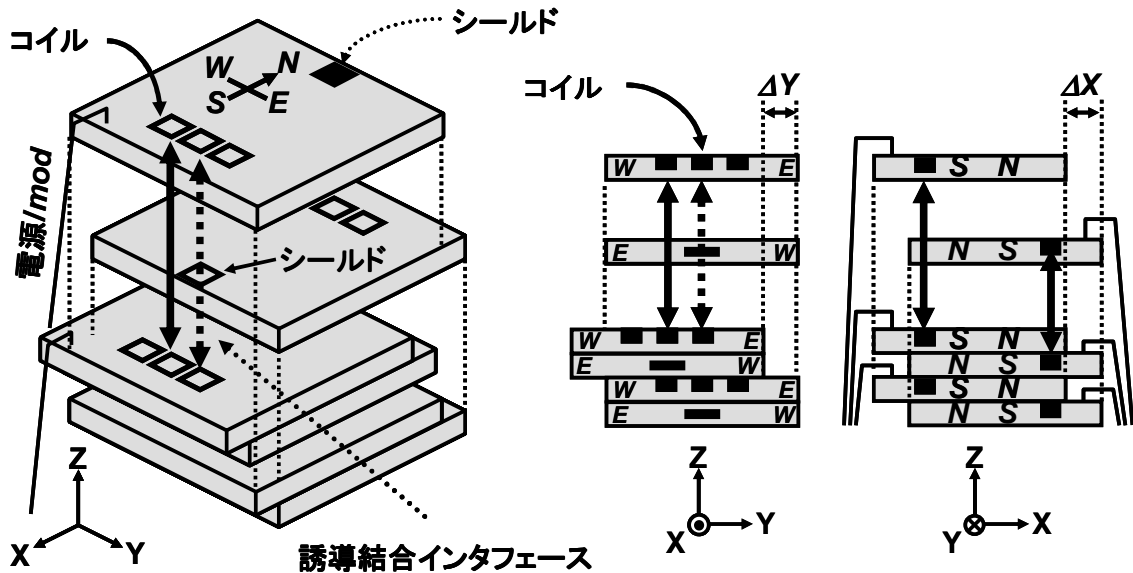


図 2.7 2コイル+シールドチャンネル反転積層実装.



### 2.3.2 階段積層実装 (2コイル+シールドチャンネル)

図 2.8 に提案する 2 コイル+シールド階段積層実装を示す。コイルピッチに合わせて階段状にチップを $\Delta X$  のオフセットを与え積層する。4 チップ毎に、PAD 領域とワイヤ・ボンディングのスペースを確保するために、最低  $60\mu\text{m}$  厚のスペーサチップを挟み、積層方向を x 軸に対して折り返して、積層方向を反転する。スペーサチップ内には、クロストークを回避するためにシールドを配置する。

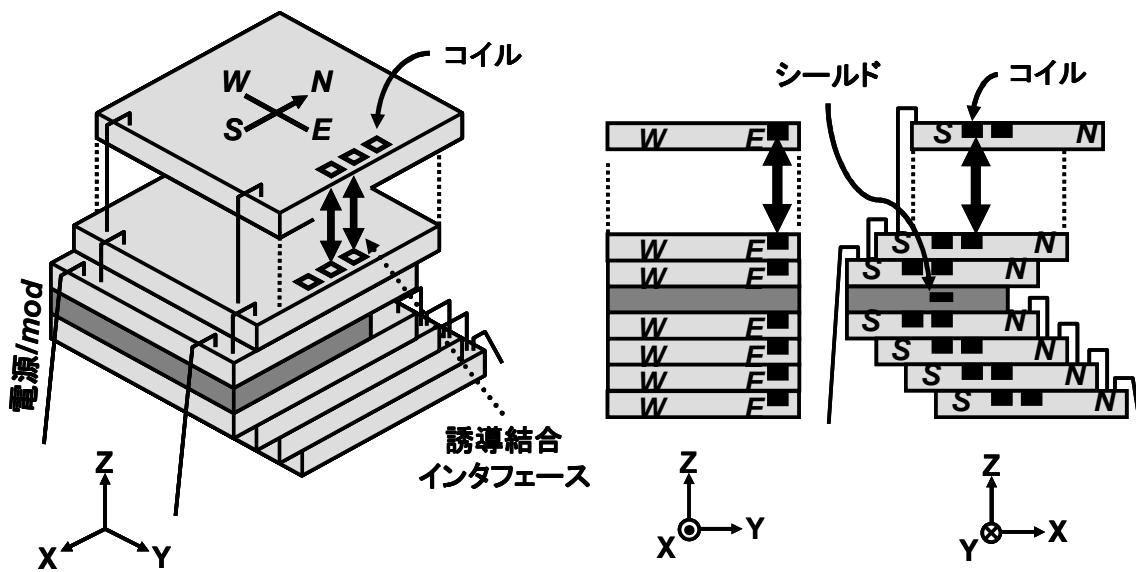


図 2.8 2 コイル+シールドチャンネル階段積層実装.

### 2.3.3 反転積層実装 (3コイルチャンネル)

図 2.9 に提案する 2 コイル+シールド反転積層実装を示す積層するたびにチップを  $180^\circ$  回転させ、 $\Delta X$  のオフセットを与え積層することにより、PAD 領域を確保することが可能である。コイルを配置した部分が偶数、奇数枚目と 2 チャンネルに分かれる。

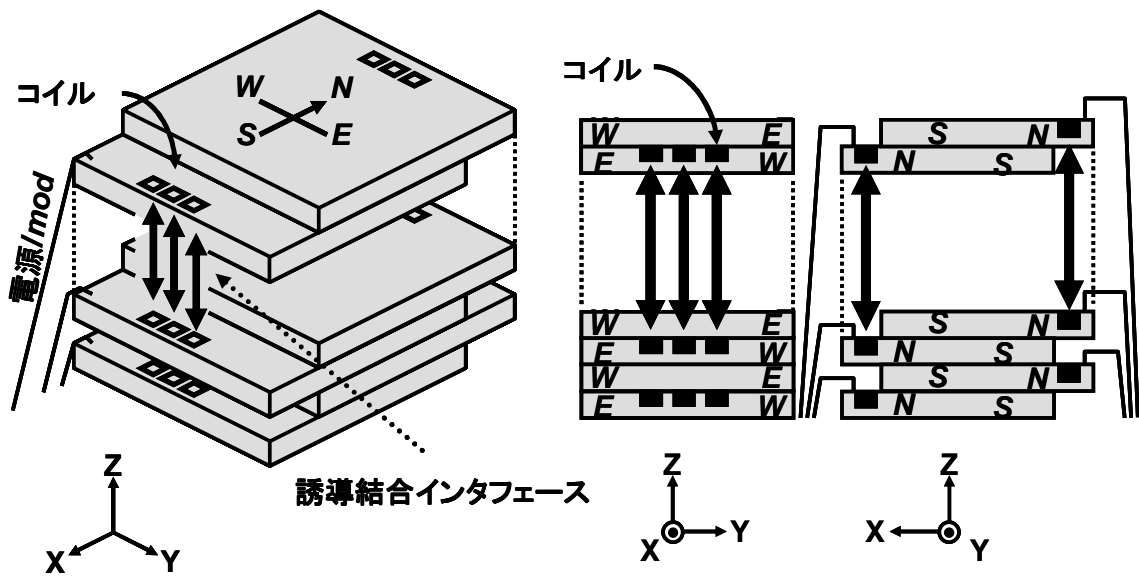


図 2.9.3 コイルチャネル反転積層実装.

### 2.3.4 階段積層実装 (3コイルチャネル)

図 2.10 に提案する 2 コイル+シールド階段積層実装を示す。コイルピッチに合わせて階段状にチップを $\Delta X$ のオフセットを与え積層する。4 チップ毎に、PAD 領域とワイヤ・ボンディングのスペースを確保するために、最低  $60\mu\text{m}$  厚のスペーサチップを挟み、積層方向を x 軸に対して反対方向に積層する。

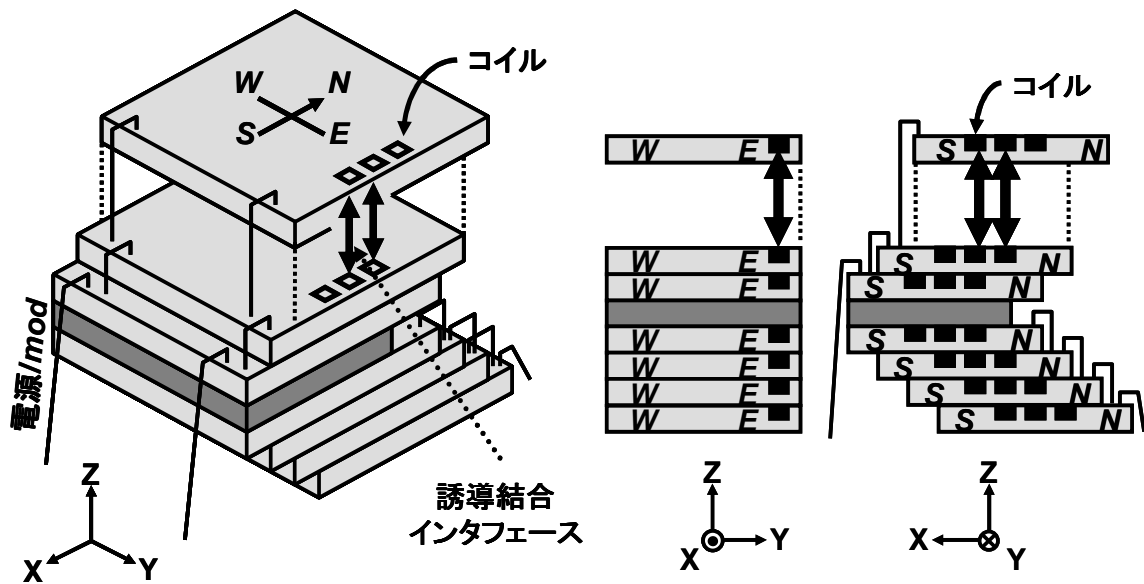


図 2.10.3 コイルチャネル階段積層実装.

### 2.3.5 積層方式の比較

提案する4種類の積層方式を比較する。まず、2種類のチャンネルの比較を行うと、2コイル+シールドチャンネルは面積が小さいというメリットがある。しかし、シールドが信号を減衰するため、消費電力が大きくなってしまう。一方で、3コイルチャンネルは電力が小さいというメリットがある。

次に、反転積層と階段積層の比較を行う。反転積層は階段積層で必要なスペーサチップが不要、また、2チャンネルを形成するためレイテンシが小さいというメリットがある。しかし、ボンディング時の強度を得るためだけの厚さのチップが必要なため、積層枚数の膨大な積層には適さない。一方で、階段積層は薄いチップを積層出来る、高密度化が可能というメリットがある。しかし、4チップ毎にボンディング高さスペースを確保するためにスペーサチップが必要である。表2.1にそれぞれのメリットをまとめた。

表 2.1 積層方式の比較.

		2コイル+シールドチャンネル	3コイルチャンネル
		面積:小	電力:小
反転積層実装	レイテンシ:短		
階段積層実装	チップ厚:薄 チャンネル密度:高		

## 2.4 誘導結合インタフェースメモリアクセス技術

従来の方式では、コントローラは各々のメモリチップに与えられた識別番号(チップ ID)により、所望のメモリチップを指定しアクセスしている。この認識番号はボンディングワイヤで与えられる。しかし本研究では、ボンディングワイヤ削減のため、無線通信である誘導結合インタフェースを用いてメモリアクセスする技術を提案する。

### 2.4.1 チップ指定手順

コントローラは、FSM(finite state machine)を用いて、所望のメモリチップを指定する。図 2.11 に示すように、所望のメモリチップは *Select* 状態に設定される。コントローラと所望のメモリチップの間に位置するチップは *Repeat* 状態に設定される。その他のチップは消費電力削減のために *Sleep* 状態に設定される。

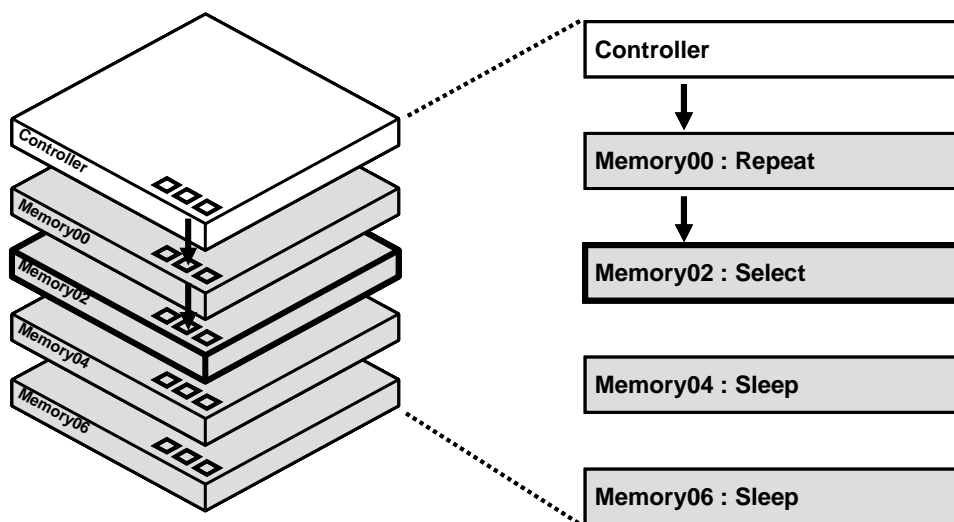


図 2.11 チップ設定手順.

---

図 2.12 に FSM のチップの状態設定の流れを示す。チップには、*Receive*、*Repeat*、*Repeat-Ready*、*Select*、*Sleep-Ready*、*Sleep* の 6 つの状態が存在する。

(1) *Receive* 状態

FSM は、*Reset* 信号により全メモリチップを *Receive* 状態に強制的に初期化する。*Receive* 状態では、チップ内の受信器のみが起動しており、データを送信することは出来ない。その後、コントローラから送られる 2 ビット状態設定コードにより各々のチップの状態は遷移する。

(2) *Repeat* 状態

*Receive* 状態のチップは状態設定コード(01)により *Repeat* 状態に遷移する。*Repeat* 状態のチップは、チップ内の送信器と受信器を起動する。そのため、*Reset* 信号で初期化されるまで、コントローラと所望のメモリチップの間のリレー伝送を行う中継チップとなる。

(3) *Select-Ready* 状態

*Receive* 状態のチップは状態設定コード(11)により *Select-Ready* 状態に遷移する。その後、状態設定コード(00)、もしくは *Reset* 信号が与えられるまで上チップからのデータを下チップへリレーする中継チップとなる。

(4) *Select* 状態

*Select-Ready* 状態のチップは状態設定コード(00)により *Select* 状態に遷移する。この時、メモリの読み込み時は受信のみ行う。

(5) *Sleep-Ready* 状態

*Receive* 状態のチップは状態設定コード(10)により *Sleep-Ready* 状態に遷移する。その後、状態設定コード(00)、もしくは *Reset* 信号が与えられるまで上チップからのデータを下チップへリレーする中継チップとなる。

(6) *Sleep* 状態

*Sleep-Ready* 状態のチップは状態遷移コード(00)により *Sleep* 状態に遷移し、送受信器が全てオフとなるため電力を消費しない。無駄な消費電力を削減するために、*Select* 状態の下に積層されたメモリチップはメモリアクセスに不要なため、*Sleep* 状態となる。

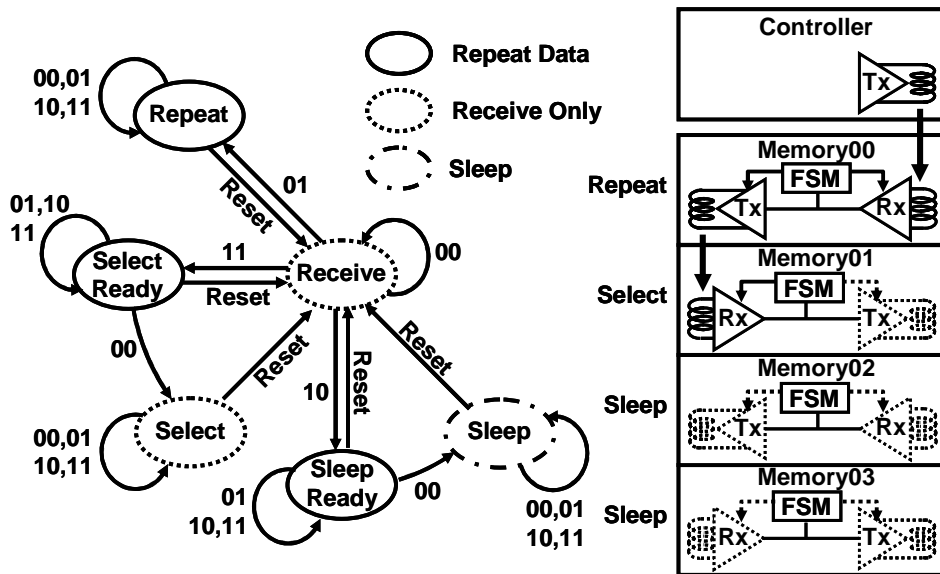


図 2.12 チップの状態設定の流れ.

上記のように、状態遷移コードを全チップにリレー伝送することにより、コントローラは所望のメモリチップにアクセス出来る。図 2.13 に、例として Memory01 にコントローラがアクセスする流れを示す。

- (1) 全てのメモリチップは *Reset* 信号により *Receive* 状態に初期化される。
- (2) コントローラは Memory00 に状態遷移コード(01)を転送し、Memory00 の状態を *Repeat* 状態に遷移する。
- (3) コントローラは Memory00 に状態遷移コード(11)を送信する。Memory00 はコントローラから送られたコードを Memory01 にリレーし、Memory01 の状態を *Select-Ready* 状態に遷移する。
- (4) コントローラは Memory00 に状態遷移コード(10)を送信する。コントローラから送られたコードは Memory02 までリレーし、Memory02 の状態を *Sleep-Ready* 状態に遷移する。
- (5) コントローラは再度 Memory00 に状態遷移コード(10)を送信する。コントローラから送られたコードは Memory03 までリレーし、Memory03 の状態を *Sleep-Ready* 状態に遷移する。
- (6) コントローラは Memory00 に状態遷移コード(00)を送信する。コントローラから送られたコードは Memory01、Memory02、Memory03 までリレーし、各々のチップは *Select*、*Sleep*、*Sleep* 状態に遷移する。

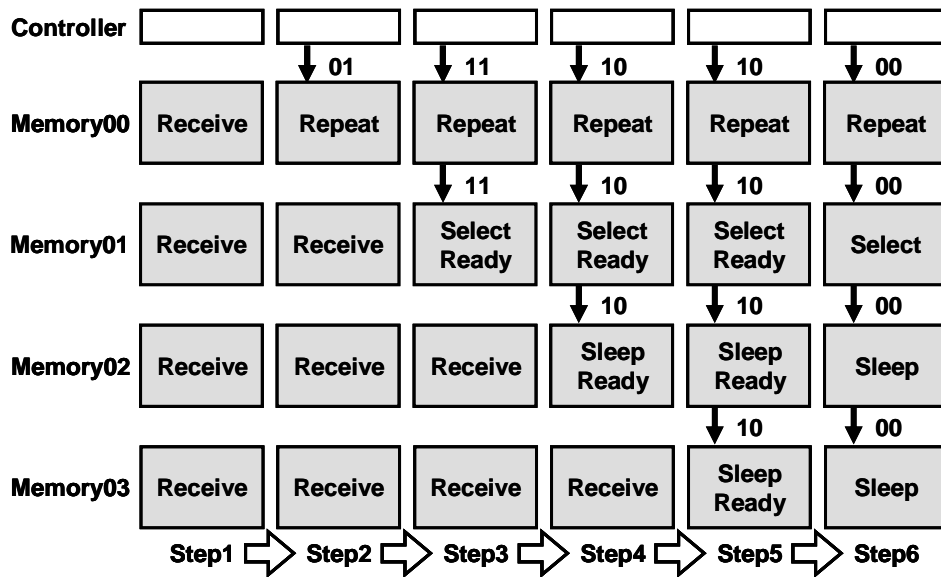


図 2.13 Memory01 にコントローラがアクセスする流れ.

上記のように、チップ ID 無しでコントローラは所望のメモリチップを指定できる。この技術によりチップ ID 用のボンディングワイヤを削減出来る。

## 2.5 誘導結合インタフェース回路

従来のボンディングワイヤでは、データと制御信号は平行に送られていた(図 2.14(a))。これは、ボンディングワイヤが有線であるため、大容量な ESD 保護回路を必要とし、高速信号の転送が難しかったためである。一方で、誘導結合通信は ESD 保護回路を必要としないため、高速化が可能である。従来の一般的なメモリインタフェースの転送速度は 40Mb/s であるが、誘導結合インタフェースは 2Gb/s と、10 倍以上の高速化が可能である。そこで、データと制御信号を、シリアルーパラレル変換し、一つのインタフェースで転送することを考案した。データと制御信号は、パケット通信技術を用いることによりインタフェースを共有する。シリアルで送られたパケットは、受信側でシリアルーパラレル変換される。

図 2.14 (b)に、誘導結合インタフェース回路図を示す。送信側で生成されたクロックで、データと制御信号をシリアルーパラレル変換(MUX)する。この時、送られる信号(アドレス、コマンド、ステート、データ)を選別するために、ヘッダを付加し、誘導結合インタフェースを用いて受信側に転送する。同時に、送信側で生成したクロックを、別の誘導結合インタフェースを用いて受信側に転送し、パラレルーシリアル変換(DEMUX)に用いる。API デコーダがヘッダの情報を読み取りペイロードがデータか制御信号かを判別する。

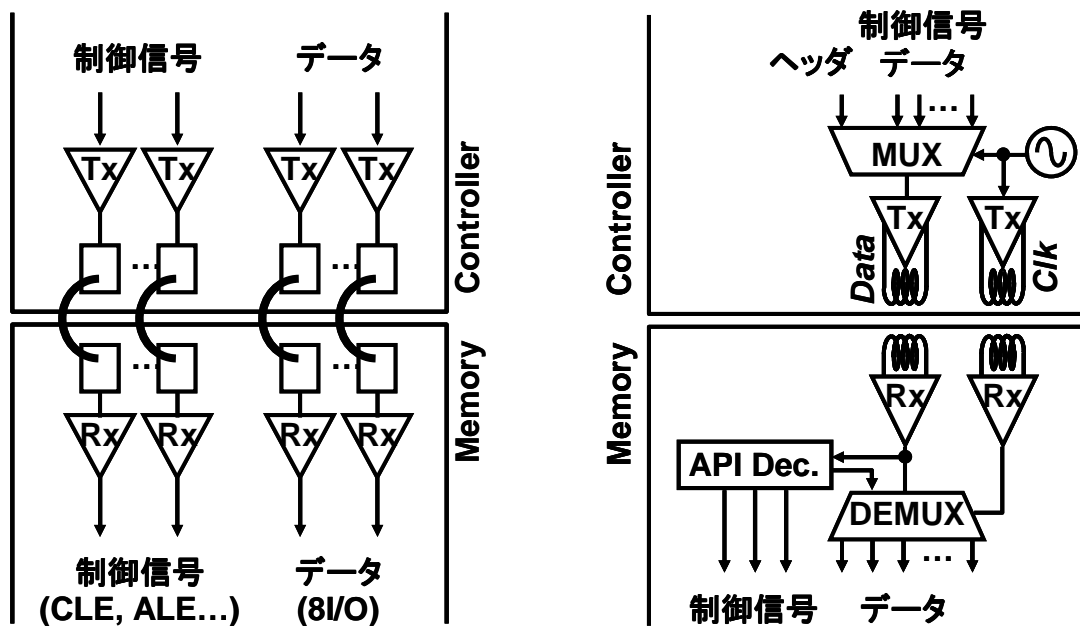


図 2.14 (a) 従来のインタフェースと(b) 誘導結合インタフェース。



---

図 2.15 に、メモリ読み込み時の動作波形図を示す。最初の 2 つのパケットはコマンド設定に用いる。最初のパケットは制御信号であり、API デコーダにより *CLE* が発生する。2 番目のパケットはコマンドデータであり、シリアルーパラレル変換され、コマンドレジスタに送る。アドレスデータも同様にして送る。次に、*/WE* 信号をクロックにより生成し、メモリコアにデータを書き込む。

図 2.16 にメモリ読み込み時の動作波形図を示す。コマンドとアドレスデータはメモリ書き込み時と同様に設定される。そのあと、API デコーダが誘導結合通信の向きを変更し、クロックを生成する。そのクロックを用いてデータをパラレルーシリアル変換する。*/RE* 信号もクロックを用いて生成し、メモリコアからデータを読み込む。図 2.15 と図 2.16 に示すように、メモリコアへ入力する信号は従来と同様であるため、従来の NAND フラッシュメモリの周辺回路を変更する必要はない。

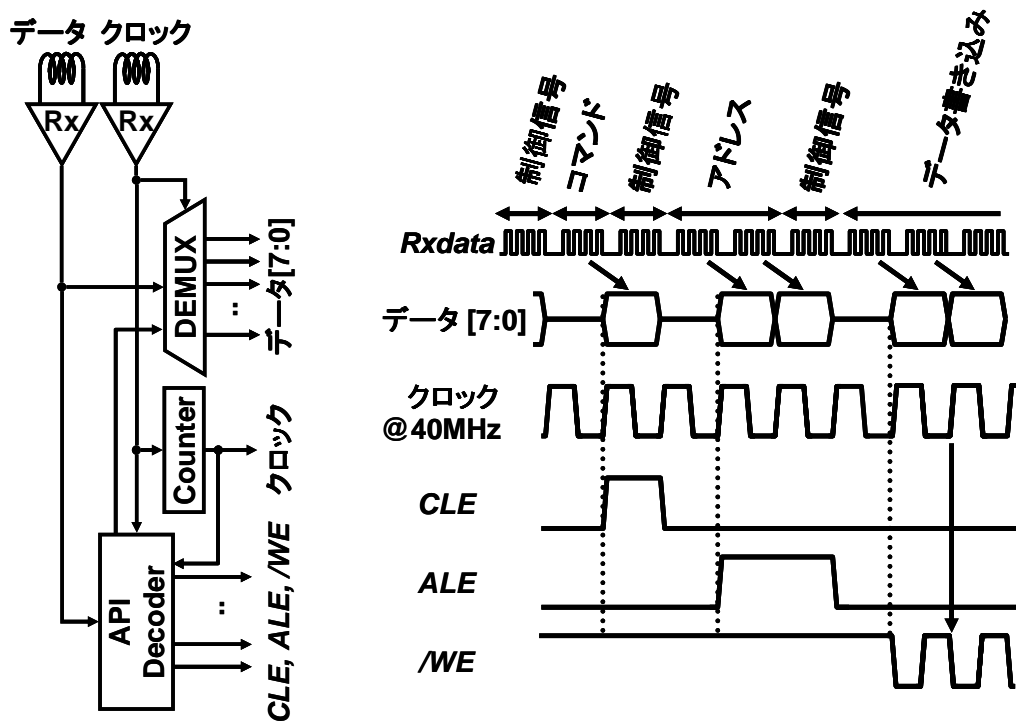


図 2.15 メモリ書き込みの動作波形図.

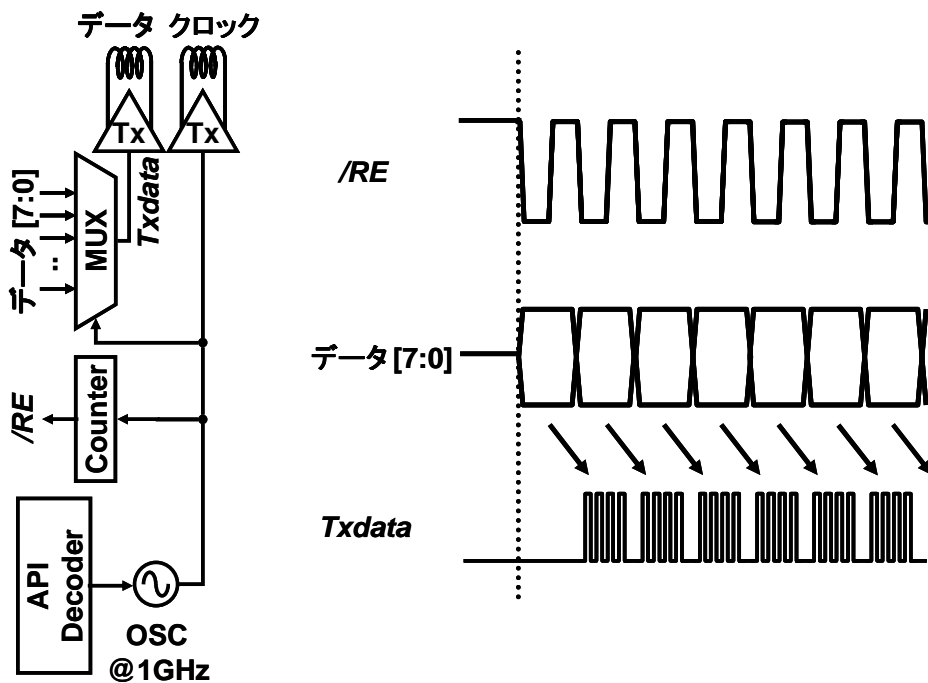


図 2.16 メモリ読み込みの動作波形図.

## 2.6 試作チップ評価

本節では、0.18 $\mu\text{m}$  CMOS テクノロジーを用いた試作チップの実測を用いて提案する誘導結合インタフェースの性能の評価結果を示す。図 2.17 は試作チップ写真である。試作チップ A には、2 コイル+シールドチャンネルと 3 コイルチャンネルが配置してある。コイル直径は 200 $\mu\text{m}$  である。また、試作チップ B にはシールドが配置してある。シールドの一边の長さは 400 $\mu\text{m}$  であるため、面積は 160,000 $\mu\text{m}^2$  である。図 2.18 は積層チップ写真である。チップの厚さを 50 $\mu\text{m}$  に研磨し、厚さ 10 $\mu\text{m}$  の接着剤を用いて反転積層実装で積層した。そのため、通信距離は 120 $\mu\text{m}$  である。試作チップ A を 5 枚、試作チップ B を 5 枚、計 10 枚のチップを、シールドが 2 コイル+シールド方式チャンネルの間に配置するように、それぞれ交互に積層した。

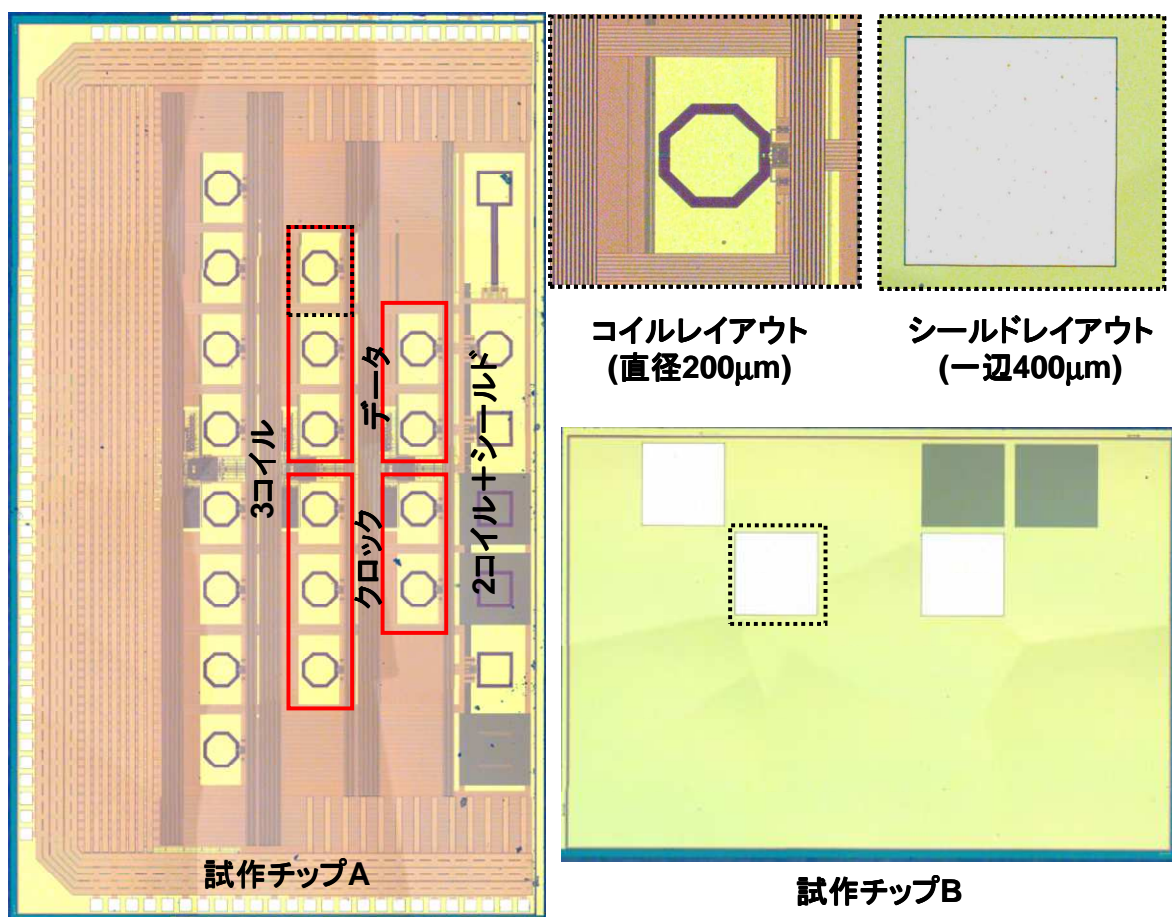


図 2.17 試作チップ.

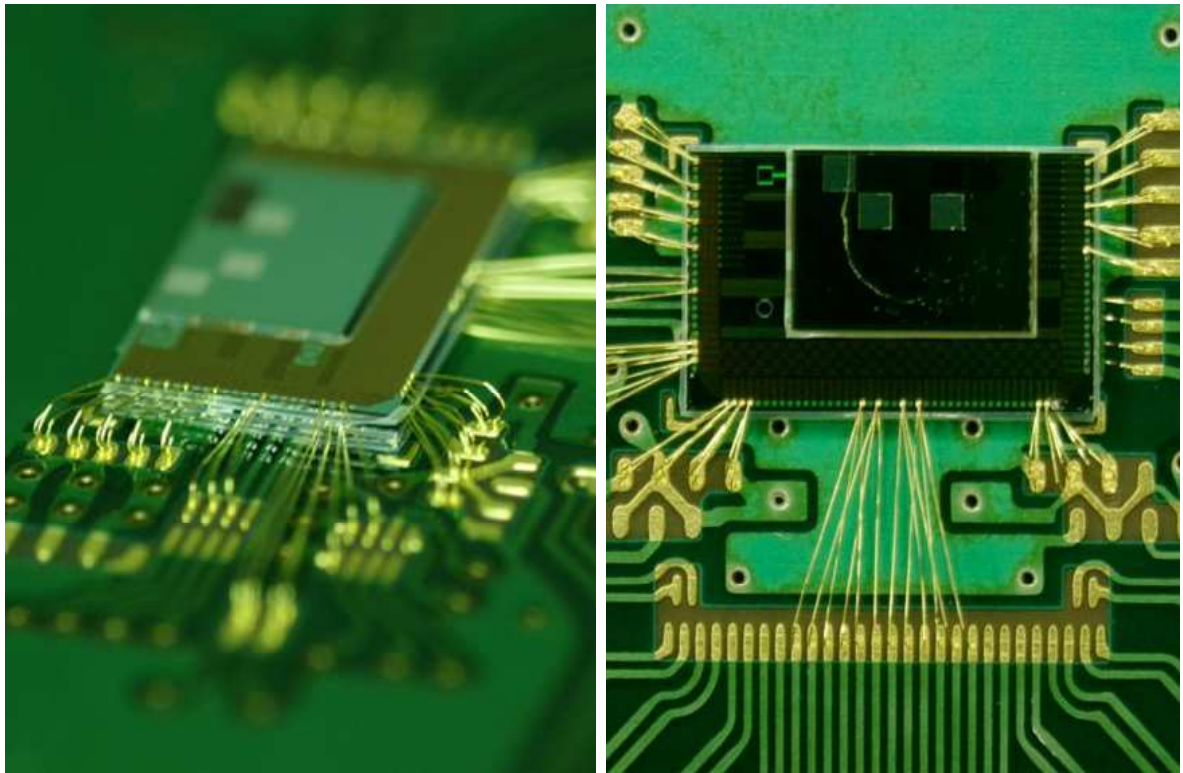


図 2.18 積層チップ写真.

### 2.6.1 シールドの影響

図 2.19 に 2 コイル+シールドチャンネルで使用するシールドの影響を示す。「w/o Shield」の実線は周囲のチップにシールドが存在しない状況を示す。「w/ Shield」の実線は、シールドが 2 コイル+シールドチャンネルと同一の配置で存在する状況を示す。周囲のシールドに流れる渦電流により信号が減衰する。そのため、減衰した信号を補うために、送信電力を上げて、十分な受信電圧を確保する必要がある。実測より、送信電力を 72% 追加すれば、 $BER < 10^{-12}$  を達成し、通信が可能であることを確認した。「Thru Shield」の破線は、通信コイル間にシールドを配置した実験結果である。送信電力を追加しても BER は 0.5 であった。つまり、シールドを貫通しての通信は不可能であることを示している。この実験結果より、シールドによりクロストークが回避でき、通信チャンネルの周囲にシールドが存在する状況でも送信電力を追加することにより通信が可能であることを確認した。

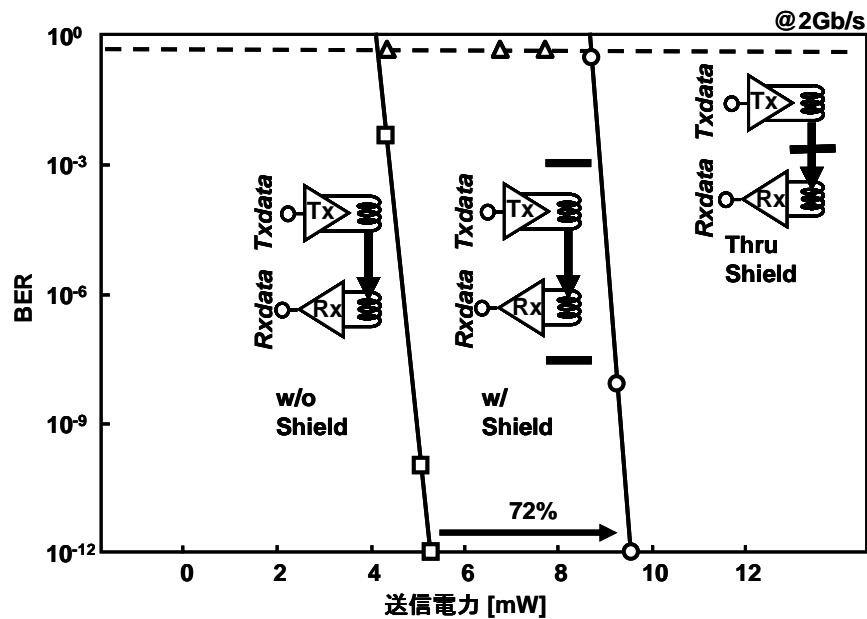


図 2.19 シールドの影響.

## 2.6.2 3コイル方式のクロストークの影響

3コイル方式では、通信コイル間距離2倍の位置に送信器が配置されている。その送信器が発生する信号がクロストークとなる。このクロストークにより、信号が減衰する為、送信電力を追加し、通信が可能となるように受信電圧を確保する必要がある。図 2.20 に2倍の距離の位置に送信器が存在しない場合と、存在する場合の実験結果を示す。2倍の距離に送信器が存在しない場合と比べ、送信電力を12.4%追加すれば、 $BER < 10^{-12}$ を達成し、通信が可能であることを確認した。

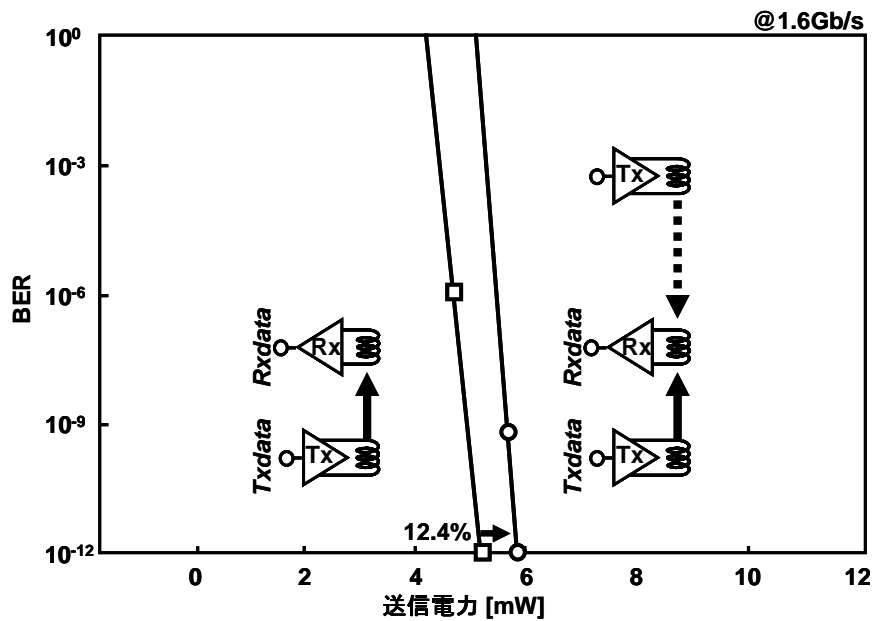
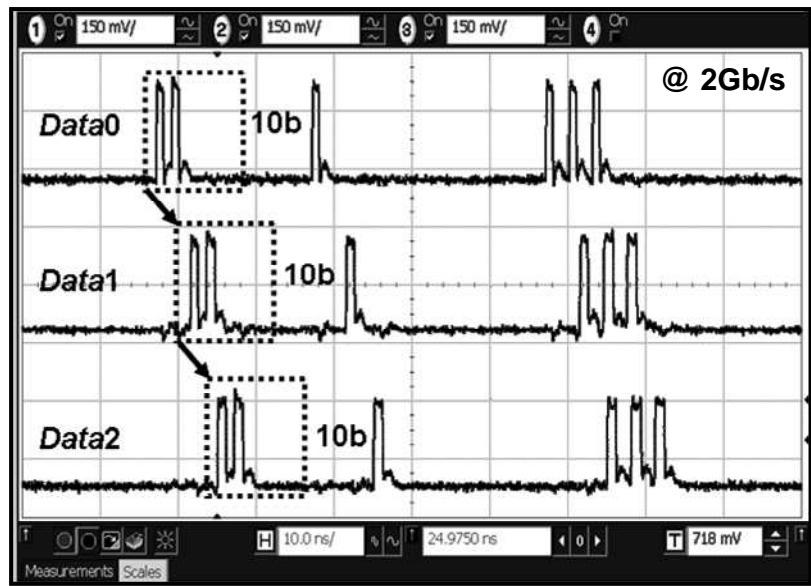
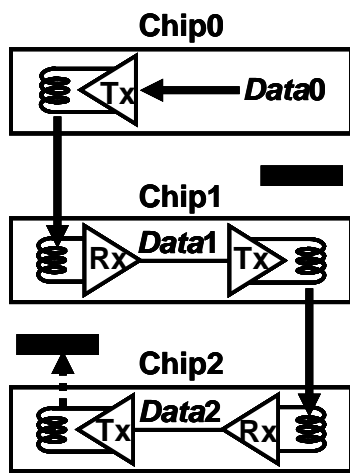


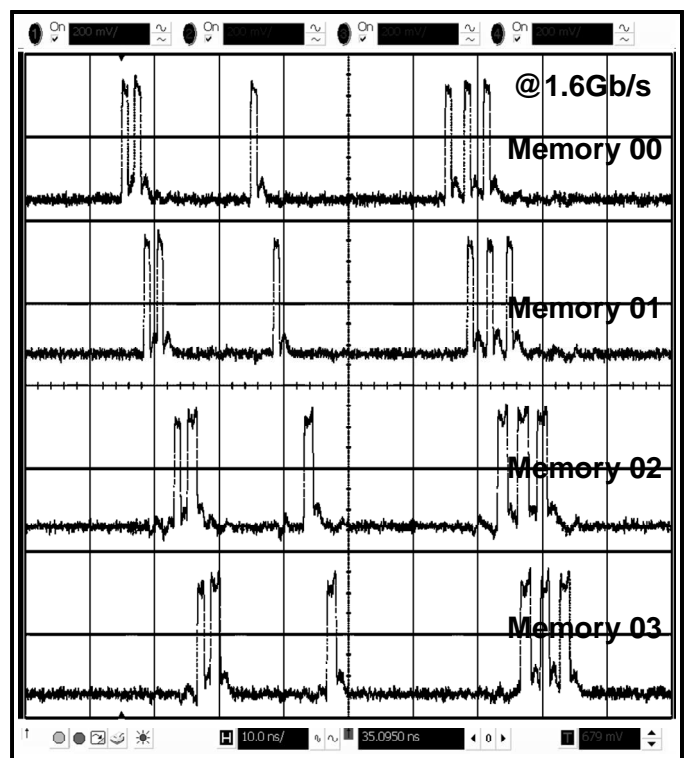
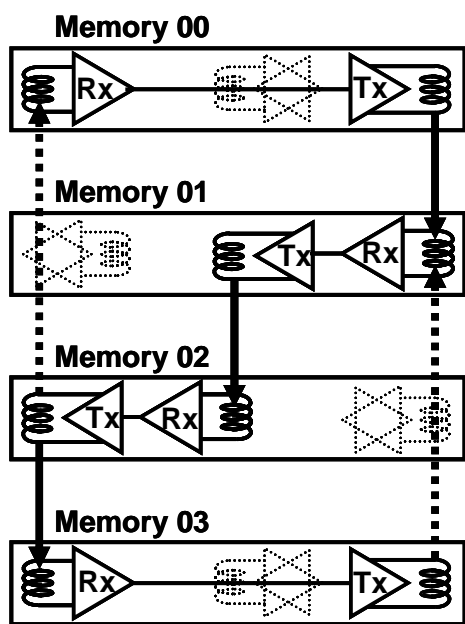
図 2.20 3 コイルチャンネルにおけるクロストークの影響.

### 2.6.3 リレー伝送

2コイル+シールドチャンネルと3コイルチャンネルのリレー伝送波形図を図2.21に示す。2コイル+シールド方式では3枚の積層チップを、3コイル方式では4枚の積層チップをデータがリレーし転送されていることを確認した。2コイル+シールドチャンネルでの最高転送速度は2Gb/sであった。3コイルチャンネルでの最高転送速度は1.6Gb/sであった。



(a) 2 コイル+シールドチャンネル



(b) 3 コイルチャンネル

図 2.21 リレー伝送波形図.

## 2.6.4 誘導結合インタフェースを用いたメモリアクセス

図 2.22 に提案する誘導結合インタフェースを用いたメモリアクセスの状態設定の波形を示す。チップ内の FSM が、*Sleep*、*Repeat*、*Select* 状態に設定されていること確認した。

図 2.22 (a)は *Sleep* 状態に Chip1 を設定している波形である。状態遷移コード(10)と(00)が Chip1 内の FSM を *Sleep* 状態に遷移させる。Chip1 内の送受信器は全て切れた状態になり、Chip0 からの”Read”コマンドが受信されていないことを確認した。

図 2.22 (b)は *Repeat* 状態に Chip1 を設定している波形である。状態遷移コード(01)と(00)が Chip1 内の FSM を *Repeat* 状態に遷移させる。適切な送受信器が選択され起動し、”Read”コマンドが次のチップに送信される。

図 2.22(c)は *Select* 状態に Chip1 を設定している波形である。状態遷移コード(11)と(00)が Chip1 内の FSM を *Select* 状態に遷移させる。送受信器は”Read”コマンドを受け取ると、チップ内のメモリデータを取り出し、読み込みが可能であることを確認した。

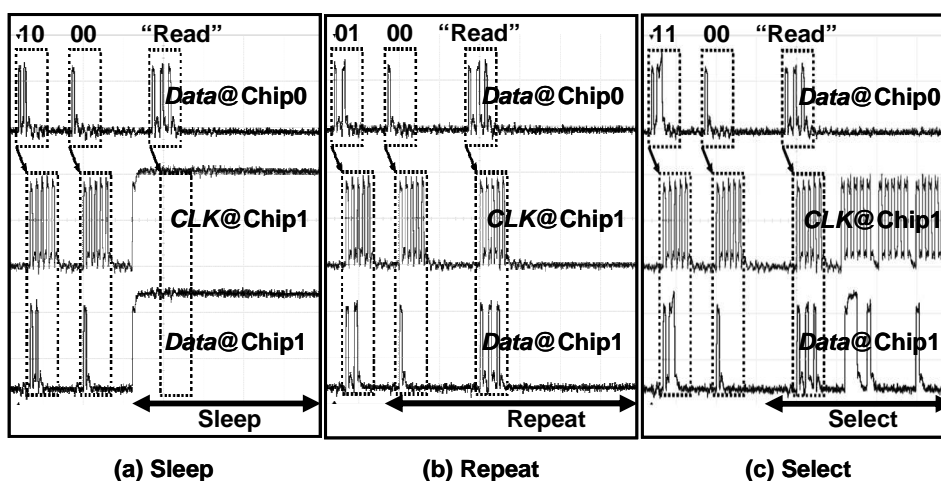


図 2.22 メモリアクセスの測定結果.



## 2.7 おわりに

本章では、誘導結合通信を応用したメモリ積層用インタフェースを提案した。誘導結合リピータを用いてコントローラチップと下に積層されたメモリチップ間の伝送経路を形成する。データはコントローラと所望のメモリチップ間のチップ内のリピータを中継し、リレー伝送を行う。表 2.2 に 2 コイル+シールドチャンネルと 3 コイルチャンネルの性能比較を示す。3 コイルチャンネルでは、リピータを 3 個使用するが、大面積であるシールドが不要なため、レイアウト面積は 2 コイル+シールドチャンネルの 52%である。これに加えて、シールド内の渦電流の影響を受けないため、送信電力も 2 コイル+シールドチャンネルの 53%と、電力面でも優位である。

表 2.2 性能比較.

		2コイル+シールド方式	3コイル方式
送信電力 [mW]		13.5 (1)	7.2 (0.53)
レイアウト面積 [ $\mu\text{m}^2/\text{ch}$ ]	合計	245,306 (1)	127,959 (0.52)
	コイル	80,000	120,000
	シールド	160,000	0
	周辺回路	5,306	7,959

---

## 参考文献 (第 2 章)

- [1] M. Sasaki and A. Iwata, "A 0.95mW/1.0Gbps Spiral-Inductor Based Wireless Chip-Interconnect with Asynchronous Communication Scheme," *Symp. on VLSI Circuits Dig. of Tech. Papers*, pp.348-351, Jun. 2005.
- [2] N. Miura, D. Mizoguchi, T. Sakurai, and T. Kuroda, "Analysis and design of inductive coupling and transceiver circuit for inductive inter-chip wireless superconnect," *IEEE Journal of Solid-State Circuits (JSSC)*, vol.40, no.4, pp. 829-837, Apr. 2005.
- [3] N. Miura, D. Mizoguchi, T. Sakurai, and T. Kuroda, "Cross Talk Countermeasures in Inductive Inter-Chip Wireless Superconnect," *Proc. IEEE Custom Integrated Circuits Conference (CICC)*, pp.99-102, Oct. 2004.

---

## 第 3 章

### 非同期パルス送信器

### 3.1 はじめに

本章では電力削減のため誘導結合非同期パルス送信器について述べる。誘導結合通信では非同期送受信器が採用されている[1]。データ復元のためのクロックは不要なため、高速である。しかしながら、図 3.1 に示すように定常電力が問題となる。受信器は送信データ遷移時の情報のみでデータを復元する。遷移時以外のデータは使用されないため、低いデータレート時では大きな電力を無駄にしている。通常の可動式小型電子装置のメモリが要求するデータレートは 2Gb/s 以下[2]であるため、電力も削減されるべきである。そこで本章では送信データ遷移時以外は電力を消費しない誘導結合非同期式パルス送受信器を提案する。

まず、送信データの遷移情報をパルス形状に変換する非同期器式パルス送信器について述べる。次にリレー伝送において非同期式パルス送信器からの送信データを復元する受信器を概説する。最後にテストチップによりパルス送信器の電力削減効果を示し、リレー伝送ができていることを確認する。

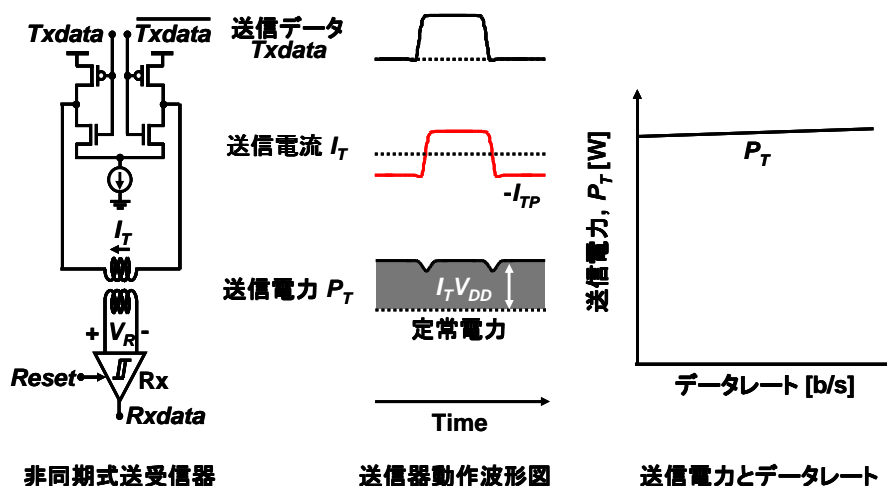


図 3.1 従来の非同期式送信器の問題.

## 3.2 誘導結合非同期式パルス送信器

誘導結合非同期式パルス送信器について詳述する。図 3.2 に提案する送信器とその動作波形図を示す。従来の誘導結合送器は H-bridge 型のドライバに送信データ信号  $Txdata$  と  $Txdata$  の差動信号を与える[2]。一方提案する誘導結合非同期式パルス送信器は  $Txdata$  と  $Txdata$  を  $\tau$  遅延させた信号  $Delay$  を与える。 $Txdata$  と  $Delay$  に応じて送信器内の pmos と nmos トランジスタのゲートに閾値以上の電圧がかかり、送信器内に送信電流  $I_T$  が流れる。図 3.2 に示すように送信器内には  $Txdata$  の遷移時に幅  $\tau$  のパルス型の  $I_T$  が流れる。送信器に定常電流は流れないため、従来回路で問題となっていた定常電力を消費しない。送信器用コイルに  $I_T$  が流れると電流の変化に応じて磁束が発生する。その磁束の変化により受信器用コイルに受信電圧  $V_R$  が生じる。誘導結合通信において、 $V_R$  は次式で与えられる。

$$V_R = M \frac{dI_T}{dt}. \quad (3.1)$$

ここで  $M$  は送受信器用コイル間の相互インダクタンスである。(3.1)式より、 $V_R$  波形は  $I_T$  の微分波形である。従来の送信器においては、 $Txdata$  遷移時、受信器用コイルには極性を 1 つもったパルス型の  $V_R$  が生じる。一方で誘導結合非同期式パルス送信器の  $I_T$  はパルス上であるため、 $Txdata$  遷移時、2 極性のダブルパルス型の  $V_R$  が生じる。誘導結合受信器はヒステシスコンパレータである[3]。受信器の初期値を適正に設定することにより、受信器は  $V_R$  の前者のパルスではなく後者のパルスを検知しデータを復元できる。前者のパルスにより受信器の閾値  $V_{TH}$  シフトが生じる。この  $V_{TH}$  シフトにより、受信器の感度が下がる。しかし、前者のパルスと後者のパルスの間隔、つまりパルス幅  $\tau$  は感度が回復されるまで、十分の長さをとるように設計されなければならない。一方で、提案する送信器の消費電力は次式で与えられる。

$$P_T = \alpha \times (\text{データレート}) \times 2I_T \times V_{DD} \times \tau. \quad (3.1)$$

(3.1)式より、消費電力は  $\tau$  に比例する。感度が回復するまで十分長い  $\tau$  をとると同時に、電力削減のためになるべく短い  $\tau$ 、つまり最適な長さの  $\tau$  が存在する。3.4 節でこの最適な  $\tau$  の長さを述べる。

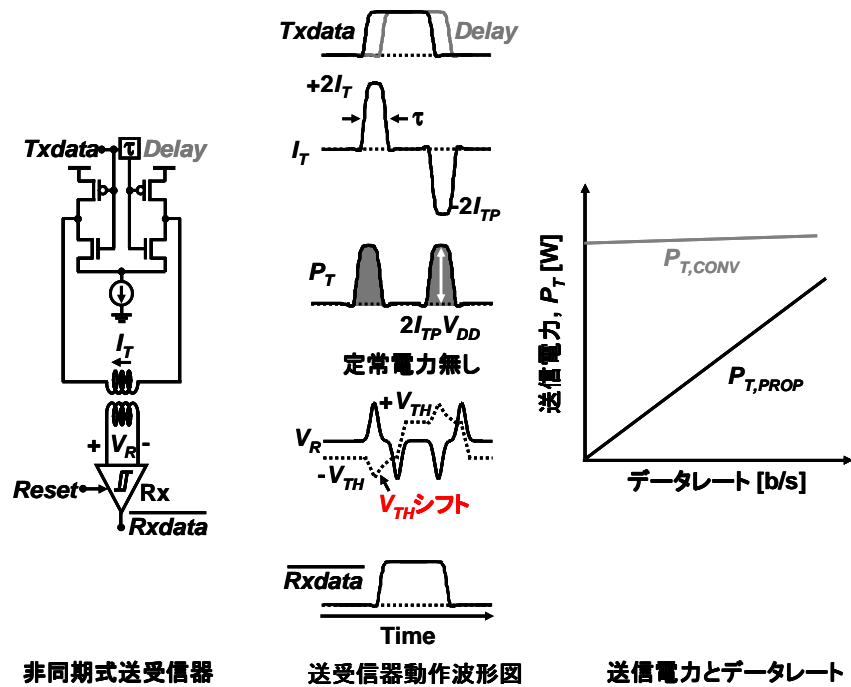


図 3.2 誘導結合非同期式パルス送信器.

### 3.3 測定セットアップ

図 3.3 に測定セットアップを示す。試作チップは  $0.18\mu\text{m}$  CMOS プロセスを用いて試作した。チップを  $300\mu\text{m}$  ずらし、階段状に 3 枚積層した。上段の 2 枚のチップを  $40\mu\text{m}$  厚に研磨紙、 $10\mu\text{m}$  厚の接着剤を使用し積層した。そのため通信距離は  $50\mu\text{m}$  である。チップには従来の誘導結合非同期式送信器と、提案した誘導結合非同期式パルス送信器が比較のため搭載した。送受信器用コイルの直径は  $200\mu\text{m}$  である。

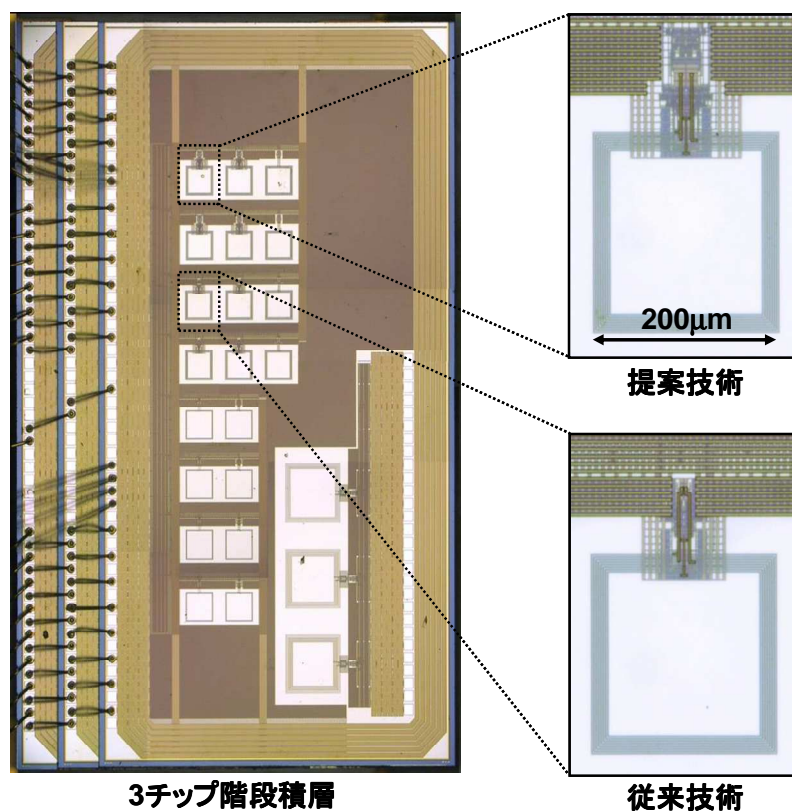


図 3.3 試作チップ積層写真.

### 3.4 最適パルス幅

3.3 節で議論したように最適なパルス幅となる $\tau$ が存在する。図 3.4 は $\tau$ と BER(Bit Error Rate)、送信電力の関係を示す。試作チップにクロックを入力し、もう一方の入力には $\tau$ s 遅延させたクロックを入力する。 $\tau$ は外部から制御する。 $\tau$ を短く設定していき、要求 BER ( $<10^{-12}$ )を達成する最小 $\tau$ は 130ps であった。つまり、受信器がデータを復元でき、同時に送信電力を最小にする最適な $\tau$ は 130ps である。そのときの消費電力は 4.2mW であった。シミュレーションにおいても、最小パルス幅は 130ps であった。シミュレーションでの消費電力は 2.3mW であった。

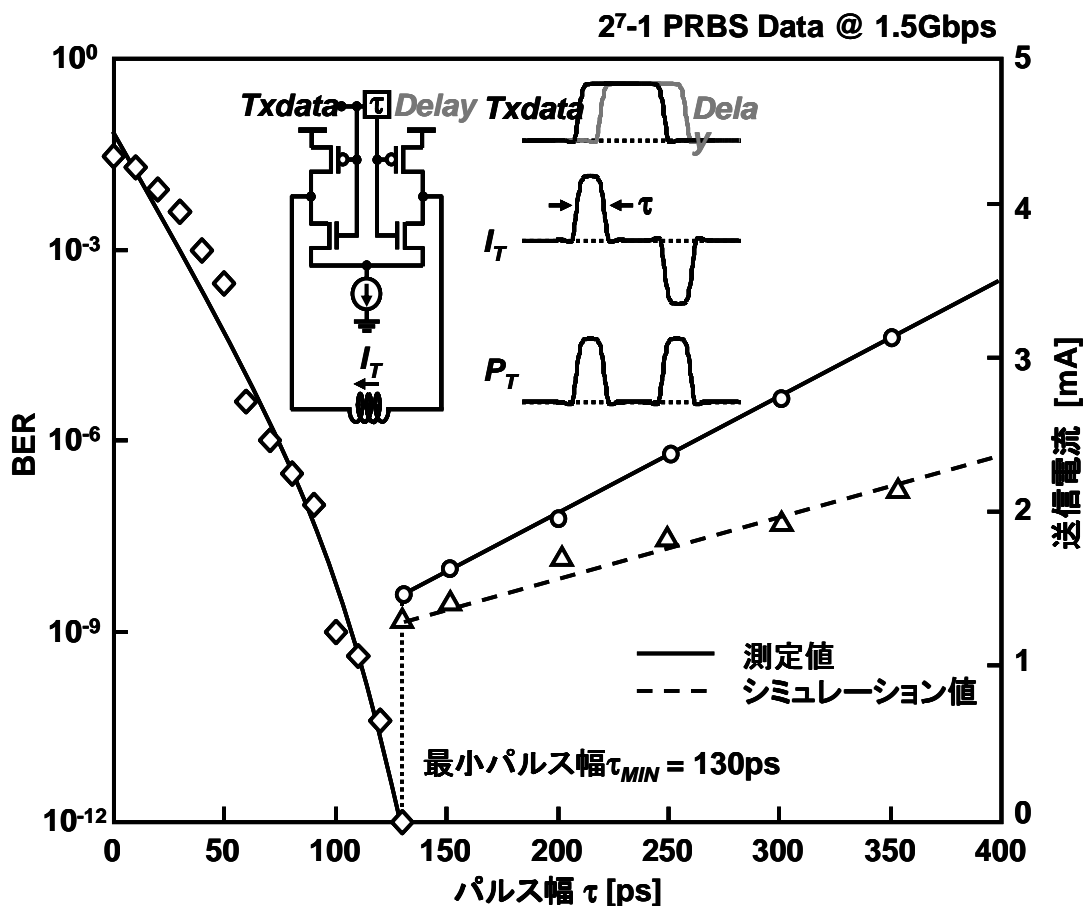


図 3.4 最適パルス幅.



さらに図 3.4 には、パルス幅 $\tau$ と送信電力の関係を示す。パルス幅が増加すると、送信器に流れる送信電流量が増えるため、送信電力も増加する。図3.5に 1.5Gb/s の通信速度においての誘導結合非同期式パルス通信のアイパターンを示す。データパターンは PRBS $2^7-1$  を用いた。十分に広いアイ開口を確認した。

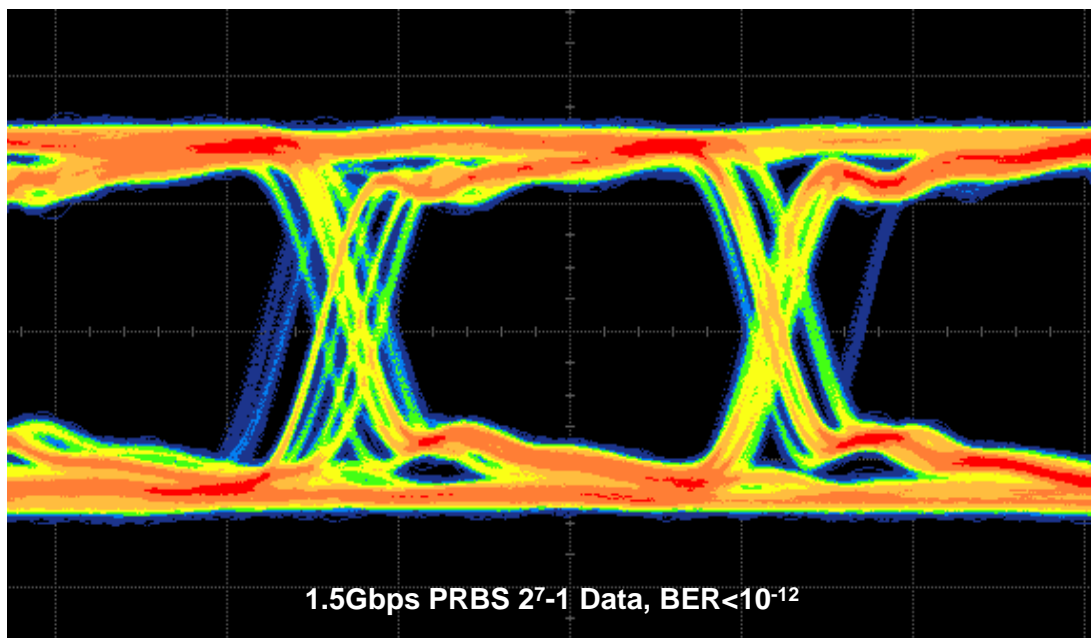


図 3.5 非同期パルス送受信器のアイパターン.

### 3.5 電力削減効果

図 3.6 に従来の誘導結合非同期式送信器と提案する誘導結合非同期式パルス送信器の消費する電力を示す。図に示すように、誘導結合非同期式パルス送信器では、データレートが増加するとパルス型の送信電流も比例して増加する。そのため、パルス型送信器の消費電力はデータレートに比例する。誘導結合非同期式パルス送信器は従来の送信器と比べて、1.5Gb/s のとき送信電力を 1/4 に、0.1Gb/s のとき 1/60 に削減する。

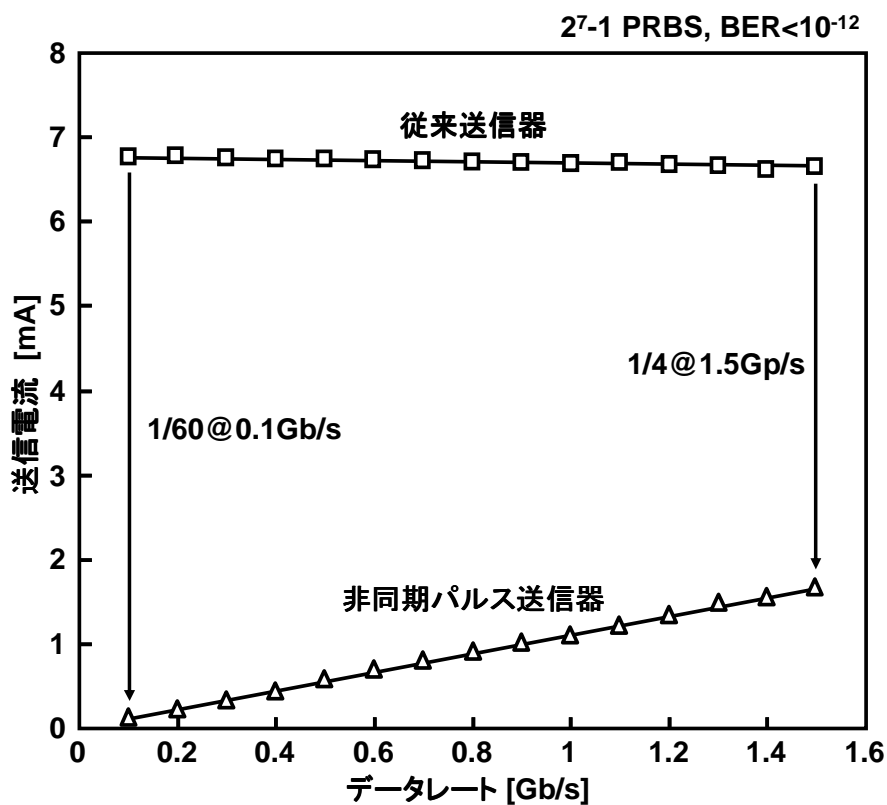


図 3.6 従来の送信器と非同期パルス送信器の電力削減効果比較.

### 3.6 誘導結合非同期パルス送受信器を使用したリレー伝送測定結果

提案する送信器を用いてリレー伝送を確認した。図 3.7 にリレー伝送波形図を示す。chip1 からの送信データ *Txdata* は chip2 をリレーし chip3 に転送されていることを確認した。最高通信速度は 400Mb/s である。また、チップ 1 段における通信レイテンシは 500ps である。400Mb/s における送信電力は 1.8mW である。

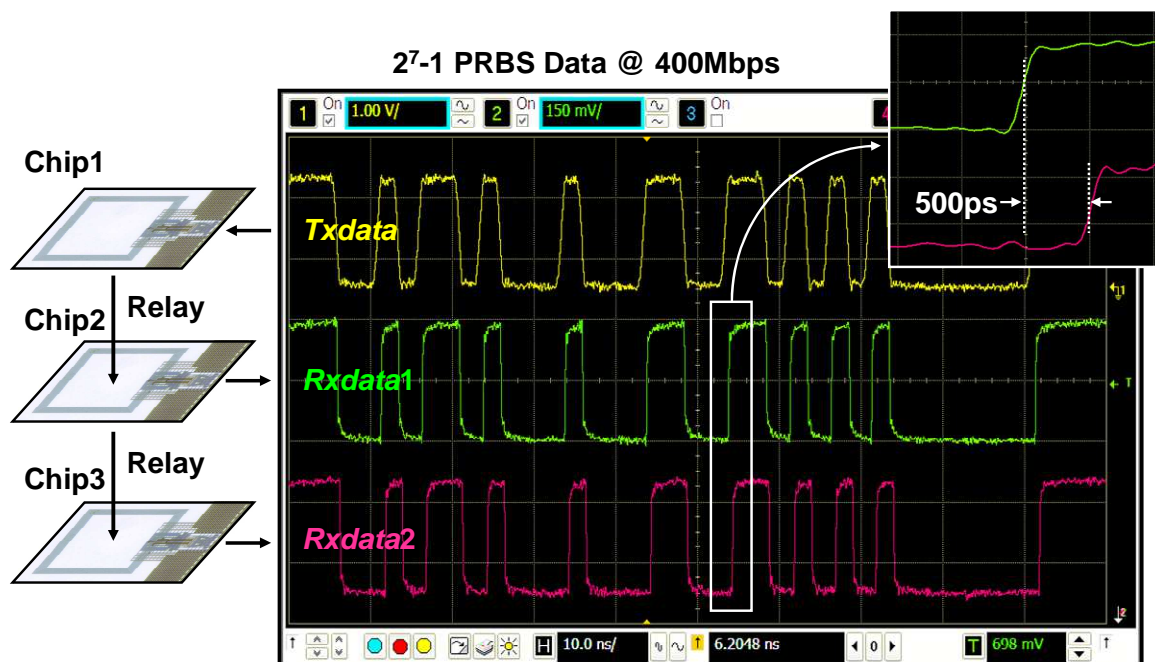


図 3.7 リレー伝送波形図.

### 3.7 おわりに

本章では、誘導結合非同期式パルス送信器を提案した。従来の送信器では、定常電流が問題であった。誘導結合非同期式パルス送信器では、送信器に送信データと送信データを $\tau$ 遅らせたデータを与えることにより、送信電流がパルス型になる。定常電流を削減し、消費電力を削減した。表 3.1 にその性能評価を示す。最小消費電力を達成する最適なパルス幅 $\tau$ は 130ps であり、そのときの消費電力は 4.2mW であった。誘導結合非同期式パルス送信器は従来の送信器と比べて、1.5Gb/s のとき送信電力を 1/4 に、0.1Gb/s のとき 1/60 に削減できた。

表 3.1 性能評価.

送信器	非同期誘導結合パルス送信器
プロセス	0.18 $\mu\text{m}$ CMOS
コイル直径 [ $\mu\text{m}$ ]	200
BER (Bit Error Rate)	$<10^{-12}$
パルス幅 [ps]	130
送信電流	0.1 mA @ 0.1 Gb/s, 1.5 mA @ 1.5 Gb/s
リレー伝送 最高速度 [Mb/s]	400
通信レイテンシ [ps]	500

---

### 参考文献 (第 3 章)

- [1] N. Miura, Y. Kohama, Y. Sugimori, H. Ishikuro, T. Sakurai, and T. Kuroda, “An 11Gb/s Inductive-Coupling Link with Burst Transmission,” *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, pp. 298-299, Feb. 2008.
- [2] N. Miura, H. Ishikuro, T. Sakurai, and T. Kuroda, “A 0.14pJ/b Inductive-Coupling Inter-Chip Data Transceiver with Digitally-Controlled Precise Pulse Shaping,” *IEEE International Solid-State Circuits Conference (ISSCC)*, Dig. Tech. Papers, pp. 264-265, Feb. 2007.
- [3] N. Miura, Y. Kohama, Y. Sugimori, H. Ishikuro, T. Sakurai, and T. Kuroda, “An 11Gb/s Inductive-Coupling Link with Burst Transmission,” *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, pp. 298-299, Feb. 2008.

---

第 4 章  
デジタル領域 2 層コイルと  
メモリア上 1 層コイル

## 4.1 はじめに

誘導結合インタフェースを高密度に配列することによってチップ間的高速通信を実現できる。また大きな送受信器コイルを使用すると、通信距離が延びるためリレー伝送の回数、すなわちメモリデータ伝送に使用する送受信器を削減し、電力を削減できる。しかし、メモリチップ上の誘導結合インタフェースを配置できる面積は限られている。メモリチップの面積の大部分はメモリコアが占有しており、回路を配置する周辺回路領域は限られている(周辺回路領域面積: 約  $1\text{mm} \times 10\text{mm} = 10\text{mm}^2$ [1])。そこで、本章で誘導結合インタフェースに使用する送受信器用コイルをメモリチップ上に配置する技術を 2 つ提案する(図 4.1)。

まず、メモリチップの周辺回路領域内でのコイル面積削減技術であるデジタル領域 2 層コイルを提案する。このコイルは、回路を構成するデジタル配線内に配置することができる。デジタル配線からのノイズ耐久性を解析し、試作したテストチップの測定結果により耐久性を評価する。次にメモリチップのメモリコア上 1 層コイルを提案し、その設計ルールを示す。設計ルールの妥当性を試作したテストチップの測定結果により評価する。

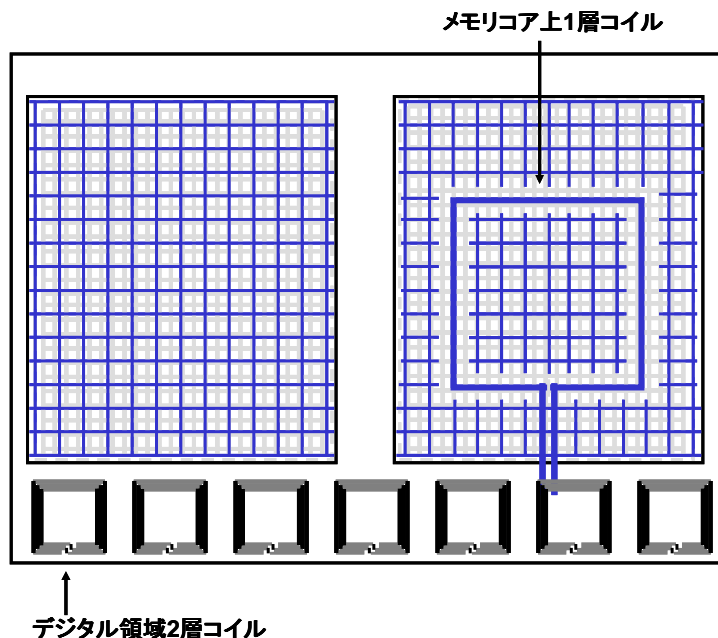


図 4.1 コイル配置技術.

## 4.2 デジタル領域 2 層コイル

本節でメモリチップの周辺回路領域でのコイル面積削減技術であるデジタル領域 2 層コイルを概説する。通常メモリチップの配線トラック数は 625,000 本である。提案するコイルは 1,300 本、つまり消費する配線数は周辺回路領域の 0.2%のみである。まず、デジタル領域 2 層コイルのレイアウトデザインを概説する。次にデジタル配線から誘導結合通信チャネルへのノイズについて議論し、ノイズ耐久性を試作したテストチップをもちいて検証する。

### 4.2.1 デジタル領域2層コイルのコイルデザイン

誘導結合通信はパルスベース通信のため高い Q 値のコイルを使用すると受信電圧のリングングが生じ、受信器はデータを復元することが出来ない。リングングを抑えるために、送受信器用コイルの Q 値は低い値(通常 2~3)になるよう設計されている。そのため、図 4.2 に示すように、コイルは複数種類の配線層と高い抵抗値をもつビアを使用し設計することが可能である。LSI の回路設計では、垂直配線には奇数番号の配線層(図 4.2 ではメタル 3)、水平方向には偶数番号の配線層(図 4.2 ではメタル 2)を使用する。そのため垂直に交わるコイル辺を違う種類の配線層で描くことによって、NAND フラッシュメモリチップの周辺回路領域のロジック配線をコイル内に配置することが可能である。

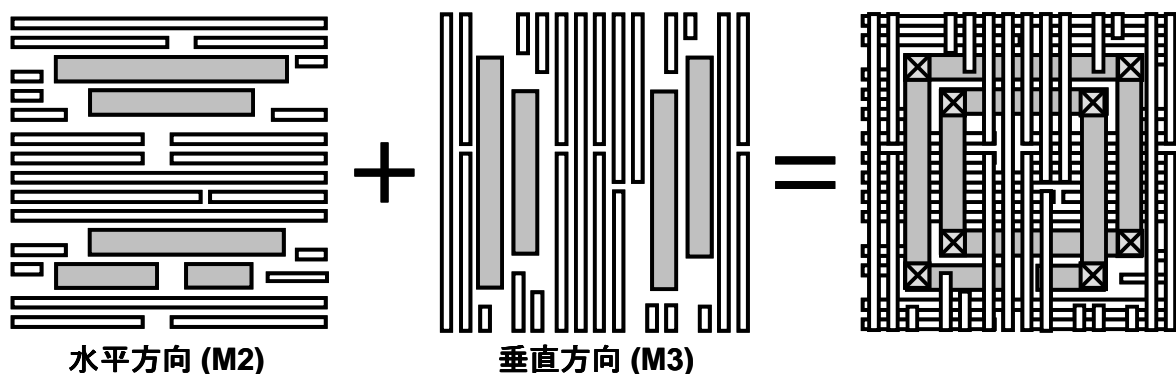


図 4.2 デジタル領域 2 層コイルのレイアウトデザイン。



デジタル領域 2 層コイルには 2 つの課題がある。1 つ目はデジタル配線内の渦電流である。渦電流により減衰した信号は送信電力を追加することによって解決できる。0.18 $\mu\text{m}$  CMOS プロセスを用いて試作したチップにより、この追加送信電力を測定した(図 4.3)。送信電力を 23%追加することによって BER $<10^{-12}$  を達成できた。

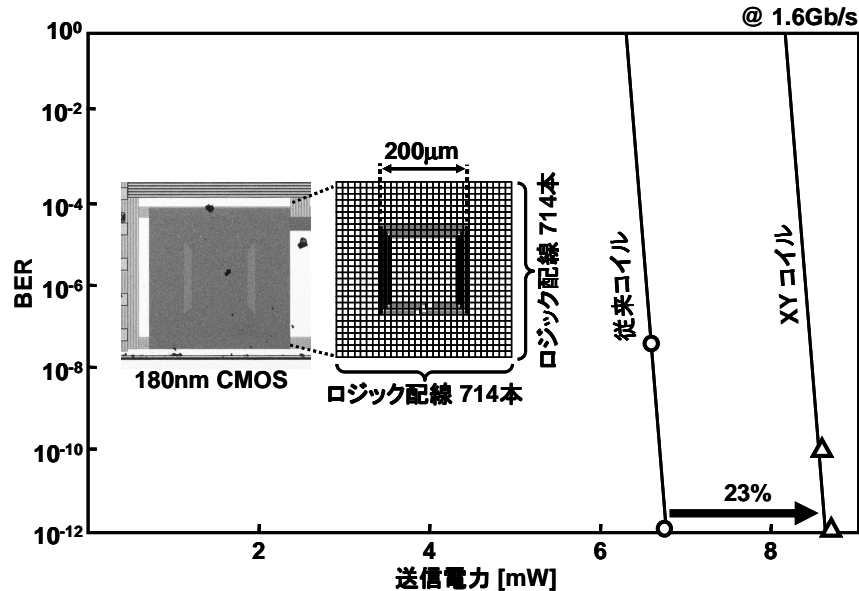


図 4.3 ロジック配線を流れる渦電流の影響。

2 つ目の課題はデジタル配線が誘導結合通信チャネルに与えるノイズである。図 4.4 に示すように、コイル辺とデジタル配線間の寄生容量が生じる。この寄生容量によりノイズがコイル上に発生する。コモンモードノイズは受信器が差動のため問題ないが、差動ノイズが問題となる。図 4.4 の M1 のデジタル配線から生じるノイズは TP と TN 端子に伝搬する。M1 のノイズ発生位置から TP までの距離は TN までの距離より長いため、TP には TN よりノイズが減衰する。そのため差動ノイズが生じる。

差動ノイズの対策として、シールドをコイルの周辺に配置する(図 4.5)。これにより、コイル辺と垂直に配置された配線からのノイズを回避できる。メモリチップは 3 層配線プロセスである。送受信器コイルの垂直方向の辺をメタル 3(M3)で、水平方向の辺をメタル 2(M2)で描く。M3 を使用したコイル辺の下に M1 のシールド、両隣に M3 のシールドを配置する。M1 のシールドによりコイル辺の下にデジタル配線通ることができない。M3 のシールドは M3 のロジック配線からのノイズ対策である。同様に M2 を使用したコイル辺の両隣に M2 のシールドを配置する直径 200 $\mu\text{m}$  コイルを 0.18 $\mu\text{m}$  CMOS プロセスで設計したとき、シールドの配線消費量は 32 本のみである。

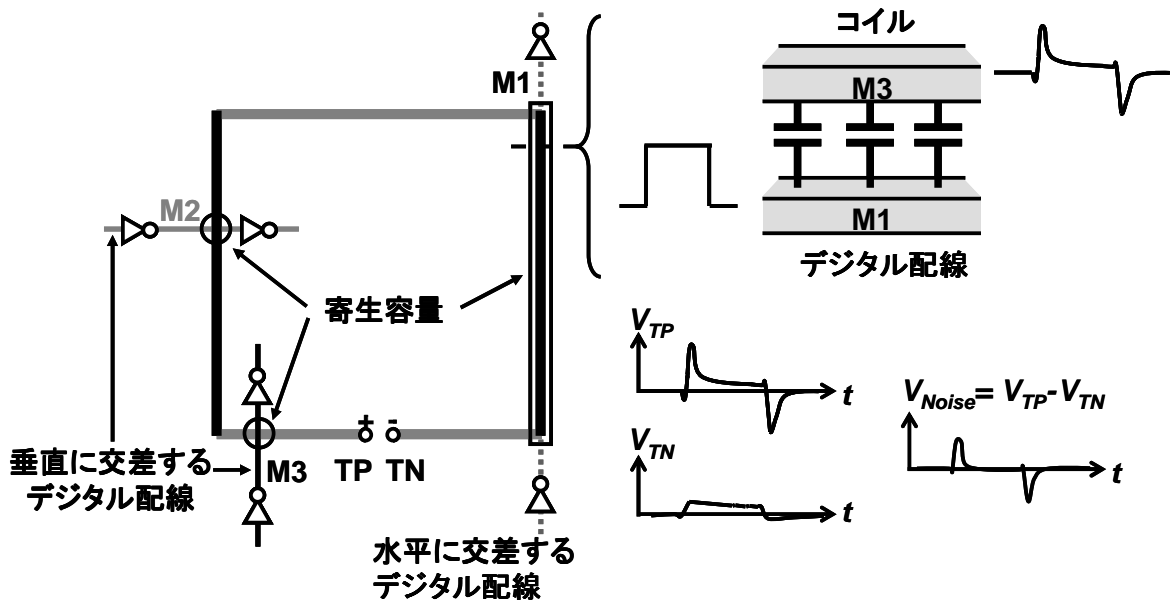


図 4.4 デジタル配線がコイルに与えるノイズの影響.

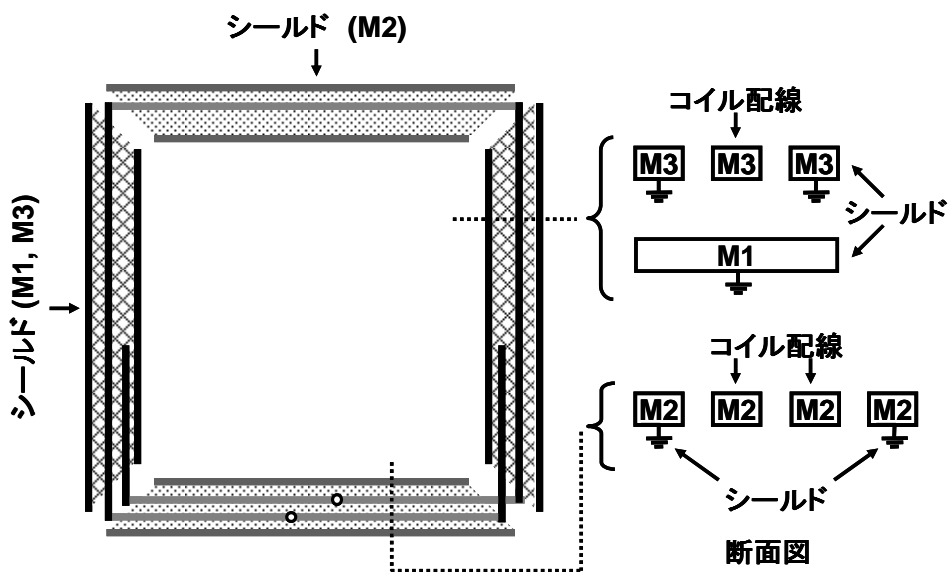
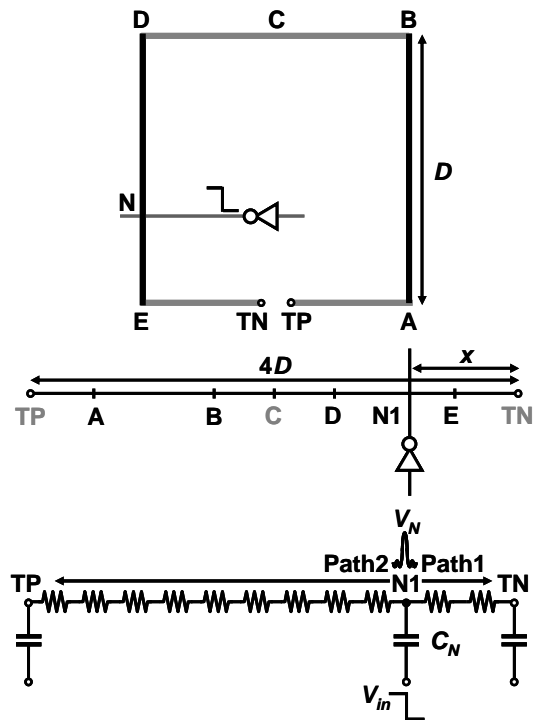
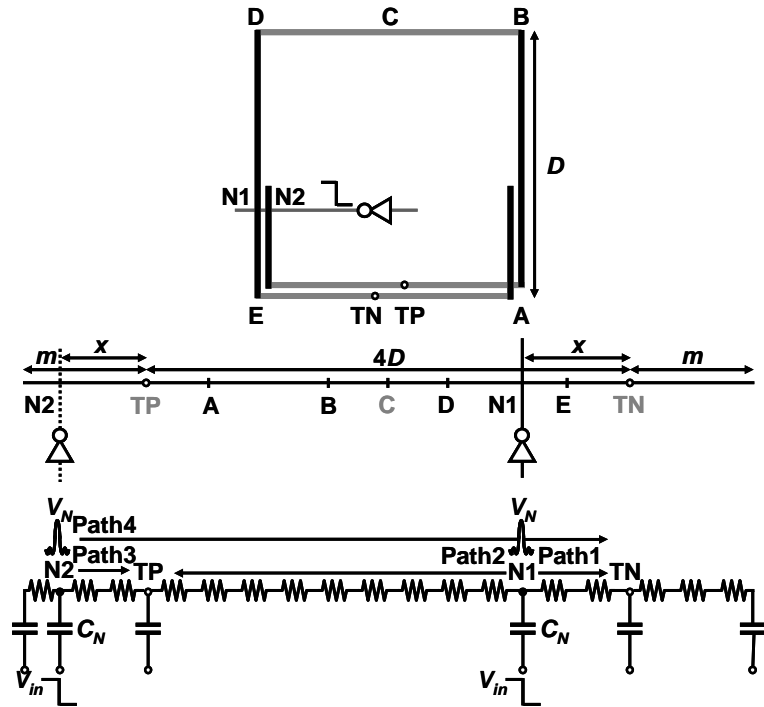


図 4.5 デジタル配線からコイルへのノイズ対策.

また、図 4.5 に示すようにデジタル領域 2 層コイルではコイル辺がコイル端子から延長されている。この延長によりコイル上にレプリカノイズ信号が発生し、もとのノイズをコイル端子上で打ち消す。図 4.6 にデジタル領域 2 層コイル辺が延長されていない等価回路と延長された等価回路を示す。



(a) 延長配線無



(b) 延長配線有り

図 4.6 デジタル領域 2 層コイル回路図 (a) 延長配線無し (b) 延長配線有り.

ロジック配線とコイル辺の交差する位置(図 4.6 の N1)に生じるノイズの大きさは次式で表される。

$$V_N = \frac{C_C}{C_{Coil} + C_C} V_{DD}. \quad (4.1)$$

$C_{Coil}$ はコイルの寄生容量、 $C_C$ はコイルと配線間容量である。 $V_N$ は TP に path1 を通って、TN に path2 を通って伝搬する。Path1、path2 の距離は  $x$  と  $4D-x$  である。 $D$ はコイル直径である。この時、TP と TN に生じるノイズ( $V_{TP}$ 、 $V_{TN}$ )の大きさは次式で表される。

$$V_{TP} = \frac{1}{\sqrt{1 + \left\{ \omega \left( \frac{x}{4D} \right)^2 R_{Coil} C_{Coil} \right\}^2}} V_N. \quad (4.2)$$

$$V_{TN} = \frac{1}{\sqrt{1 + \left\{ \omega \left( \frac{4D-x}{4D} \right)^2 R_{Coil} C_{Coil} \right\}^2}} V_N. \quad (4.3)$$

$R_{Coil}$ はコイルの寄生抵抗である。そのためコイル端子に生じる差動ノイズは次式で表される。

$$V_{N,Diff} = V_{TP} - V_{TN} = \frac{1}{\sqrt{1 + \left\{ \omega \left( \frac{x}{4D} \right)^2 R_{Coil} C_{Coil} \right\}^2}} V_N - \frac{1}{\sqrt{1 + \left\{ \omega \left( \frac{4D-x}{4D} \right)^2 R_{Coil} C_{Coil} \right\}^2}} V_N. \quad (4.4)$$

(4.4)一方コイル辺が端子より延長されたコイル(図 4.6 (b))ではN2の位置にもノイズが生じる。延長された辺の長さを  $m$  とすると、 $V_{TP}$ と  $V_{TN}$ は次式で表される。

$$V_{TP} = \frac{1}{\sqrt{1 + \left\{ \omega \left( \frac{x}{4D+2m} \right)^2 R_{Coil} C_{Coil} \right\}^2}} V_{N1} + \frac{1}{\sqrt{1 + \left\{ \omega \left( \frac{4D+x}{4D+2m} \right)^2 R_{Coil} C_{Coil} \right\}^2}} V_{N2} \quad (4.5)$$

$(0 < x < m, 4D - m < x < 4D)$

$$V_{TP} = \frac{1}{\sqrt{1 + \left\{ \omega \left( \frac{x}{4D + 2m} \right)^2 R_{Coil} C_{Coil} \right\}^2}} V_{N1} \quad (4.6)$$

( $m \leq x \leq 4D - m$ )

$$V_{TP} = \frac{1}{\sqrt{1 + \left\{ \omega \left( \frac{4D - x}{4D + 2m} \right)^2 R_{Coil} C_{Coil} \right\}^2}} V_{N1} + \frac{1}{\sqrt{1 + \left\{ \omega \left( \frac{x}{4D + 2m} \right)^2 R_{Coil} C_{Coil} \right\}^2}} V_{N2} \quad (4.7)$$

( $0 < x < m, 4D - m < x < 4D$ )

$$V_{TP} = \frac{1}{\sqrt{1 + \left\{ \omega \left( \frac{4D - x}{4D + 2m} \right)^2 R_{Coil} C_{Coil} \right\}^2}} V_{N1} \quad (4.8)$$

( $m \leq x \leq 4D - m$ )

$V_{N1} = V_{N2} = V_N$ のため、(4.5)と(4.7)式は次のようになる。

$$V_{N,Diff} = \frac{1}{\sqrt{1 + \left\{ \omega \left( \frac{4D + x}{4D + 2m} \right)^2 R_{Coil} C_{Coil} \right\}^2}} V_N - \frac{1}{\sqrt{1 + \left\{ \omega \left( \frac{4D - x}{4D + 2m} \right)^2 R_{Coil} C_{Coil} \right\}^2}} V_N \quad (4.9)$$

( $0 < x < m, 4D - m < x < 4D$ )

$$V_{N,Diff} = \frac{1}{\sqrt{1 + \left\{ \omega \left( \frac{x}{4D + 2m} \right)^2 R_{Coil} C_{Coil} \right\}^2}} V_N - \frac{1}{\sqrt{1 + \left\{ \omega \left( \frac{4D - x}{4D + 2m} \right)^2 R_{Coil} C_{Coil} \right\}^2}} V_N \quad (4.10)$$

( $m \leq x \leq 4D - m$ )

(4.9)、(4.10)式より  $m$  には最適値があることがわかる。 $m$  が長すぎると(4.9)式が 4.10)式より大きくなる。その結果、コイル配線の延長は差動ノイズを低減するのではなく大きくなってしまふ。ノイズがコイルに与える影響が最も大きいのは(4.9)、(4.10)式の積分値であり次式で表される。

$$V_{N,Aggregated} = 2\int_0^m |(11)|dx + 2\int_m^{2D} |(12)|dx. \quad (4.11)$$

図 4.7 に  $V_{N,Aggregated}$  と  $m$  の関係を示す。最適な  $m$  は  $4D$  の 20% の長さである。差動ノイズは、コイル配線延長がない場合と比べて 70% 削減できる。

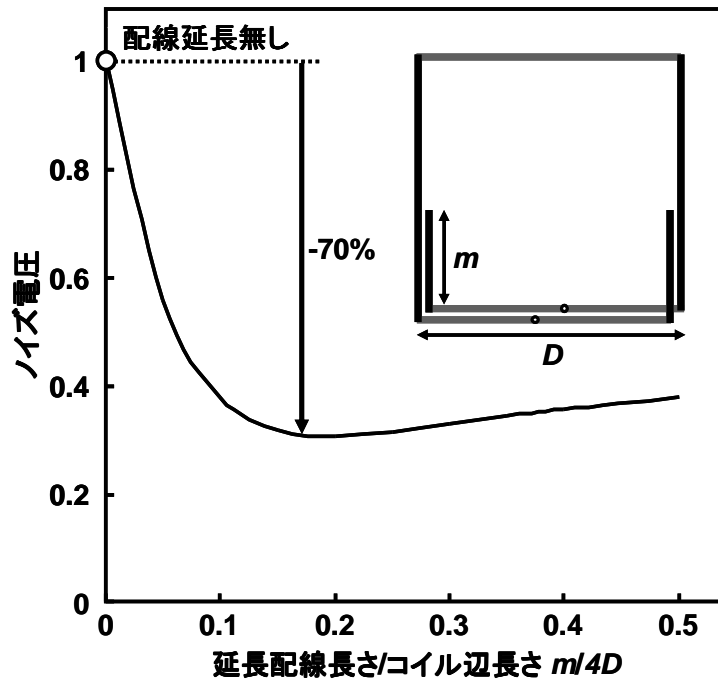


図 4.7 延長配線長さの最適値.

#### 4.2.2 試作チップ評価

コイル配線延長によるノイズ削減効果を試作テストチップにより検証した。図 4.8 は積層テストチップ写真である。テストチップは、送信用と受信用に 2 枚試作し、 $0.18\mu\text{m}$  CMOS プロセスにより試作した。送信用チップは  $90\mu\text{m}$  厚に研磨し、 $10\mu\text{m}$  厚の接着剤を用いて受信用チップ上に積層した。そのため送受信器の通信距離は  $100\mu\text{m}$  である。コイル配線が延長されていないデジタル領域 2 層コイルと延長されたデジタル領域 2 層コイルを使用した誘導結合チャネルを比較のため搭載した。デジタル領域 2 層コイルの水平方向の配線をメタル 4(M4)で、垂直方向の配線をメタル 5(M5)である。コイル巻き数、直径、配線幅、配線化間隔はそれぞれ 3、 $300\mu\text{m}$ 、 $1.5\mu\text{m}$ 、 $1.5\mu\text{m}$  である。M4 のコイル配線は M2 と M4 のシールドで囲まれ、M5 のコイル配線は M3 と M5 のシールドで囲

まれている。受信器用コイルは 1408 本のロジック配線で覆われおり、148 本ステップで信号を流す配線を増やすことができる。

図 4.9 はテストチップに搭載した受信器回路である。受信器は増幅段とラッチ段のバイアス電流の比率を変化させることによりヒステレシス感度  $V_H$  を調整することができる。デジタル領域 2 層コイルの延長配線はノイズを低減するため  $V_H$  を下げることができる。その結果  $I_T$  が削減できる。

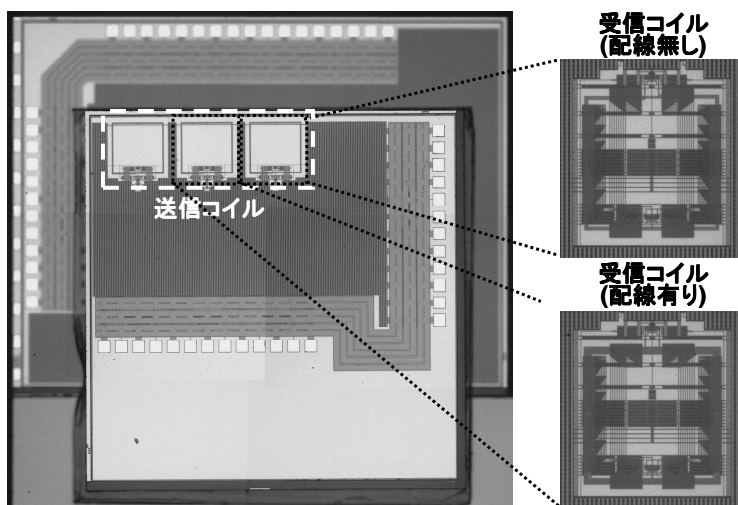


図 4.8 チップ積層写真.

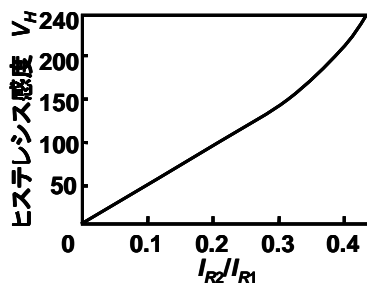
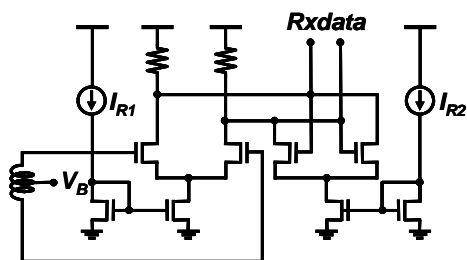


図 4.9 受信器回路図.

図 4.10 に BER(bit-error rate)と  $I_T$  の関係を示す。異なる本数  $N_A$  の信号をロジック配線に流した。コイル配線を延長したコイルは 1408 本すべてのロジック配線に信号を流しても  $BER < 10^{-12}$  を達成した。一方延長配線のないコイルは  $BER < 10^{-5}$  すら達成することができなかった。図 4.11 は  $BER < 10^{-12}$  を達成するのに必要な測定  $I_T$  値を示す。配線が延長されたコイルは、配線延長のないコイルと比べて、 $I_T$  を 60% 削減できた。

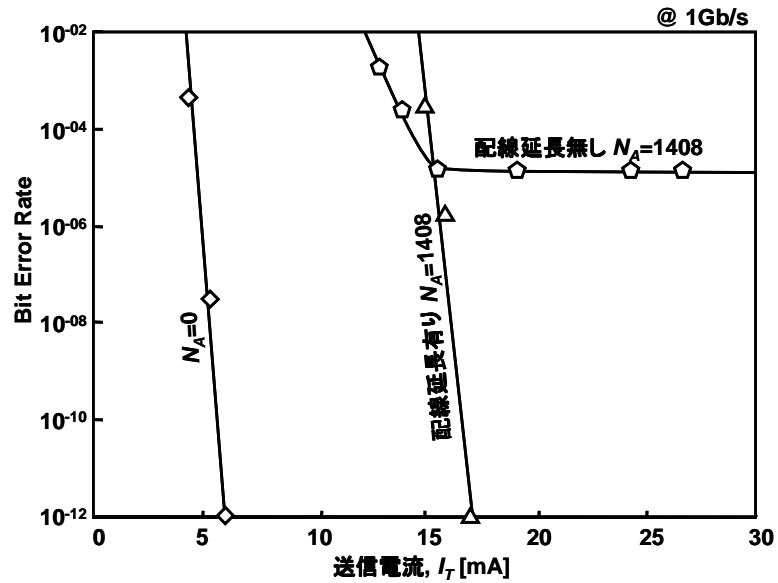


図 4.10 BER と送信電流の関係.

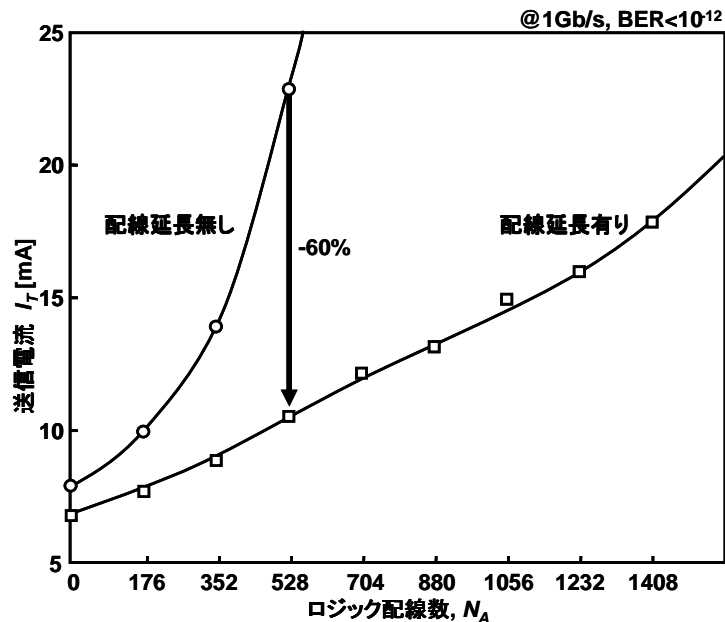


図 4.11 ノイズ削減効果.



## 4.3 メモリコア上1層コイル

本節でメモリチップのメモリコア上にコイルを配置する技術であるメモリコア上1層コイルを概説する。通常の誘導結合メモリチップ間インタフェースは周辺回路内にコイルを配置する。メモリコアは3層構造であり、それぞれの配線の役割上コイルを配置することは、配線層を追加しなければ困難と考えられていたからである。まず、メモリコア上1層コイルのレイアウトデザインとその設計方法を概説する。次にメモリと誘導結合チャンネル間の干渉について議論する。次にメモリコア上1層コイルの設計方法をもとに設計したコイルを搭載したテストチップを紹介し、そのテストチップを用いて設計方法の妥当性を検証する。

### 4.3.1 メモリコア上1層コイルのコイルデザイン

メモリコア上1層コイルを図4.12に示す。メモリチップのメモリコアは3層構造である[3]。2つの配線層はビット線、ワード線に使用される。残る1つの配線層は電源補強にのみ使われる。電源補強用の配線は一部省略しても問題ない。そこで、電源補強用の配線を一部省略し、同じ配線層でコイルをメモリコア上に配置し、周辺回路領域に引き出し線のようにコイル端子を延長することにより、周辺回路領域内の送受信器と接続できる。図4.12に示すように複数巻きのコイルも配置することもできる。

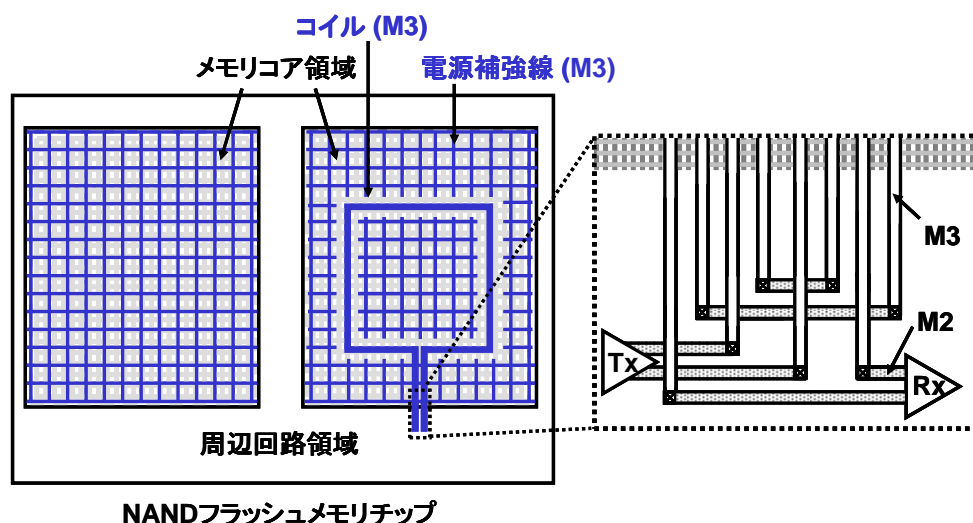


図 4.12 メモリコア上1層コイル。

メモリコア上1層コイルの等価回路を図4.13に示す。図4.13(a)は、送受信器用の片側のコイル端子が引き出し線のように延長されており、もう片側のコイルが通常のコイルの場合(Case A)の等価回路である。図4.13(b)は送受信器用両方のコイル端子が引き出し線のようにえんちようされた場合(Case B)の等価回路である。コイルに引き出し線が付属されることにより、通常のコイルの等価回路に寄生抵抗( $R_P$ )と寄生容量が追加される。追加された寄生容量は図4.13内の $C_1$ と $C_2$ に含まれる。等価回路の受信電圧 $V_R$ は次式で表される。

$$V_R = \frac{1}{(1 - \omega^2 L_2 C_2) + j\omega R_2 C_2} \cdot j\omega k \sqrt{L_1 L_2} \cdot \frac{1}{(1 - \omega^2 L_1 C_1) + j\omega R_1 C_1} \cdot I_T. \quad (4.12)$$

(4.12)式の第2項は理想的な誘導結合チャネル応答を示す。理想的に $V_R$ は $I_T$ の一回微分値( $j\omega$ )であり、 $k(L_1 L_2)^{1/2}$ に比例する。(4.12)式の $k$ はコイル間の結合強度であり、通信距離 $X$ とコイル直径 $D$ で決定される[4]。(4.12)式の第1項と第3項は、寄生素子によりバンド幅が制限されることを示す。それぞれはピーク周波数が共振周波数 $f_{SR}$ である二次ローパスフィルターと同様の動作を行う。それぞれのフィルターのカットオフ周波数はおよそ $f_{SR}$ であり、次式で表される。

$$f_{SR1} = \frac{1}{2\pi\sqrt{L_1 C_1}}, \quad f_{SR2} = \frac{1}{2\pi\sqrt{L_2 C_2}}. \quad (4.13)$$

チャネルのバンド幅は低い $f_{SR}$ により制限されるため、できるだけ高い $f_{SR}$ をもつようにコイルは設計されなければいけない。図4.13の等価回路に示すそれぞれの回路パラメータは3次元電磁界シミュレータによって求める。まず通常のコイルのレイアウトパラメータは次の関係を下に設計する。

$$L \propto Dn^2. \quad (4.14)$$

$$C \propto \frac{D \cdot n}{s}. \quad (4.15)$$

$$R \propto \frac{D \cdot n}{w}. \quad (4.16)$$

$D$ 、 $n$ 、 $w$ 、 $s$ はそれぞれコイル直径、巻き数、配線幅、配線間隔である。メモリコア上1層コイルを設計する上で、引き出し線のない通常のコイルのレイアウトパラメータが重要である。また、図4.13に示すように、メモリコア上1層コイルでは通常コイ

ルに寄生容量と寄生抵抗が付加するため、 $L$ 、 $C$ 、 $R$  の関係も変わる。そのため、 $L$ 、 $C$ 、 $R$  に次の関係が成立つ。

$$L \propto Dn^2. \quad (4.17)$$

$$C \propto \frac{Dn + F(2n - 1)}{s}. \quad (4.18)$$

$$R \propto \frac{(D + 2F)n}{w}. \quad (4.19)$$

上記の式は近似式のため、最終的な引き出し線の長さは、電磁界シミュレーションで  $LC$  値が一定になるよう確認し、設計する。次節でメモリコア上 1 層コイルの設計方法を説明する。

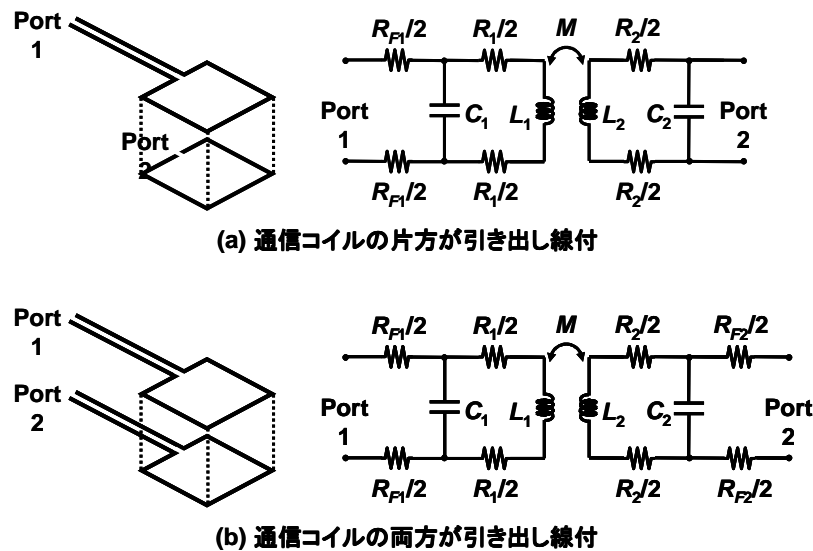


図 4.13 通信コイルの (a)片方が引き出し線付 (b) 両方が引き出し線付の場合の等価回路図.

### 4.3.2 設計方法

本節でメモリコア上 1 層コイルの設計方法を説明する。まず、最初に引き出し線の付いていない通常のコイルを設計する。次に、引き出し線の長さに応じてコイルの巻き数を調整する。この時、引き出し線も含めたコイルの総配線長が通常コイルの総配線と同じ長さになるように調整する。しかし、4.3.1 節で述べたように、レイアウトパラメータ

---

の式は近似式のため、最終的には電磁界シミュレーションを用いて、 $LC$ が一定になるように引き出し線の長さを調整する。このように設計することによってバンド幅を一定に保つことができる。

引き出し線の付いていない通常のコイルの設計方法を説明する。まず、通信距離  $X$  がチップ積層方法(チップの表面が向かい合っているか、向かい合っていないか等)とチップ厚により決定する。次にコイル直径  $D$ (通常  $X$  の 3 倍)とコイル間結合強度  $k$  が決定する。引き出し線が付くことにより寄生容量  $C$  が増加し、コイルの共振周波数  $f_{SR}$  が低下する。そのため、一定の  $f_{SR}$  を保つようにコイルの巻き数を減らす。この時、コイルの総配線長が一定になるよう巻き数を減らす。コイル巻き数が減少されることにより、コイルの自己インダクタンス  $L$  が減衰する((4.14)式)。この自己インダクタンスの減衰は送信電力を追加することによって補うことができる。図 4.14 に  $X$  が  $110\mu\text{m}$  の場合の設計方法の例と、それぞれの  $LC$  値を示す。そのとき  $D$  は  $400\mu\text{m}$ 、通常コイルのコイル巻き数  $n$  は 4 である。 $N$  は 3、2、1 と、引き出し線の長さが  $250\mu\text{m}$ 、 $700\mu\text{m}$ 、 $2,400\mu\text{m}$  の長さには達すると減らす。図 4.14 に示すコイルの周波数特性を 3 次元電磁界解析によるシミュレーションで求めた。図 4.15 はシミュレーション条件である。 $LC$  のおよその値が一定のため、 $f_{SR}$  とチャンネルバンド幅が一定に保たれている(図 4.16)。しかし、 $L$  が減衰するため、トランスインピーダンス(コイルの結合強度)も減衰する。トランスインピーダンスの減衰は送信電流  $I_T$  を追加し補うことができる((4.12)式)。(4.14)式に示すように、 $L$  は  $n^2$  に比例するため、引き出し線の長さが  $250\mu\text{m}$  の場合、Case A において  $I_T$  は  $4/3(=1.33)$ 、Case B において  $I_T$  は  $16/9(=1.78)$  倍にする。引き出し線の長さが  $700\mu\text{m}$  の場合、Case A において  $I_T$  は  $4/2(=2)$ 、Case B において  $I_T$  は  $16/9(=14)$  倍にする。これは条件が最も悪い場合の  $I_T$  の追加値である。実際には  $L$  は  $n^\alpha(1<\alpha<2)$  に比例する。また、 $V_R$  のリンギングをおさえるために一定の  $Q$  値を保つ必要がある。 $Q$  値は以下の式で与えられる。

$$Q = \frac{\omega L}{R}. \quad (4.20)$$

そのため、 $L$  の減衰を補うためにコイル配線幅を太くし、コイルの  $R$  を小さくする。コイル配線幅が太くなることによりコイル間の結合強度  $k$  が強くなる[5]。コイル巻き数を 1 にすると引き出し線長を  $2,400\mu\text{m}$  まで延長できる。このとき、最も条件が悪い場合  $I_T$  は  $16/1(=16)$  倍にする必要がある。しかしながら、配線幅調整を行うことにより、1 回巻きコイルは  $I_T$  が 10 倍程度で通信することが可能である。

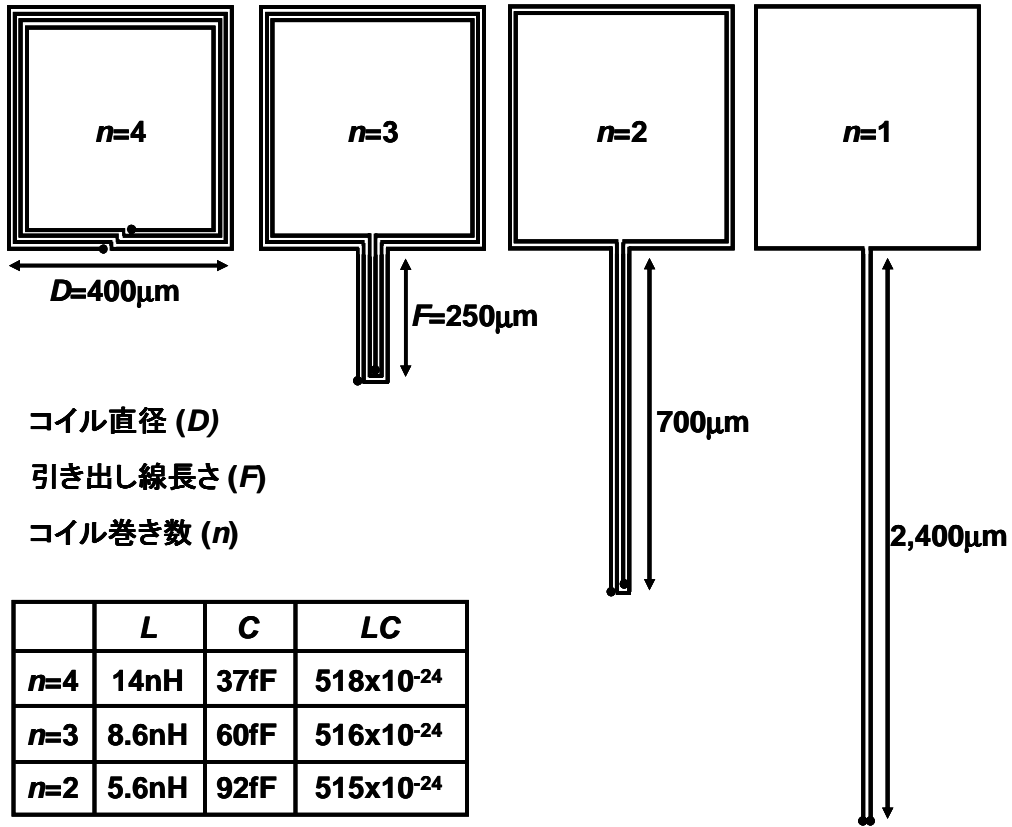


図 4.14 メモリコア上 1 層コイル設計例.

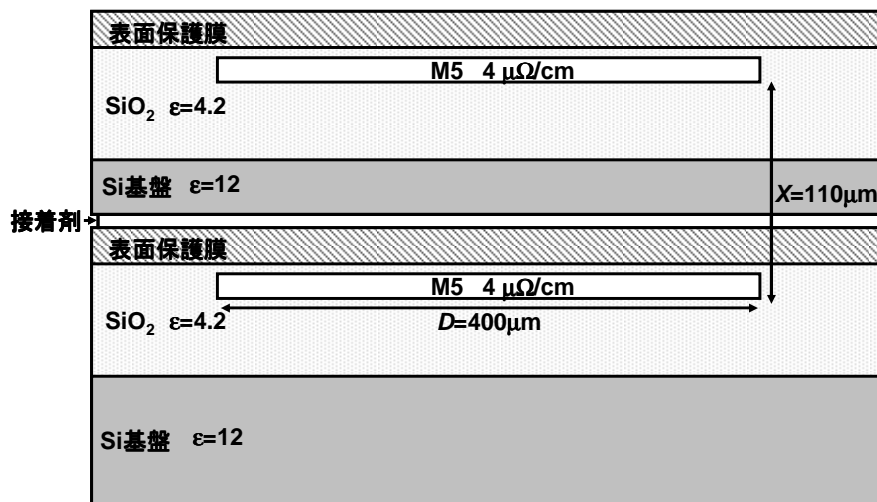


図 4.15 シミュレーション条件.

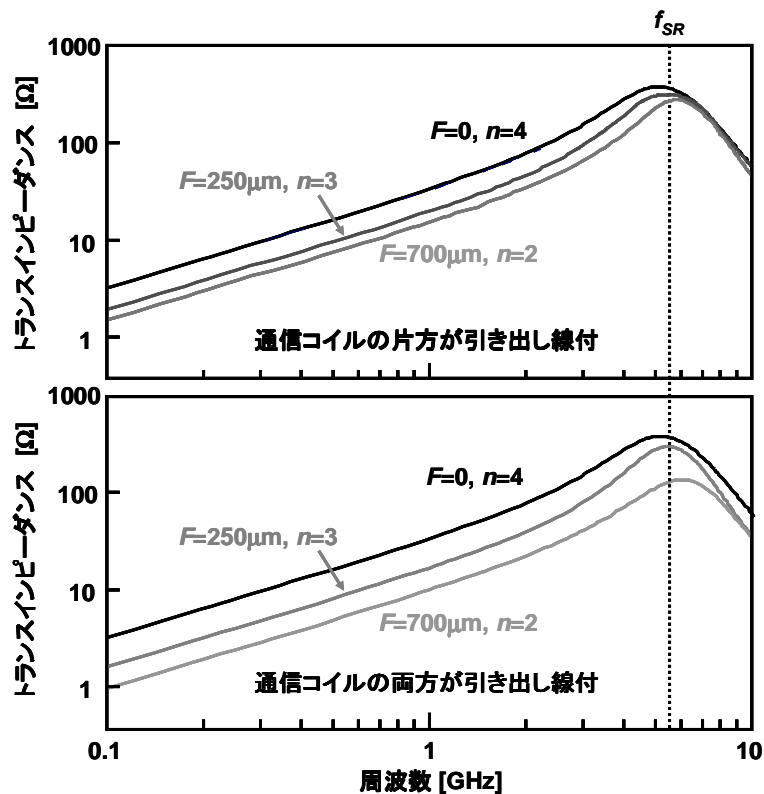


図 4.16 引き出し線長さによるトランスインピーダンスと周波数の関係。

### 4.3.3 試作チップ評価

本節ではメモリコア上 1 層コイルの設計方法の妥当性を試作したテストチップにより検証する。テストチップを  $0.18\mu\text{m}$  CMOS プロセスを用いて試作した。図 4.17 は試作テストチップの積層写真である。1 つのテストチップ積層は Case A の検証に、もう 1 つのテストチップ積層は Case B の検証に使用する。上段のチップを  $100\mu\text{m}$  厚に研磨し  $10\mu\text{m}$  厚の接着剤を用いて積層した。4 種類のコイル(巻き数: 4、3、2、1)がテストチップに搭載されている。巻き数 4、3、2 のコイルの引き出し線長さの状態は図 4.14 と同じである。巻き数 1 のコイルの引き出し線長さはチップ面積が限定されているため  $1,350\mu\text{m}$  である。図 4.18 は測定 BER と送信電力の関係である。3.3.2 節で議論した値と測定  $I_T$  値はほぼ一致した。4 種類すべてのコイルが  $L$  の減衰は  $I_T$  を追加し補うことにより、データレート  $2\text{Gb/s}$  で  $\text{BER} < 10^{-12}$  達成した。図 4.19 に 4 種類のコイルが  $\text{BER} < 10^{-12}$  を達成した送信電力をまとめた。図 4.19 の点線はコイルのトランスインピーダンスのシミュレーション値

である。シミュレーション値と測定値はほぼ一致し、メモリコア上 1 層コイルの設計方法の妥当性を確認した。

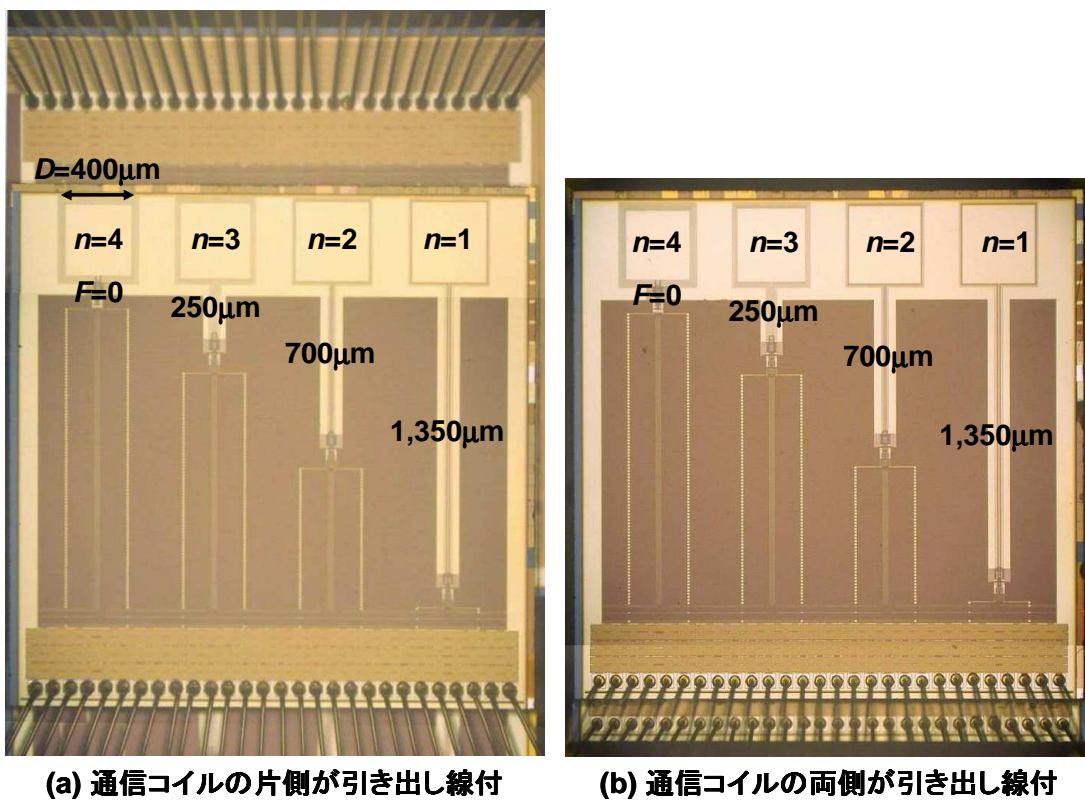
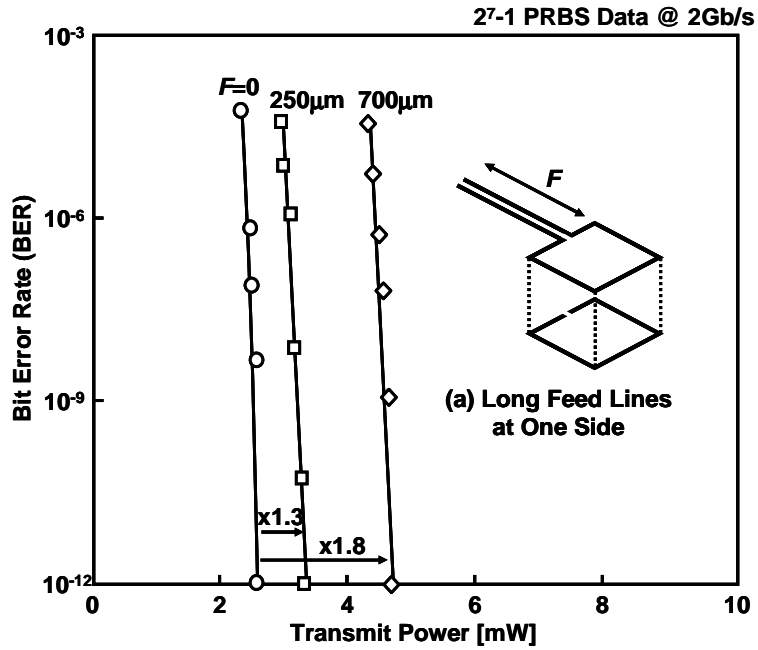
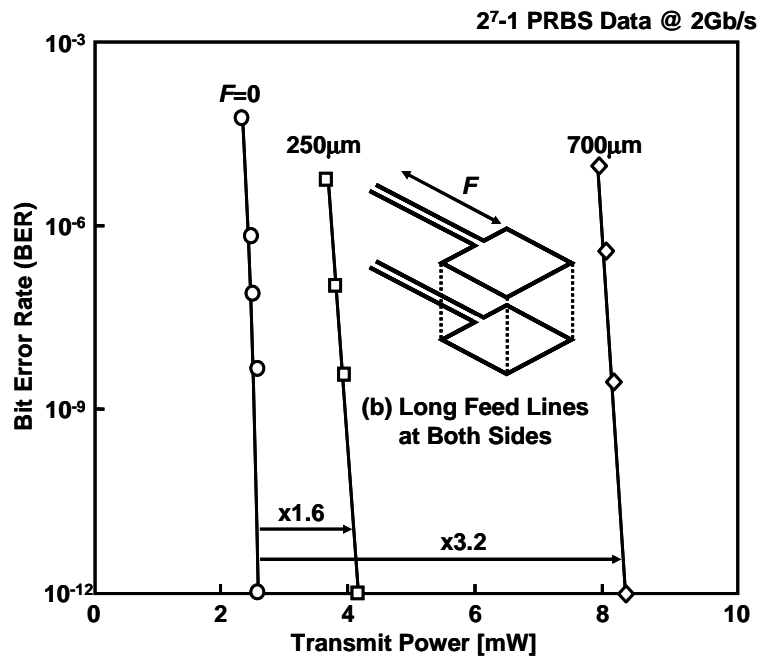


図 4.17 試作チップ積層写真.



(a) 通信コイルの片方が引き出し線付



(b) 通信コイルの両方が引き出し線付

図 4.18 引き出し線長さと送信電力の関係、通信コイルの  
(a) 片方が (b) 両方が引き出し線付。



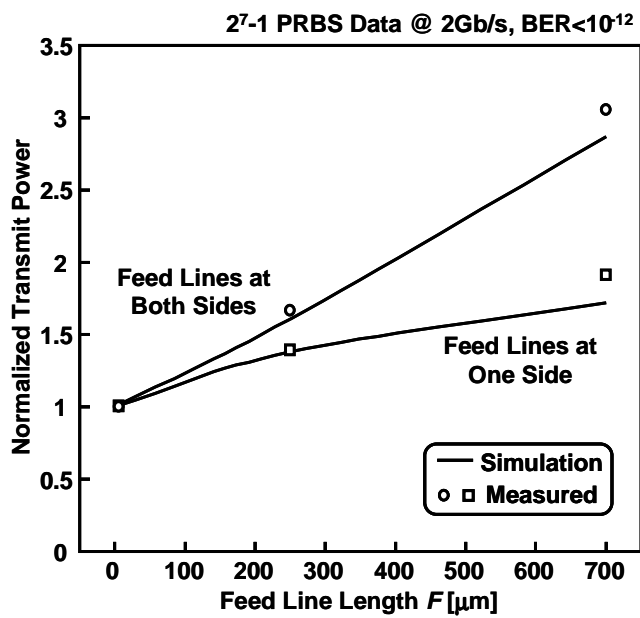


図 4.19 引き出し線長さと送信電力の関係.

---

## 4.4 おわりに

本章では、メモリチップ上に誘導結合インタフェースで用いるコイルの配置技術を 2 つ、デジタル領域 2 層コイル、メモリア上 1 層コイルを提案した。デジタル領域 2 層コイルは問題となるノイズ耐久性、メモリア上 1 層コイルは設計手法の妥当性をテストチップを測定し検証した。第 5 章では、提案のコイル配置技術を応用した 128 枚メモリチップ積層用低電力誘導結合インタフェースを概説し、評価結果を述べる。

---

## 参考文献 (第 4 章)

- [1] K. Kanda, M. Koyanagi, T. Yamamura, K. Hosono, M. Yoshihara, T. Miwa, Y. Kato, A. Mak, R. Tsai, R. Cernea, L. Binh, E. Makino, T. Taira, H. Otake, N. Kajimura, S. Fujimura, Y. Takeuchi, M. Itoh, M. Shirakawa, D. Nakamura, Y. Suzuki, Y. Okukawa, M. Kojima, K. Yoneya, T. Arizono, T. Hisada, S. Miyamoto, M. Noguchi, T. Yaegashi, M. Higashitani, F. Ito, G. Hemink, T. Maruyama, K. Ino, and S. Ohshima, "A 120mm<sup>2</sup> 16Gb 4-MLC NAND Flash Memory with 43nm CMOS Technology," *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, pp.430-431, Feb. 2008.
- [2] K. Niitsu, Y. Sugimori, Y. Kohama, K. Osada, N. Irie, H. Ishikuro, and T. Kuroda, "Interference from Power/Signal Lines and to SRAM Circuits in 65nm CMOS Inductive-Coupling Link," *IEEE Asia Solid-State Circuits Conf. (A-SSCC) Dig. Tech. Papers*, pp. 131-134, Nov. 2007.
- [3] Ken Takeuchi, "Inside NAND Flash Memories," Chapter 18, 2010, Springer.
- [4] N. Miura, M. Saito, and T. Kuroda, "A 1TB/s 1pJ/b 6.4mm<sup>2</sup>/TB/s QDR Inductive-Coupling Interface Between 65-nm CMOS Logic and Emulated 100-nm DRAM," *IEEE Journal on Emerging and Selected Topics in Circuits and Systems (JETCAS)*, vol. 2, no. 2, pp.249-256, June 2012.
- [5] N. Miura, D. Mizoguchi, T. Sakurai, and T. Kuroda, "Analysis and design of inductive coupling and transceiver circuit for inductive inter-chip wireless superconnect," *IEEE Journal of Solid-State Circuits (JSSC)*, vol.40, no.4, pp. 829-837, Apr. 2005.

---

## 第 5 章

### 128 枚メモリチップ積層用 誘導結合インタフェース

---

## 5.1 はじめに

本章では、第 2 章から第 4 章で得られた技術をもとに開発した多段( $\geq 128$  段)メモリチップ積層誘導結合インタフェースの設計と評価結果を述べる。まず、第 2 章で提案した多段メモリ積層用誘導結合インタフェースをもとに、また第 4 章で提案したコイル配置技術を応用しメモリデータ中継リピータ数の削減技術を説明する。次に、128 枚チップを積層時の積層高さの削減を達成した積層技術について説明する。最後に多段メモリチップ積層用誘導結合インタフェースの性能をまとめる。

## 5.2 誘導結合リピータ数削減技術

本節でリピータ数削減技術を提案する。図 5.1(a)に示すように、第 2 章で提案した多段メモリ積層用誘導結合インタフェースを用いて、大量のメモリチップを積層すると、メモリ伝送に利用するリピータ数が多くなり、消費電力が大きくなる。例えば、メモリチップを 128 枚積層した場合、平均 64 個ものリピータを使用する。一つのリピータの消費エネルギーは 11pJ/b、また転送速度は 2Gb/s のため、通信電力は Worst Case で、

$$\begin{aligned} \text{通信電力} &= (\text{消費エネルギー}) \times (\text{転送速度}) \times (\text{リピータ数}) \\ &= (11\text{pJ/b}) \times (2\text{Gb/s}) \times (128) = 2.8\text{W}, \end{aligned}$$

である。これは SSD 全体の消費電力の半分を占めており、削減する必要がある。そこで、大きなコイルを使用し、通信距離を延長し、リレー回数を減らし、リピータ数を削減することを提案する(図 5.1(b))。従来は直径 200 $\mu\text{m}$  のコイルを用いているが、本研究では直径 1.1mm のコイルを使用する。大きなコイルは第 4 章で提案したメモリコア上 1 層コイルを使用する。コイルをメモリコア上に配置するため、大きなコイルを利用する面積ペナルティはない。

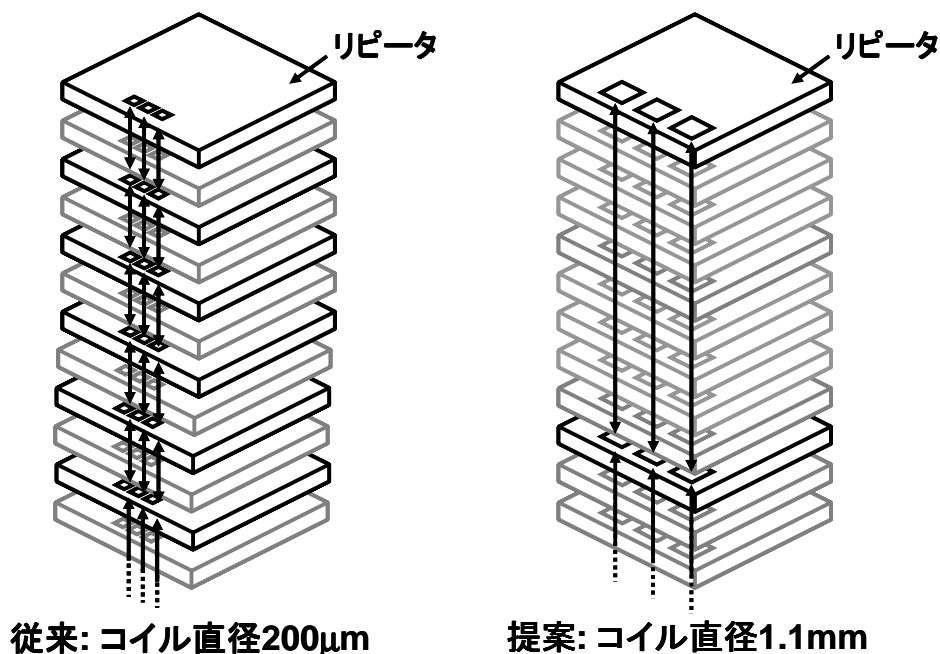


図 5.1 (左) 従来のリレー伝送、(右) 提案するリレー伝送技術。

### 5.3 メモリコアに流れる渦電流の影響

メモリコア上コイルを使用すると、メモリコアを貫通して通信を行う必要がある。メモリコア内には、ワード線/ビット線が高密度に配置されている。そのため、コイルから発せられた磁場が、ワード線/ビット線内を流れる渦電流によって減衰してしまう(図 5.2)。誘導結合通信の受信電圧振幅は、相互インダクタンスと送信電流の変化に比例する。そのため、ワード線/ビット線内を流れる渦電流によって減衰した相互インダクタンスを補うために、送信電流、送信電力を追加する必要がある。本研究で提案する、メモリコア上コイルを使用し複数チップおきのリピート伝送を行う方式では、メモリチップの貫通枚数に反比例して使用するリピータ数が減少するため通信電力が削減できる。しかし、それと同時にメモリチップの貫通枚数に比例してメモリコアを貫通するのに送信電力を増加する必要がある。そのため、本研究の提案する技術の貫通メモリチップ枚数には最適値が存在する。この最適値を定めるために、メモリコア内を流れる渦電流の影響により、送信電力を追加量を解析する。

本節ではまず、一様な導体内に磁場が進入したとき、誘導結合通信で使用する送信コイルから発せられた磁場がどの程度減衰するのかを理論的に解析する。その結果から、メモリコア内の構造の違いによる磁場の減衰率変化を解析する。一般的なメモリチップのメモリコアの充填率は 50% である。ただし、プロセスによってワード線/ビット線の配線幅は変化する。したがって、ワード線/ビット線の配線幅に対して磁場の減衰率がどのように変化するかを検討する。また、貫通メモリコアの枚数に対して磁場の減衰率がどのように変化するかを解析し、次節で最適な貫通メモリチップ数を議論する。

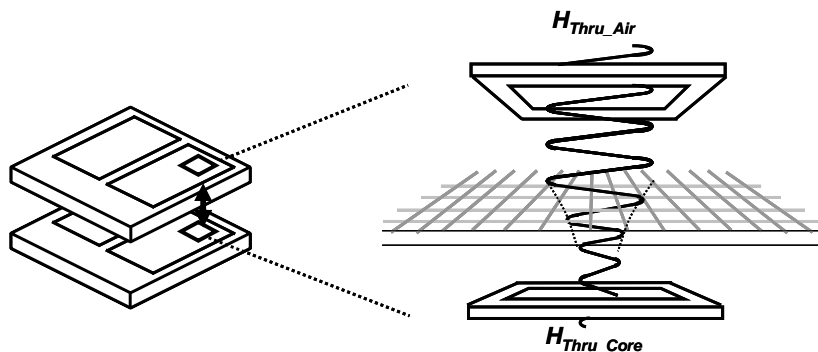


図 5.2 ワード線/ビット線による磁場の減衰.

### 5.3.1 一様な導体に磁場が進入した時の減衰率

図 5.3 に示すように、いま一様な電気伝導率 $\sigma$ 、透磁率 $\mu$ の導体が  $z > 0$  の半無限空間を占めているとする。 $z < 0$  の空間は空である。導体の表面  $z = 0^-$  が時間とともに変化する  $x$  方向の磁場  $H_x = H_0 \cos \omega t$  にさらされているとする。この時、 $z = 0$  を横切る磁場の接線成分と磁束密度の法線成分の連続性から、 $z = 0^+$  では磁場の強さは  $x$  成分、 $H_x = H_0 \cos \omega t = H_0 \exp(-i\omega t)$  のみである。つまり、 $z > 0$  の領域で磁場は  $x$  成分しか存在せず、 $z$  と  $t$  の関数  $H_x(z, t) = h(z) \exp(-i\omega t)$  で表現できる。

アンペールの式、(5.1) 式、(5.2) 式で表される。

$$\text{アンペールマクスウェルの式: } \nabla \times \mathbf{H} - \frac{\partial \mathbf{D}}{\partial t} = \sigma \mathbf{E}. \quad (5.1)$$

$$\text{ファラデーマクスウェルの式: } \nabla \times \mathbf{E} - \mu_0 \frac{\partial \mathbf{H}}{\partial t} = 0. \quad (5.2)$$

式(5.1)、式(5.2)より、式(5.3)が導かれる。

$$\nabla^2 \mathbf{H} = \mu_0 \omega \frac{\partial \mathbf{H}}{\partial t}. \quad (5.3)$$

式(5.3)より、 $h(z) = H_0 \exp(ikz)$  となる。式(5.3)に

$H_x(z, t) = h(z) \exp(-i\omega t) = H_0 \exp(ikz) \exp(-i\omega t)$  を代入し、 $k$  が求まる。

$$k^2 = i\mu\sigma\omega.$$

$$k = \pm(1+i) \sqrt{\frac{\mu\sigma\omega}{2}}. \quad (5.4)$$

となる。以上より、

$$\begin{aligned} H_x(z, t) &= H_0 \exp\left(\sqrt{\frac{\mu\sigma\omega}{2}} z\right) \exp\left\{-i\left(\omega t + \sqrt{\frac{\mu\sigma\omega}{2}} z\right)\right\} \\ &= H_0 \exp\left(\sqrt{\frac{\mu\sigma\omega}{2}} z\right) \cos\left(\omega t + \sqrt{\frac{\mu\sigma\omega}{2}} z\right). \end{aligned} \quad (5.5)$$

となる。(5.5)式より、導体に進入した磁場の振幅の減衰率は下の(5.6)式で表される。

$$\left| \frac{H_x}{H_0} \right| = \exp\left(\sqrt{\frac{\mu\sigma\omega}{2}} z\right). \quad (5.6)$$



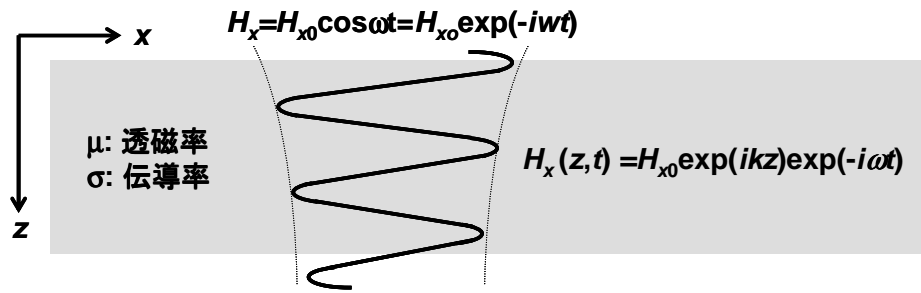


図 5.3 一様な導体に磁場が進入した時の磁場の減衰.

### 5.3.2 ワード線/ビット線の配線幅と磁場の減衰率の関係—理論式の導出

図 5.4 (a)に示す状況のもとで、磁場がメモリコアに進入したときの減衰率を検討する。いま、コイルの直径を  $D$ 、ワード線の配線幅を  $W$ 、コイル内のワード線の本数を  $N$ 、配線の厚さを  $T$  とする。先に述べたように、ワード線/ビット線の充填率は 50% である。よってコイル内にワード線/ビット線の本数  $N$  は、

$$N = \frac{D}{2W}, \quad (5.7)$$

と表せる。ここで、5.3.1 節の(5.6)式を用いてメモリコアに進入したときの減衰率を導き出したいのだが、(6)式は一様な導体のときのみしか適応できない。そこで図 5.4 (a)を図 5.4 (b)のような一様な導体とみなし検討する。このときの電気伝導率  $\sigma_{line}$  を求める。この時電気伝導率  $\sigma_{line}$  の導出の簡略化のため、渦電流は導体の円周上のみを流れ、また発生する磁束密度は一様と近似する。図 5.4 の導体に磁場が進入したとき、図(a)のそれぞれの配線には配線を周回するように渦電流が流れる。渦電流は  $W/2$  の幅を配線の円周上を流れる。この時、 $D \gg W$  より配線幅の円周の長さを  $2(D+W) \approx 2D$  と近似する。このとき、図 (a)の導体の抵抗は、

$$R_{line} = \frac{2(W+D)}{\sigma \left( \frac{W}{2T} \right)} N, \quad (5.8)$$

となり、流れる電流は、

$$I \propto \frac{WTB\sigma}{8(D+W)}, \quad (5.9)$$

と表せる。同じようにして、図(b)の導体の抵抗は、

$$R_{flat} = \frac{4D}{\sigma_{line} \left( \frac{D}{2} T \right)}, \quad (5.10)$$

となり、流れる電流は

$$I \propto \frac{TB\sigma_{line}}{8}, \quad (5.11)$$

と表せる。式(5.9)、(5.10)より、 $\sigma_{line}$  が求まるり、

$$\sigma_{line} = \sigma \frac{W}{W+D} \approx \sigma \frac{W}{D}, \quad (5.12)$$

となる。以上より、ワード線/ビット線による磁場の減衰率は、

$$\left| \frac{H_x}{H_0} \right| = \exp \left( \sqrt{\frac{\mu\sigma\omega}{2}} \times \left( \frac{W}{D} \right) \times 2z \right), \quad (5.13)$$

となる。

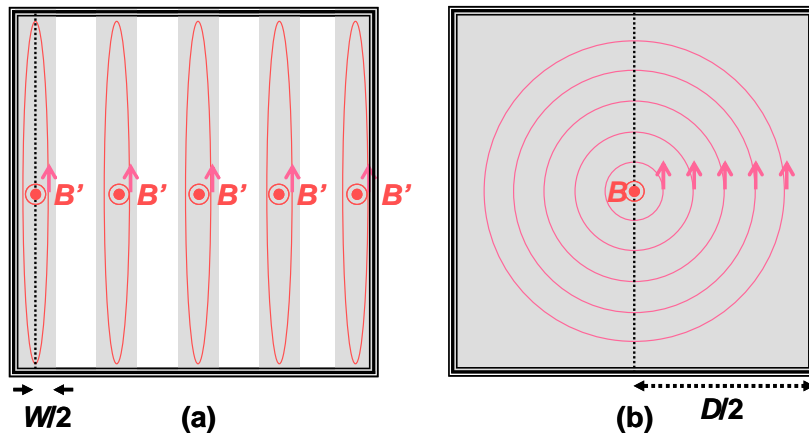


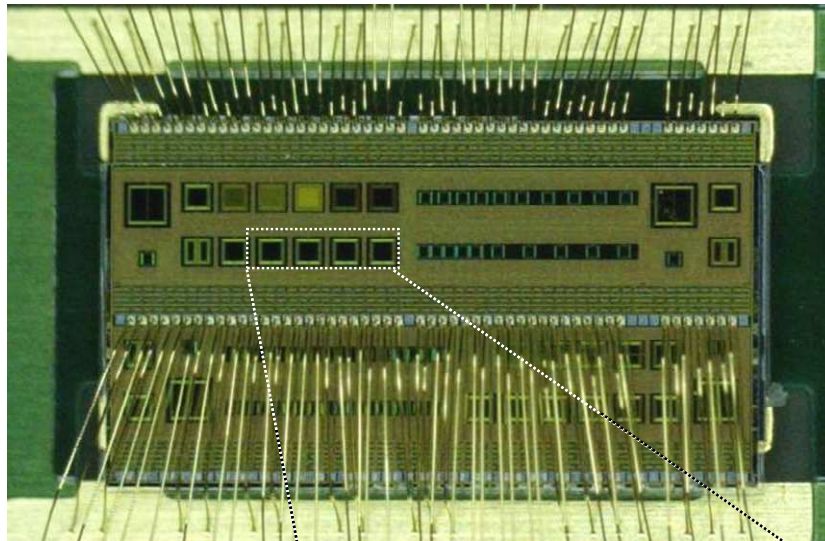
図 5.4 (a) ワード線/ビット線図 (b)一様な導体とみなしたワード線/ビット線図.

### 5.3.3 ワード線/ビット線の配線幅と磁場の減衰率の関係—試作チップ評価

(5.13)式の整合性を  $0.18\mu\text{m}$  CMOS プロセスを用いた試作チップにより評価した。図 5.5 に試作チップ積層写真を示す。直径  $200\mu\text{m}$  のコイル上に密度 50%の配線メッシュを 4 種類配置した。配線幅はそれぞれ  $0.56\mu\text{m}$ 、 $1.12\mu\text{m}$ 、 $2.24\mu\text{m}$ 、 $4.48\mu\text{m}$  である。図 5.6 に測定結果を示す。測定結果より(5.13)式では整合性が得られなかった。測定結果は(5.13)式に  $\exp(\sqrt{10})$  の積をとった式、

$$\left| \frac{H_x}{H_0} \right| = \exp \left( \sqrt{\frac{\mu \sigma \omega}{2}} \times \left( \frac{W}{D} \right) \times 10 \times 2z \right), \quad (5.14)$$

と整合する。この不一致は、5.3.2 節でも述べている近似を行った時に生じる誤差のため生じたと考える。



コイル拡大写真				
配線幅 $W$ [ $\mu\text{m}$ ]	4.48	2.24	1.12	0.56

図 5.5 積層試作チップ写真.

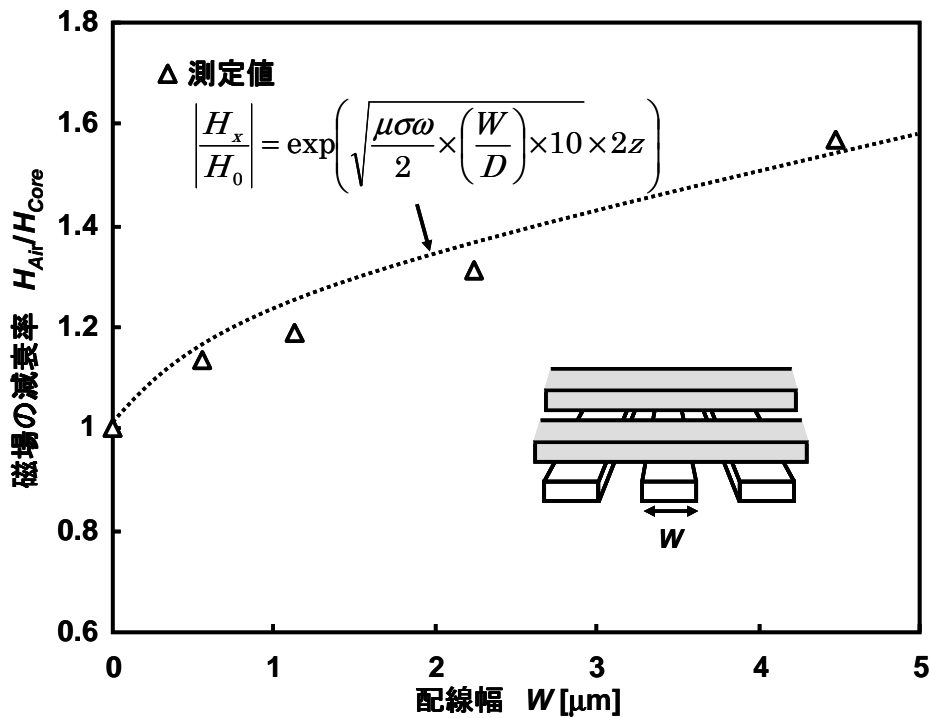


図 5.6 ワード線・ビット線幅と磁場の減衰率の関係。

### 5.3.4 貫通メモリチップ枚数と磁場の減衰率の関係—理論式の導出

図 5.7 に示す状況のもとで、磁場が複数のメモリチップを貫通したときの磁場の減衰率を検討する。いま、送信器用コイルから磁場  $H_0$  が発生し、 $H_0$  が同一のメモリチップを  $n$  枚貫通したときの磁場を  $H_{X_n}$  するとする。5.3.3 節の(5.14)式より、磁場がワード/ビット線に侵入したとき減衰率が求められた。また 5.3.1 の(5.6)式より磁場は侵入する導体の厚さに比例することがわかる。磁場が複数のメモリチップを貫通するとき、貫通メモリチップの枚数に比例して侵入するワード/ビット線の合計の厚さも増加する。これより磁場の侵入するメモリチップの枚数が増加すると、磁場の減衰率も貫通メモリチップ枚数に比例して指数関数的に増加すると考えられる。つまり、誘導結合通信が同一のメモリチップを  $n$  枚貫通するするとき、磁場の減衰率は、

$$\left| \frac{H_{X_n}}{H_0} \right| = \left( \frac{H_x}{H_0} \right)^n = \left\{ \exp \sqrt{\left( \frac{\mu\sigma\omega}{2} \right) \times \left( \frac{W}{D} \right) \times 10 \times 2z} \right\}^n, \quad (5.15)$$

となる。(5.15)式において、 $\mu$ はワード/ビット線の配線の透磁率、 $\sigma$ はワード/ビット線の電気伝導率、 $\omega$ は通信で使用する周波数、 $W$ はワード/ビット線の配線幅、 $D$ は通信コイルの直径、 $z$ はワード/ビット線の厚さである。

また、誘導結合通信がシリコン基板に進入することによって磁場も減衰すると考えられる[1]。しかしシリコン基板の電気伝導率はメモリメッシュの電気伝導率に比べると非常に小さいため、シリコン基板による磁場の減衰率は省略する。

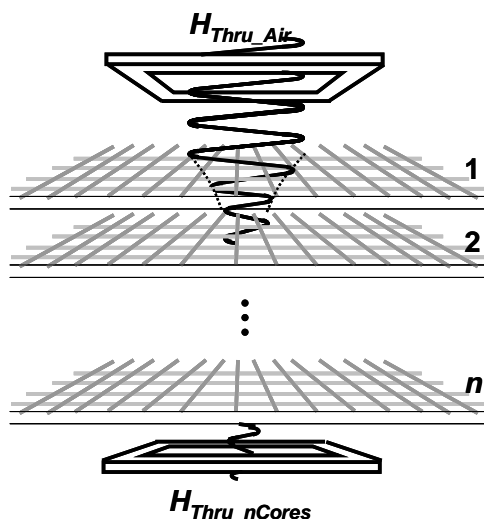
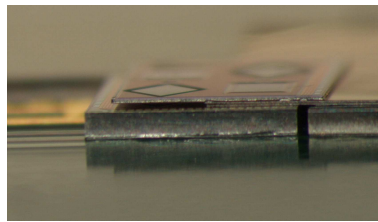
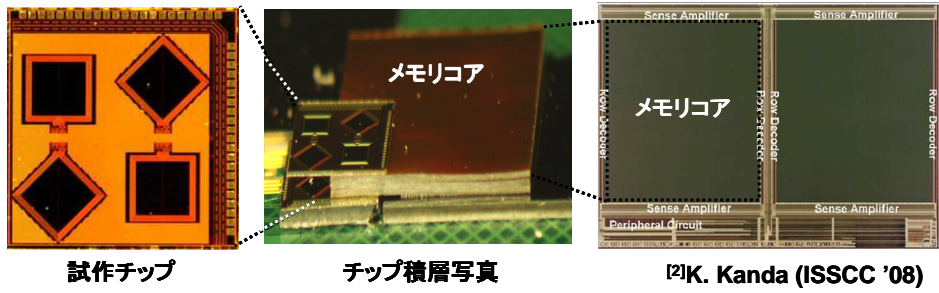


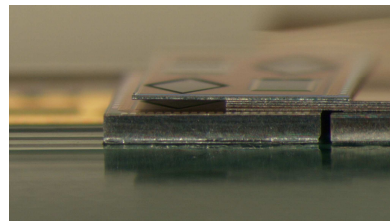
図 5.7 磁場が複数のメモリチップを貫通したときの磁場の減衰.

### 5.3.5 貫通メモリチップ枚数と磁場の減衰率の関係—試作チップ評価

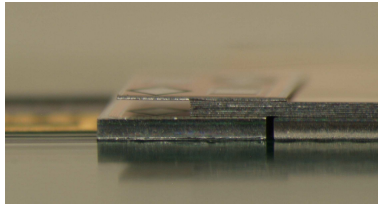
(5.15)式の整合性を 0.25 $\mu\text{m}$  CMOS プロセスを用いた試作チップにより評価した。図 5.8 に測定セットアップを示す。43nm 16Gb の実際の NAND フラッシュメモリチップ[2]のメモリコア領域を切り出し、15 $\mu\text{m}$  の薄さに研磨した。貫通メモリチップの枚数と磁場の減衰率の関係を調べるため、このメモリコアを 2、4、8、10 枚、それぞれ 5 $\mu\text{m}$  の厚さの接着剤で 2 枚の試作チップの間に積層した。積層ばらつきを考慮するため、それぞれのサンプルを 5 セット試作した。図 5.9 にサンプルの測定結果を示す。測定値は、5 サンプルの平均値である。測定結果より(5.15)式と測定値はほぼ同一の値となり、整合性を確認した。



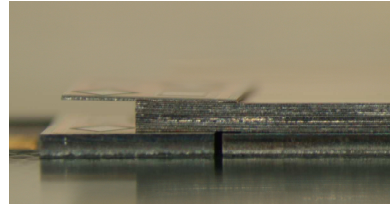
メモリア2枚



メモリア4枚



メモリア8枚



メモリア10枚

図 5.8 積層チップ写真.

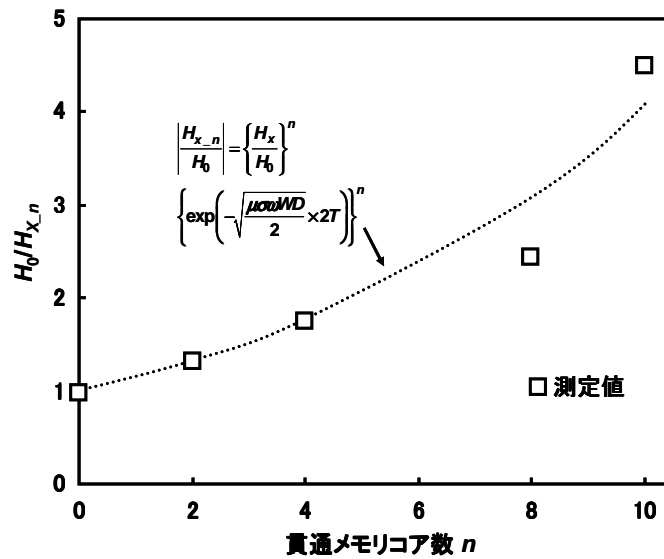


図 5.9 貫通メモリア数と磁場の減衰率の関係.

## 5.4 貫通メモリチップ数の最適値

メモリコア上コイルを使用し複数チップおきのリピート伝送を行う方式では、NANDフラッシュメモリチップの貫通枚数に反比例して使用するリピータ数が減少するため通信電力が削減できる。しかし、5.3節で述べたように、メモリコアに流れる渦電流による信号減衰を補うために、メモリチップの貫通枚数に比例してメモリコアを貫通するのに送信電力を増加する必要がある。そのため、最も消費電力が小さくなる貫通メモリチップの枚数には、最適値が存在する。図 5.10 に貫通メモリチップ枚数とリピータ数、また追加送信電力の関係を示す。図 5.10 に示すように、貫通メモリチップ枚数が 8 枚の時、通信電力は最も小さくなる。メモリコアを 8 枚貫通するのに 3 倍の追加送信電力を要するが、使用する送信器数が 1/8 に削減するため、送信電力を 3/8 に削減できる。受信器の削減数も考慮すると、メモリコア上コイルを使用し 8 チップおきのリピート伝送を行うと、従来の周辺回路領域上のコイルを使用し全てのチップでリピート伝送を行ったときの通信電力を、17%に削減する。

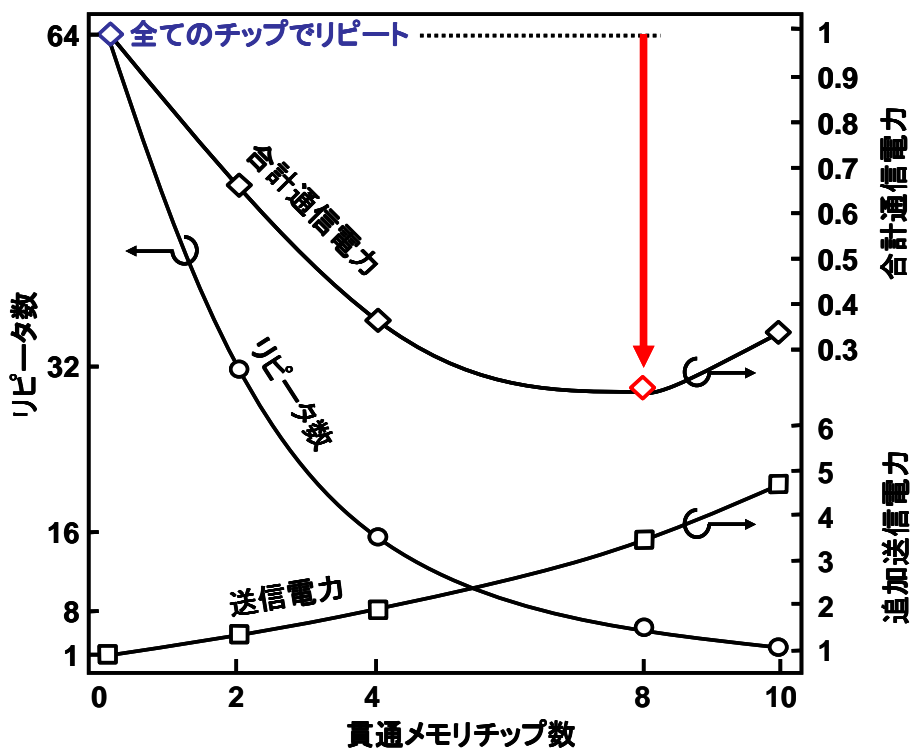


図 5.10 メモリコア上コイルを用いた 8 チップおきのリレー伝送による電力削減効果。

## 5.5 通信コイルとメモリ間の干渉

メモリアレイ上コイルを用いると、メモリアレイから誘導結合通信への干渉、また誘導結合通信からメモリへの干渉を検討する必要がある。ワード/ビット線の電圧が 0V から 1.8V に遷移すると、70mV 程度の差動ノイズが受信コイルに生じる。誘導結合通信では、50mV の差動ノイズが受信コイルに生じると問題となる。また、送信コイルに 1V 程度大きな電圧変動が起こると、ワード/ビット線に 100mV 以上のノイズが生じ、問題となる。とくに、コイルの辺と水平なワード/ビット線間には、大きな容量結合が生じるため、問題となる。そこで、コイルをワード/ビット線と直行するように配置する(図 5.11)。コイル辺とワード/ビット線間の容量結合が大幅に削減し、干渉を削減できる。

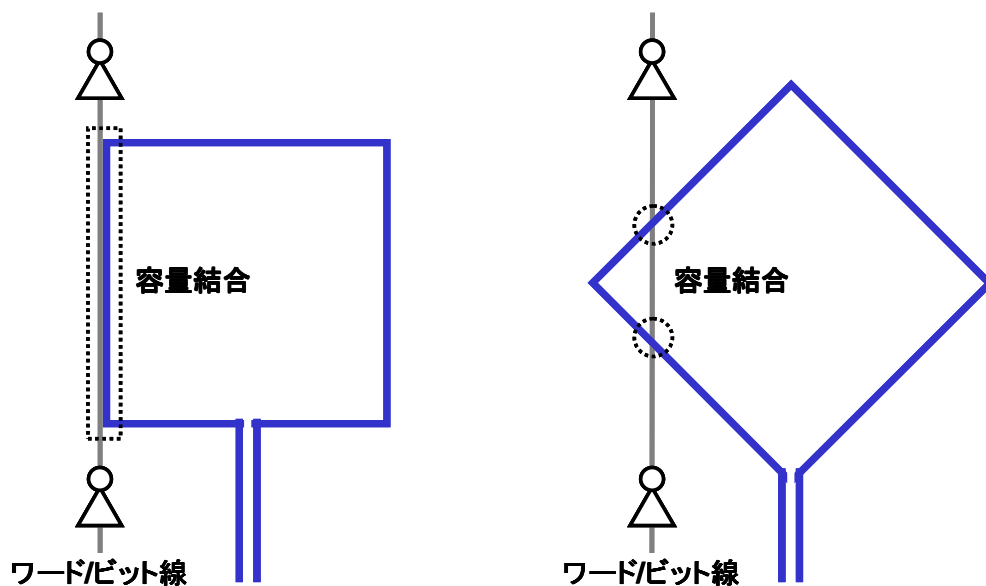
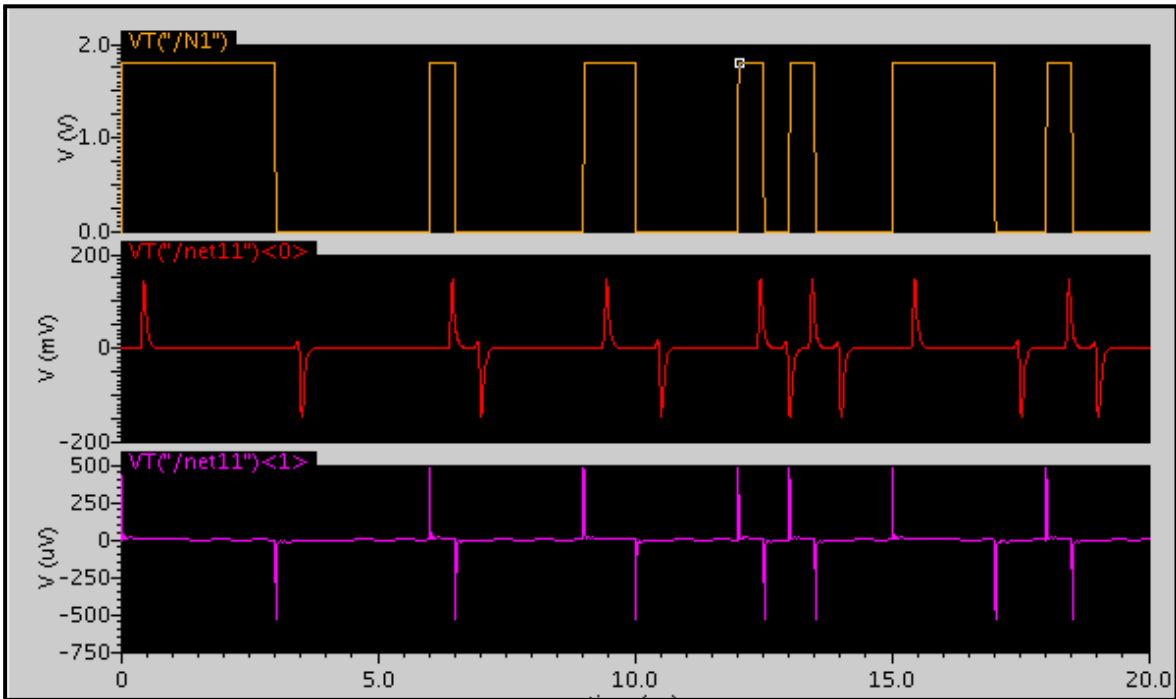


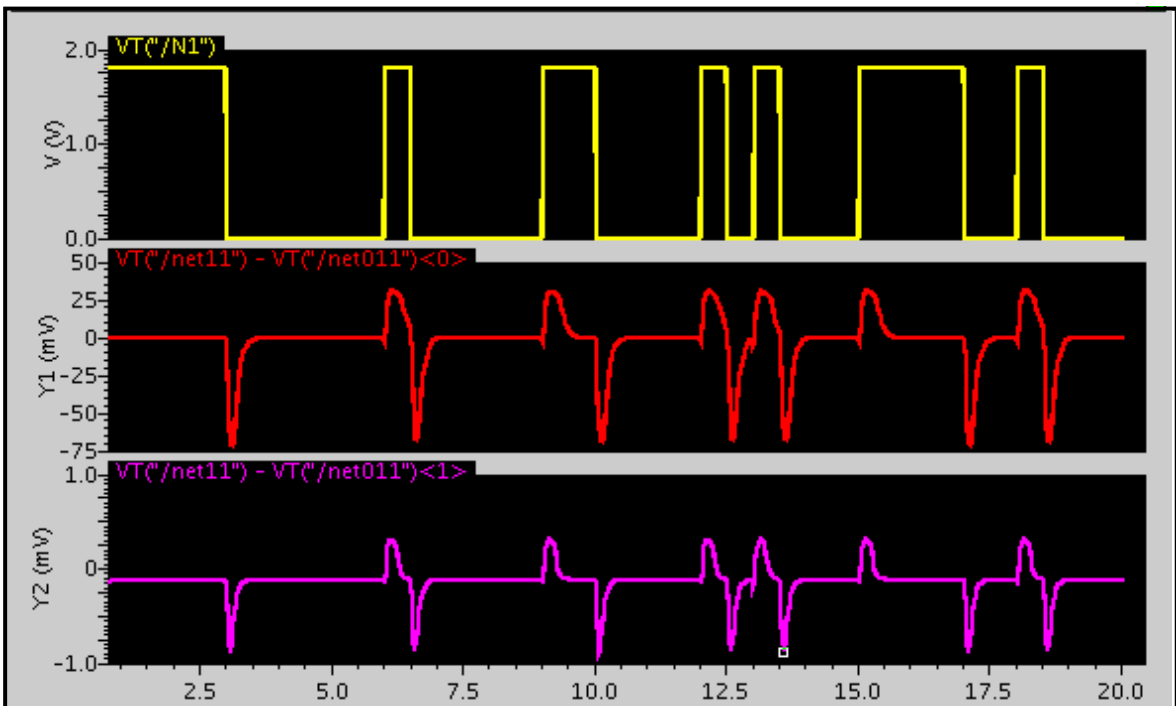
図 5.11 メモリ-コイル間の容量結合削減方法.

コイル辺とワード/ビット線の干渉を、コイル配線を斜めにレイアウトすることによって、削減する効果をシミュレーション上で確認した。送信コイルからメモリへのノイズは 0.5mV に、また、メモリから受信コイルへのノイズは 1mV 以下に低減できる(図 5.12)。





(a) 送信コイルからメモリへのノイズ.



(b) メモリから受信コイルへのノイズ.

図 5.12 コイルをワード/ビット線と斜めに配置した時のノイズ削減効果.

## 5.6 8チップおきのリレー伝送形成回路

128枚の積層メモリチップの最上位に配置されたコントローラチップが、すべてのメモリチップに8チップおきのリピート伝送によってデータ通信を行う伝送経路の形成方法を述べる。すべてのメモリチップは3つの誘導結合リピータを保持しており、それらのリピータの起動位置を最適に選択することによって伝送経路を形成する。このリピータの起動位置は、チップに配置された11個のパッドへのボンディングによって選択される。それぞれのパッドは *Coil ID* 0~3 と *Chip ID* 0~7 が割り当てられている。図 5.13 に示す *Coil ID* と *Chip ID* パッドそれぞれに1箇所ボンディングにより、コントローラチップは所望のメモリチップにアクセスできる。

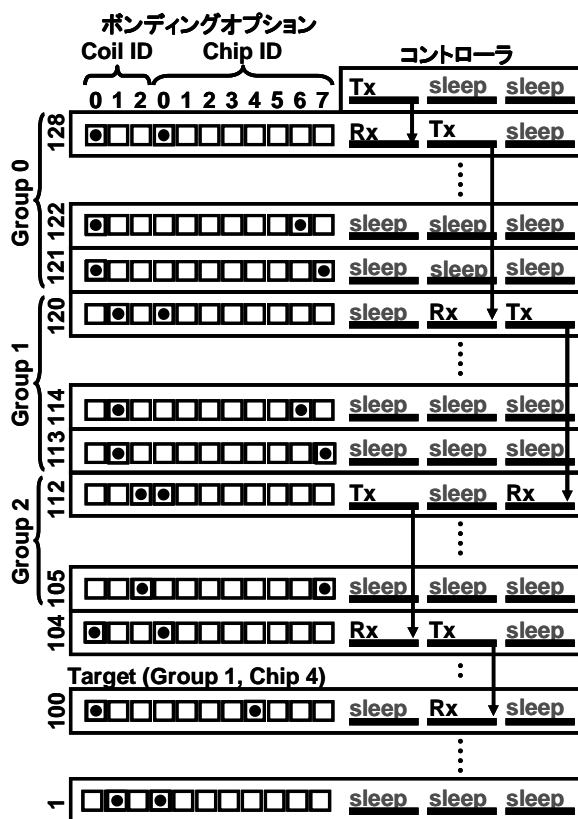


図 5.13 8チップおきのリレー伝送用ボンディングオプション。

*Coil ID* と *Chip ID* のパッドへのボンディングする位置の選択だが、まず128枚のメモリチップを16グループに分ける。それぞれのグループにチップは8枚存在し、それぞれのチップに *Chip ID* 0~7 を割り当てる。また、それぞれのグループにグループ番号0~15

を割り当てる。グループ番号は、コントローラチップより最も近いグループには最も小さいグループ番号 0 が割り当てられ、コントローラチップから離れる程グループ番号は大きくなる。また、さらにこれらのグループに *Coil ID* 0~2 を割り当てる。例えば、図 5.14 に示すように、コントローラチップが積層 100 枚目のメモリチップにアクセスしたいとする。積層 100 枚目のメモリチップはグループ番号が 3 のため、*Coil ID* 0 が割り当てられ、*Chip ID* 4 が割り当てられ、それぞれのパッドにボンディングされる。*Coil ID* へのボンディングによりコントローラチップが信号を送り、所望のメモリチップまでの *Chip ID* 0 のチップ内の送受信器を起動し、3 コイル方式のリピート伝送経路を形成する。また *Coil ID* 0 と *Chip ID* 4 へのボンディングにより、コントローラは積層 100 枚目のメモリチップ内の受信器のみが起動する。以上より、コントローラチップから積層 100 枚目の NAND フラッシュメモリチップまで 8 チップおきのリピート伝送経路を形成することができる。

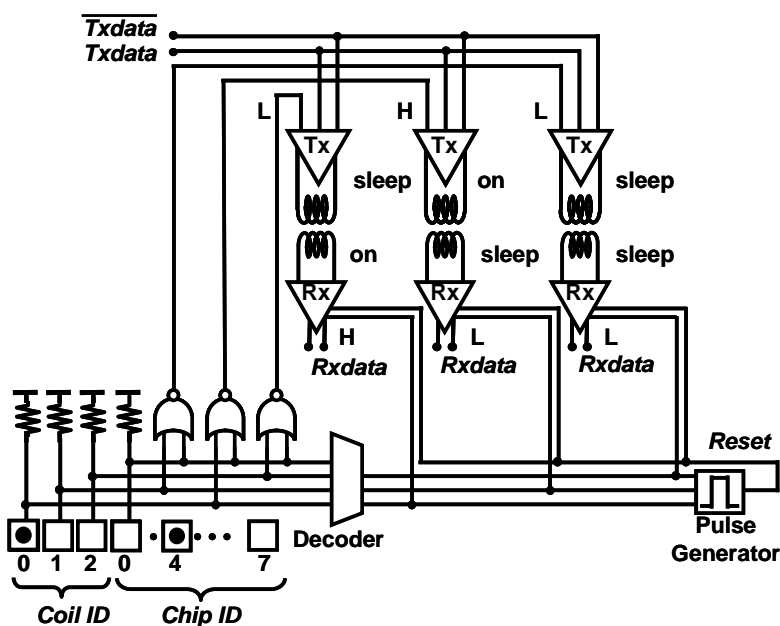


図 5.14 積層 100 枚目のメモリチップ内の起動する送受信器選択回路.

---

## 5.7 多段積層用積層方式

2.3 節に、3 コイル方式用の積層方式を 2 種類提案した。一つ目の反転積層実装は、ボンディングパッドの下にチップが存在しない。そのため、ボンディング時の圧力に対応できるように厚いチップを使用する必要があるため、そうなると、積層高さが問題となり、多段積層に適さない。一方で階段積層では、薄いチップを使用し実装することが可能であるが、4 チップおきにボンディングワイヤの高さを十分に確保する必要があるためのスペーサチップが必要である。このスペーサチップの厚さは接着剤の厚さも含めると通常  $65\mu\text{m}$  以上である。128 枚メモリチップを積層した時は、32 個ものスペーサチップが必要である。そのためコントローラチップから所望のメモリチップへの通信距離が大きくなってしまう。

誘導結合通信では、通信電力は通信距離に比例する。そのため 128 枚メモリチップを階段積層方式で積層したとき、通信電力が大きくなる。通信電力削減のためには通信距離削減技術が有効である。そこで、本節ではスペーサ無で積層可能な螺旋階段積層を提案する。

### 5.7.1 螺旋階段積層

螺旋階段積層方式を図 5.15 に示す。図に示すようにチップは螺旋階段状に積層される。3 チップおきに積層方向を  $90^\circ$  ずらすことにより、ボンディングワイヤの高さスペースをスペーサチップなしで確保できる。そのため、128 枚 NAND フラッシュメモリチップを積層したとき、従来の階段積層で必要だったスペーサチップ 32 個(合計の厚さ:  $65\mu\text{m} \times 32 = 2080\mu\text{m}$ )を省略できる。またリピータ間の距離も螺旋階段積層方式は階段積層方式より 35%削減できる。螺旋階段積層方式は階段積層方式より通信距離を大幅に削減できるため、通信電力も削減できる。

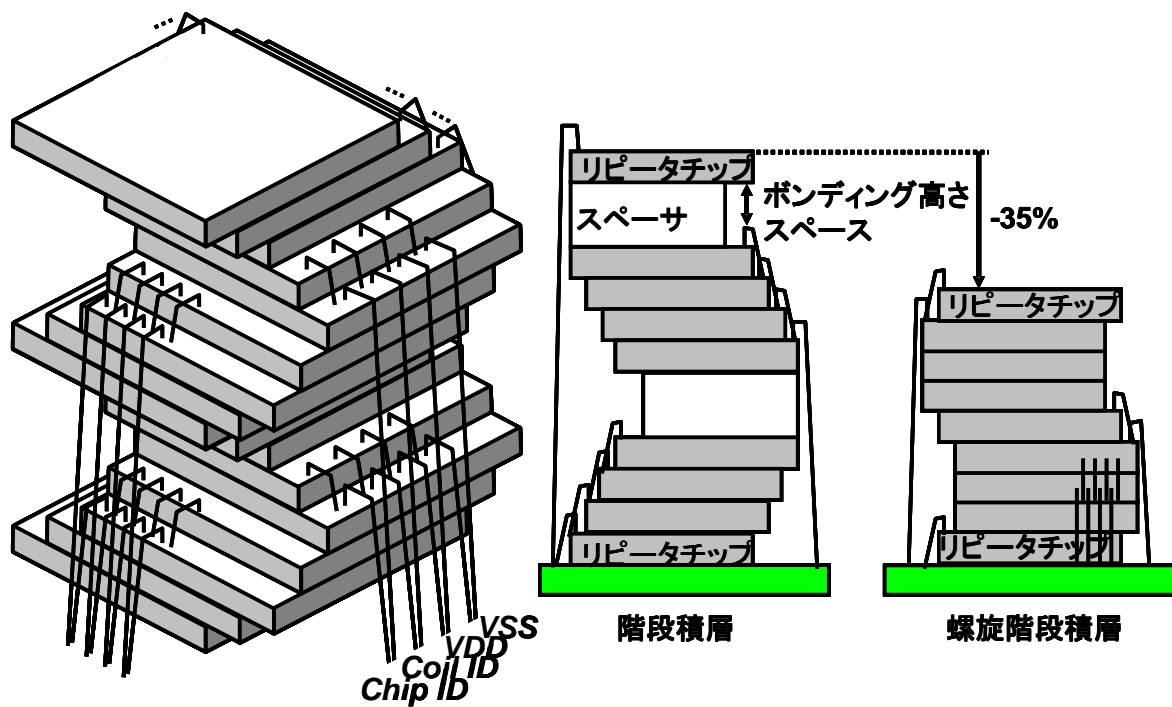


図 5.15 螺旋階段積層.

にチップを 128 枚、階段積層方式と螺旋階段積層方式を用いて積層し、積層全体の高さを比較した。128 枚のチップを  $25\mu\text{m}$  の薄さに研磨し、 $5\mu\text{m}$  の厚さの接着剤を用いて積層した。階段積層方式で用いたスペーサチップは  $60\mu\text{m}$  であり、これも  $5\mu\text{m}$  の厚さの接着剤を用いて積層した。図 5.16 に階段積層方式と螺旋階段積層方式で積層した 128 枚のチップの顕微鏡写真を示す。螺旋階段積層方式で 128 枚チップを積層したとき、従来の階段積層方式では  $6.0\text{mm}$  の積層全体の高さを  $3.9\text{mm}$  に低減できた。

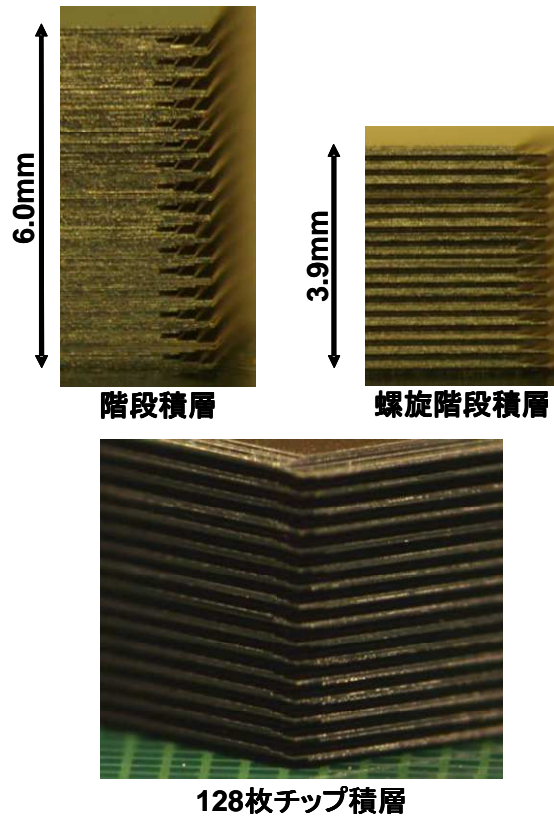


図 5.16 128 枚チップ積層写真.

### 5.7.2 螺旋階段積層方式と階段積層方式の通信コイル間の結合強度

螺旋階段積層方式と階段積層方式の結合定数の強さの比較を行う。8チップおきのリピート伝送では、所望のメモリチップが属するグループまでは *Chip ID* 0 同士が適正な通信電力で 8 チップおきのリピート伝送をおこない、最終的には所望メモリチップへはそのメモリチップと *Chip ID* 0 同士のリピータ間の最小通信電力で通信を行う。そのため螺旋階段積層方式と階段積層方式それぞれのリピータ同士の通信コイル間の結合定数(隣接するグループの *Chip ID* 0 同士)と、同一グループの *Chip ID* 0 とその他の *Chip ID* (1~7)の通信コイル間の結合定数を比較する。結合定数  $k$  は電磁界シミュレーションによって求めた。その結果を図 5.17 に示す。階段積層方式での、リピータ同士の通信コイル間の結合定数は 0.083 である。また、*Chip ID* 0 とその他の *Chip ID* (1~7)の通信コイル間の一番大きな結合定数、つまりワーストケースの結合定数は 0.070 である。それに対して螺旋階段積層方式は、リピータ同士の通信コイル間の結合定数は 0.132 と階段積層方式より 1.6 倍強い結合定数である。また、*Chip ID* 0 とその他の *Chip ID* (1~7)の通信

コイル間の一番大きな結合定数、つまりワーストケースの結合定数は 0.104 と階段積層方式より 1.5 倍強い結合定数である。この様に螺旋階段積層方式のほうが階段積層方式より結合定数が強くなったのは、スペーサチップを省略したことによって通信距離が減少したことが考えられる。また通信コイル間の重なりが増加し、通信コイル間の結合が強くなったからだと考えられる。誘導結合通信の送信電力は結合定数に比例する。そのため、螺旋階段積層方式は階段積層方式と比べ通信電力を削減できる。本研究は実際に測定を行い、これを実証した。次節に測定結果を示す。

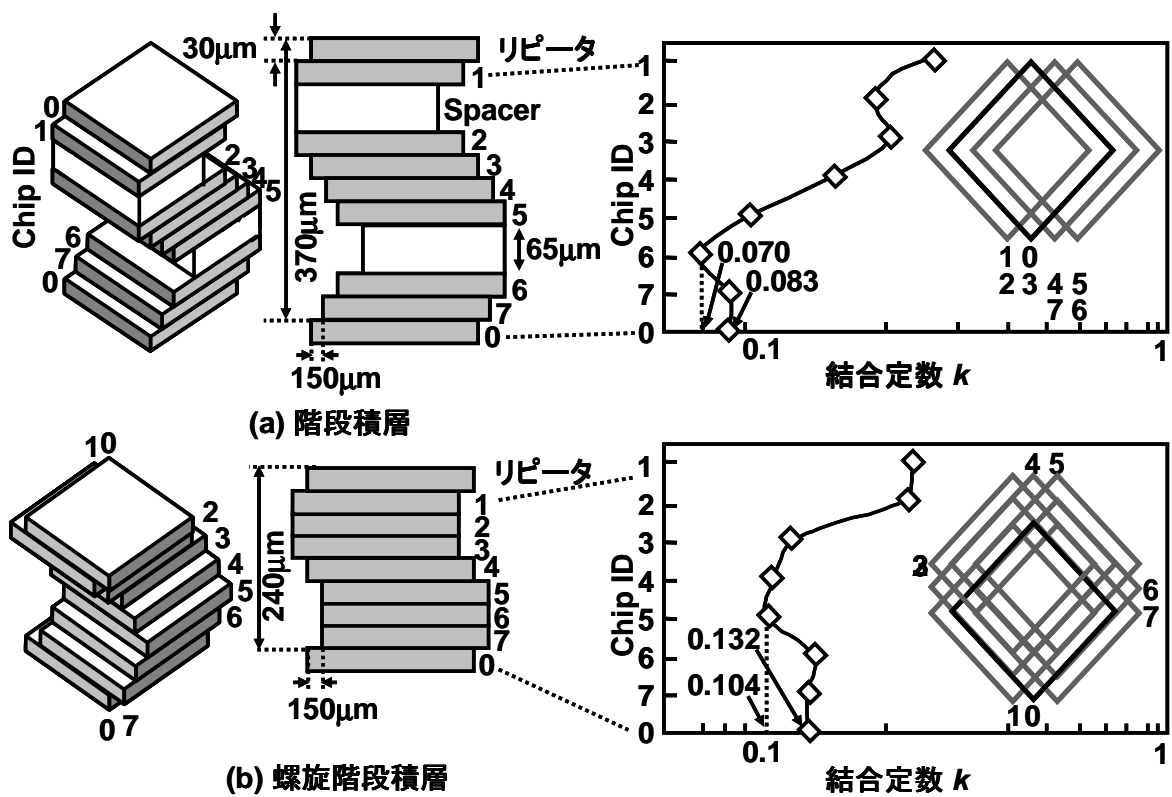


図 5.17 螺旋階段積層方式と階段積層方式の通信コイル間の結合強度比較.

---

### 5.7.3 試作チップ評価

0.25 $\mu\text{m}$  CMOS Flash Embedded プロセスを用いてテストチップを試作した (図 5.18)。直径 1.1mm のコイルが合計 6Mb のフラッシュメモリ上に配置した。チップを 25 $\mu\text{m}$  の薄さに研磨し、5 $\mu\text{m}$  の厚さの接着剤を用いて段積層方式と螺旋階段積層方式を用いてチップを積層した。階段積層方式で用いるスペーサチップは 60 $\mu\text{m}$  の厚さであり、5 $\mu\text{m}$  の厚さの接着剤を用いて積層した。図 5.19 にその測定結果を示す。螺旋階段積層方式を用いるとリピータ間同士の時、階段積層方式より 60%の送信電力で  $\text{BER} < 10^{-12}$  を達成できた。また、リピータとワーストケースの *Chip ID* 同士の時(螺旋階段積層方式のとき *Chip ID* 5、階段積層方式のとき *Chip ID* 6)、螺旋階段積層は 65%の送信電力で  $\text{BER} < 10^{-12}$  を達成できた。このときの通信データは  $2^7-1$  PRBS で、データレートは 2Gb/s である。



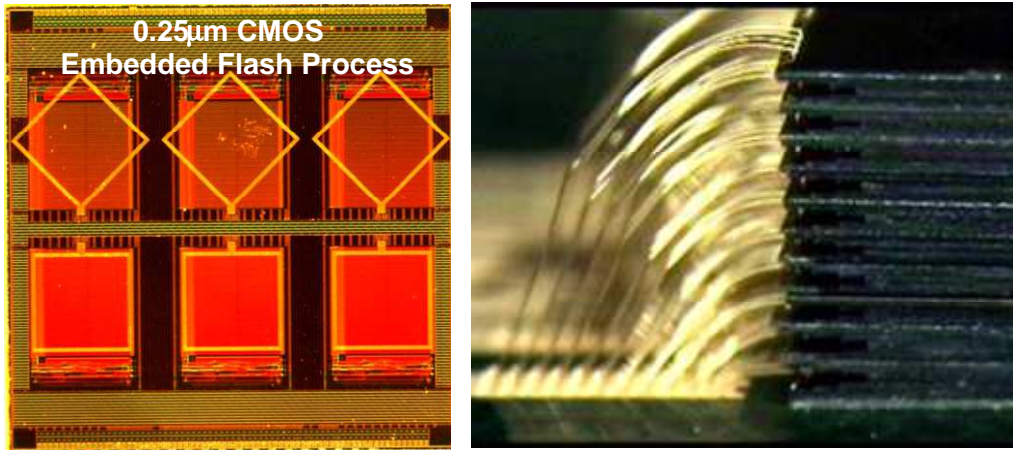


図 5.18 試作チップ写真.

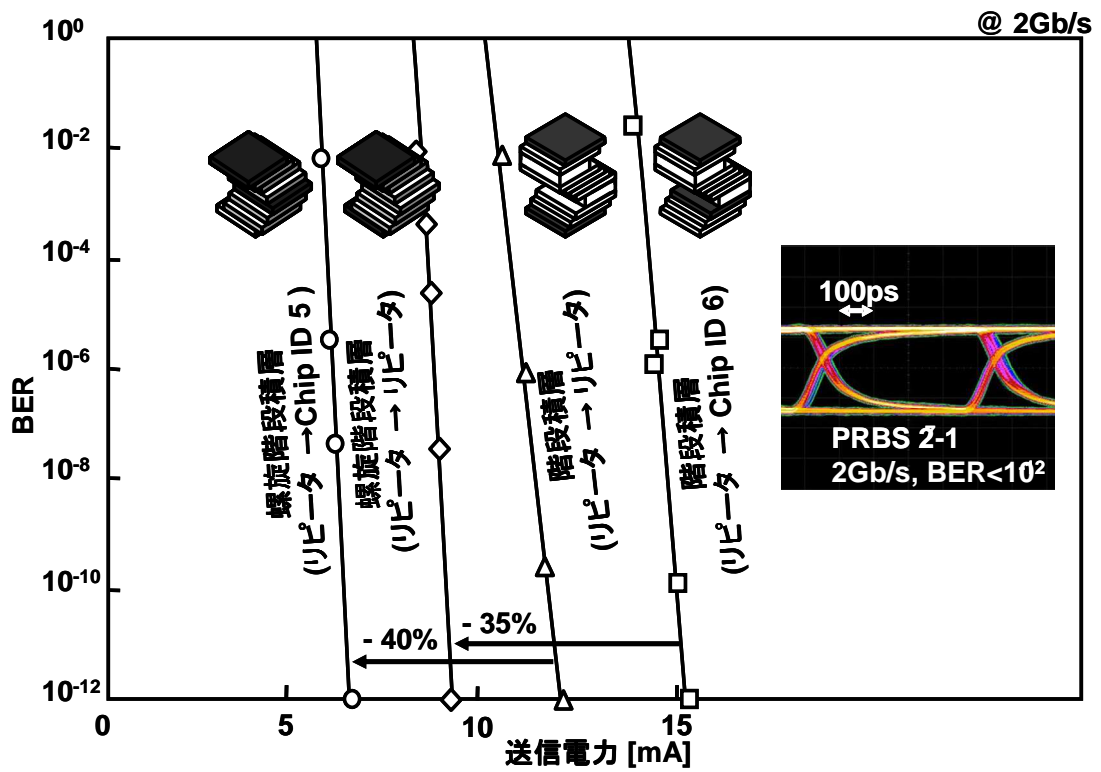


図 5.19 測定結果.

## 5.8 128 枚メモリチップ積層用誘導結合インタフェースの性能評価

図 5.20 に 128 枚メモリチップ積層用誘導結合インタフェースの性能をまとめる。メモリコア上コイルを用いた 8 チップ毎のリレー伝送により送信電力 3/8 に、また螺旋階段積層により 60%に削減したため、

$$\begin{aligned} \text{送信器の消費エネルギー} &= (3/8) \times (60/100) \times (\text{従来の消費エネルギー}) \\ &= (1/8) \times (60/100) \times (4.4\text{pJ/b}) \\ &= 0.99\text{pJ/b}, \end{aligned}$$

に削減できた。また、受信器と周辺回路を 1/8 に削減したため、

$$\begin{aligned} \text{受信器と周辺回路の消費エネルギー} &= (1/8) \times (\text{従来の消費エネルギー}) \\ &= (1/8) \times (4.6\text{pJ/b} + 2.0\text{pJ/b}) \\ &= 0.82\text{pJ/b}, \end{aligned}$$

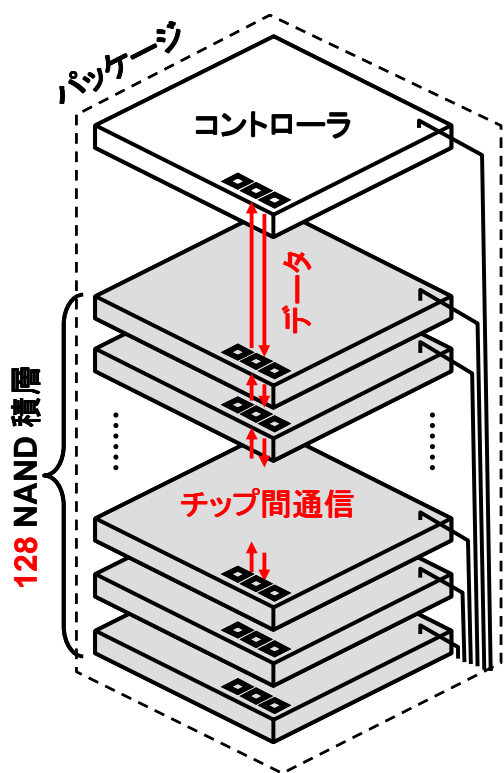
に削減できた。そのため、送受信器と周辺回路を合計したインタフェースの消費エネルギーは 1.8pJ/b である。転送速度は 2Gb/s のため、

$$\begin{aligned} \text{通信電力} &= (\text{消費エネルギー}) \times (\text{転送速度}) \\ &= (1.8\text{pJ/b}) \times (2\text{Gb/s}) = 3.6\text{mW}, \end{aligned}$$

である。また、メモリチップを 128 枚積層し、8 チップおきのリレー伝送を用いると、通信レイテンシは、

$$\left( \sum_{k=1}^{15} n + 16 \right) \times 4\text{ns} = 544\text{ns},$$

である。レジスタからメモリへのデータ伝送時間は 9 $\mu\text{m}$  のため、544ns の寄与は 6% と小さい。また、1 チップに制御線に 2 本、電源線に 2 本のワイヤを使用するため、128 枚メモリチップ積層時のメモリチップ間の合計のワイヤ数は、128 $\times$ 4=512 本である。また、コントローラは 34 本ワイヤを使用するため、合計のワイヤ数は 512+34=546 本である。



データ通信方式	8チップおきのリレー伝送
コイル直径	1.1mm
通信電力	3.6mW
消費エネルギー	1.8pJ/bit
データレート	2Gb/s
ワイヤ数	546本
通信レイテンシ	544ns

図 5.20 128 枚メモリチップ積層用誘導結合インタフェースの性能評価.

## 5.9 おわりに

本章では、多段(≧128)積層用誘導結合メモリチップ間インタフェースを提案した。開発した多段メモリチップ積層用誘導結合インタフェースと従来技術の性能比較表 5.1 にまとめる。0.25 $\mu$ m CMOS プロセスでテストチップを試作した。メモリコア上に大きい直径のコイルを配置し、8チップおきのリレー伝送によりリピータ数を削減でき、送信電力を 3/8 に削減できることを実証した。また、積層高さを低減し、通信距離を削減する螺旋階段積層は、従来の階段積層と比べ送信電力を 60%削減することを実証した。2 つの技術をあわせて通信消費電力を合計 1/6 にできた。また、ボンディングワイヤ方式とくらべると、通信消費電力を 1/4 にできた。

表 5.1 提案技術と従来技術の性能比較.

		8チップおきの リレー伝送	2チップおきの リレー伝送	ブロードキャスト
データ通信方式		誘導結合	誘導結合	ワイヤ
チップ数		128 メモリチップ + 1 コントローラチップ		
パッケージ 内ワイヤ数	チップ間	256	288	2912
	コントローラ- パッケージ	34	34	81
	NAND-パッ ケージ	256	96	416
コイル直径		1.1mm	0.2mm	N/A
消費電力 [pJ/b/chip]		1.8 (x1) (Tx:1.0, Rx:0.6, Ctrl:0.2)	11 (x6) (Tx:4.4, Rx:4.6, Ctrl:2.0)	6.9 (x4)

---

## 参考文献 (第 5 章)

- [1] M. Sasaki and A. Iwata, "A 0.95mW/1.0Gbps Spiral-Inductor Based Wireless Chip-Interconnect with Asynchronous Communication Scheme," *Symp. VLSI Technology Dig. Tech. Papers*, pp.348-351, June 2004.
- [2] K. Kanda, M. Koyanagi, T. Yamamura, K. Hosono, M. Yoshihara, T. Miwa, Y. Kato, A. Mak, R. Tsai, R. Cernea, L. Binh, E. Makino, T. Taira, H. Otake, N. Kajimura, S. Fujimura, Y. Takeuchi, M. Itoh, M. Shirakawa, D. Nakamura, Y. Suzuki, Y. Okukawa, M. Kojima, K. Yoneya, T. Arizono, T. Hisada, S. Miyamoto, M. Noguchi, T. Yaegashi, M. Higashitani, F. Ito, G. Hemink, T. Maruyama, K. Ino, and S. Ohshima, "A 120mm<sup>2</sup> 16Gb 4-MLC NAND Flash Memory with 43nm CMOS Technology," *IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers*, pp.430-431, Feb. 2008.

---

## 第 6 章

### 結論

---

## 6.1 まとめ

記憶装置の小型化、大容量化、低消費電力化への要求が高まっている。従来の記憶装置の代表格であった磁気ディスクを応用した HDD に代わる記憶装置として、半導体メモリチップを応用した SSD が注目されている。SSD は HDD のように物理的動作を必要としないため、耐久性に優れている。これに加えて小型化が可能である。これらの特徴により、SSD は可動式小型電子装置の記憶装置に広く利用されている。

動画、音楽、パソコンデータ保存等といった応用の拡大に伴い、SSD の大容量化が求められているものの、その大容量化は技術的に限界が近づいている。なぜなら半導体メモリの微細化による容量増加が鈍化しているからである。この微細化の壁を乗り越えるためにパッケージ内に半導体メモリチップを垂直方向に積層する三次元積層の関心が高まっている。しかしながら、チップ積層枚数はワイヤ数の多さにより限定されている。現在の SSD では、メモリアクセスにボンディングワイヤを使用する。積層メモリチップ数が増加すると、それと比例してワイヤ数も増加し、大容量 SSD 実現の障害となっている。ボンディングワイヤの代わりに、他のチップ間通信をメモリアクセスに使用することにより、小型で大容量 SSD が実現可能となる。特に誘導結合通信は積層チップ間有線通信(マイクロバンプ, TSV)のコスト・微細化限界・信頼性の問題を解決することができ、またチップを貫通して通信することが可能なため、容量結合通信よりも応用範囲が広い。

そこで本研究では、小型・大容量・低消費電力 SSD の実現を目指し、誘導結合通信に着目し、メモリチップ積層用誘導結合インタフェースの開発、電力削減技術の開発、コイル配置技術の開発、以上の開発された技術を用いて、128 枚メモリチップ積層用誘導結合インタフェースの開発を目的とした。

以下に本研究で得られた結論を各章ごとに分けて記述し、最後に総括をする。

---

## 6.2 誘導結合メモリチップ間インタフェース (第2章)

本章で誘導結合メモリチップ間インタフェースの基本構成を述べた。まず、同一チャンネルでデータの読み込み/書き込みを行うことが可能となる、誘導結合リピータを提案した。次に、誘導結合リピータを用いてデータをチップ毎にリレーのように中継し伝送する、リレー伝送技術を提案した。また同一チップ積層時、垂直方向に並ぶコイルからのクロストークについて議論し、そのクロストーク削減するチャンネル方式を2種類(2コイル+シールドチャンネル、3コイルチャンネル)提案した。それぞれの方式でチャンネルを形成するために、適切な送受信器を選択し起動する回路、積層方式を提案した。0.18 $\mu\text{m}$  CMOS プロセスを用いた試作チップによる動作検証で2コイル+シールドチャンネルと3コイルチャンネルの性能比較を行った。3コイルチャンネルでは、リピータを3個使用するが、大面積であるシールドが不要なため、2コイル+シールドチャンネルの69%の面積でチャンネル形成が可能である。これに加えて、シールド内の渦電流の影響を受けないため、送信電力も2コイル+シールドチャンネルの47%で通信が可能である。

## 6.3 非同期パルス送信器 (第3章)

本章では電力削減のため誘導結合非同期パルス送信器を提案した。誘導結合通信では非同期送受信器が採用されている。従来の送信器は定常電流が問題であった。遷移時以外のデータは使用されないため、低いデータレート時には大きな電力を無駄にしている。通常の可動式小型電子装置のメモリが要求するデータレートは2Gb/s以下であるため、電力も削減されるべきである。非同期式パルス送信器は、送信データ遷移時以外は電力を消費しない。0.18 $\mu\text{m}$  CMOS プロセスを用いた試作チップによる動作検証で性能評価を行った。誘導結合非同期式パルス送信器は従来の送信器と比べて、1.5Gb/s のとき送信電力を1/4に、0.1Gb/s のとき1/60に削減できた。



---

## 6.4 デジタル領域 2 層コイルとメモリコア上 1 層コイル (第 4 章)

本章で、誘導結合インタフェースに使用する送受信器用コイルをメモリチップ上に配置する技術を 2 つ提案した。まず、メモリチップの周辺回路領域内でのコイル面積削減技術であるデジタル領域 2 層コイルを提案した。デジタル領域 2 層コイルは、回路を構成するデジタル配線内に配置するため、デジタル配線からのノイズ耐久性を解析し、0.18 $\mu\text{m}$  CMOS プロセスを用いた試作チップの測定結果により耐久性を確認した。次にメモリチップのメモリコア上にコイルを配置するメモリコア上 1 層コイルを提案した。メモリコア上 1 層コイルの設計ルールを示し、設計ルールの妥当性を 0.18 $\mu\text{m}$  CMOS プロセスを用いた試作チップの測定結果により評価した。

## 6.5 128 枚メモリチップ積層用誘導結合インタフェース (第 5 章)

本章で、第 2 章、第 4 章、で得られた知見を基に開発した 128 枚メモリチップ積層用誘導結合インタフェースの評価結果を示した。第 4 章で提案したコイル配置技術を用いて、大コイルをメモリコア上に配置し、第 2 章で開発したリピータ数を削減した。また、メモリコア貫通時の渦電流による信号減衰率について議論し、最適な貫通メモリチップ数を導き出した。メモリコア貫通に 3 倍の送信電力が必要だが、リピータ数を 1/8 倍に削減出来るため、送信電力を 3/8 に削減することを確認した。次に、スペーサチップ無で積層が可能である螺旋階段積層を提案した。リピータ間の距離が削減でき、送信電力も削減できる。両方の技術を合わせて、2 章の技術と比べて通信消費電力を 1/6 に削減できた。

## 6.6 総括

本研究で、誘導結合通信を応用したメモリチップ間インタフェースの実現に必要なインタフェース技術を研究した。データをリレーしチップごとに伝送することにより、コントローラチップは多段に積層されたメモリチップにアクセスが可能となる。従来の送

---

信器で問題となる定常電流を削減する、非同期パルス型送信器を提案した。また、回路面積の小さいメモリチップ上にコイルを配置する技術を提案した。さらに、小型・大容量・低消費電力 SSD 実現のために、提案したコイル配置技術を応用し、大コイルを用いたリレー伝送により、メモリアクセスに使用するリピータ数を削減し、通信電力を削減することを提案した。

## 6.7 今後の展望

本論文では、小型・大容量・低消費電力 SSD を実現するための、誘導結合を用いたメモリアクセス技術、低消費電力送信器、コイル配置技術、積層技術を提案した。しかしながら、提案した誘導結合メモリチップ間インタフェースを実用に供するには、未だ解決すべき課題が残されている。

まず、より高密度化を目指すために、誘導結合インタフェースの面積削減技術が必要である。近年、スーパーハイビジョンカメラなどでは、メモリは高速に並列的に記録を行う。本研究の提案する 3 コイルチャンネルでは、リピータを 3 個使用し形成する。さらなる高密度、高速化のためのリピータ数削減回路技術の開発が必要となる。

本研究の提案技術では、電源供給と *Reset* にボンディングワイヤを用いている。それらも誘導結合通信で行えば、ボンディングワイヤ無でチップ積層が可能となり、低コスト化が実現する。そのためには、低待機電力受信器回路の開発、また、電源供給回路開発が必要となる。

さらには、本研究で提案したリレー伝送を多段メモリチップではなく、多段プロセッサなどに用いることを提案する。そのためには、より高速にチャンネルを形成する技術が必要である。メモリでは、データの読み出し/書き込みに数 m 秒程かかるのに対して、プロセッサは数 n 秒で起動する。そのため、多段プロセッサでリレー伝送を用いるには、より高速にチャンネルを形成する技術が必要である。

本研究では、小型・大容量・低消費電力 SSD の実現のための技術を提案したが、これらに加えてさらに、SSD の高速化、低コスト化の要求がつよい。メモリアクセス時間の短縮、実装方法等、インタフェース回路技術以外の視点からの研究も必要であり、今後多方面からのさらなる取り組みが求められるであろう。

---

# 謝辞

本研究は、慶應義塾大学大学院 理工学研究科 総合デザイン工学専攻スマートデバイス・システム工学専修 黒田研究室において、黒田 忠広 教授のご指導の下に行われたものです。指導教官である、慶應義塾大学 理工学部 教授 黒田 忠広 博士には、ご多忙に関わらず、熱心なご指導と的確なご助言を頂きました。自由な発想のもとで研究を行える機会や国際的な活動を行える機会を与えて頂いたおかげで、多くのことを経験し、学ぶことができました。本論文が完成に至ったのは、黒田 忠広 教授のご助力の賜物であり、ここに深く感謝の意を表します。

本論文に対して多くの有益なご指導、ご助言を頂いた慶應義塾大学 理工学部 教授 天野 英晴 博士、同 准教授 石黒仁揮 博士、同 准教授 中野 誠彦 博士に心から深く感謝申し上げます。特に、石黒 仁揮 博士には、研究の過程において、多くの技術的なご助言を頂きました。重ねてお礼申し上げます。

慶應義塾大学 理工学部 電子工学科 黒田研究室の特任教授 田口 眞男 博士には、多くの技術的なアドバイスを頂きました。また、同 研究員 四手井 綱章 氏には、より良い環境で研究できるように多くのサポートをして頂きました。この場を借りて、深く感謝申し上げます。

そして、慶應義塾大学 理工学部 電子工学科 黒田研究室の先輩、同輩、後輩、研究員及び秘書の方々には、公私にわたって細やかな配慮を頂き、研究生活を支えてくれたことに深くお礼申し上げます。特に、先輩の三浦 典之 博士、吉田 洋一 博士、杉森 靖史 氏、岩瀬 由範 氏には、研究に関して多くのご助力を頂きました。また、同輩の猪狩 理紗子 氏、春日 一貴 氏、清田悠爾 氏、高津 慶太 氏には、黒田研究室在籍中、そして卒業後も親しくして頂き、素晴らしい同輩に巡り会えたことに感謝しております。

最後に、本論文をまとめるにあたり、献身的な援助、協力をしてくれた家族に感謝の意を表します。

2014年2月4日

齊藤 美都子

---

## 著者論文目録

### 原著論文

- [1] M. Saito, Y. Sugimori, Y. Kohama, Y. Yoshida, N. Miura, H. Ishikuro, T. Sakurai, and T. Kuroda, “2Gb/s 15pJ/b/chip Inductive-Coupling Programmable Bus for NAND Flash Memory Stacking,” *IEEE Journal of Solid-State Circuits*, Vol. 45, No. 1, pp. 134-141, (2010).
- [2] M. Saito, Y. Yoshida, N. Miura, and T. Kuroda, “47% Power Reduction and 91% Area Reduction in Inductive-Coupling Programmable Bus for NAND Flash Memory Stacking,” *IEEE Circuits and Systems I*, Vol. 57, No. 9, pp. 2269–2278, (2010).
- [3] M. Saito, N. Miura, and T. Kuroda, “Asynchronous Pulse Transmitter for Power Reduction in ThruChip Interface,” *Japanese Journal of Applied Physics(JJAP)*, Vol. 51, pp. 02BE06.1-3, (2012).

### 共著論文

- [1] N. Miura, M. Saito, and T. Kuroda, “A 1TB/s 1pJ/b 6.4mm<sup>2</sup>/TB/s QDR Inductive-Coupling Interface Between 65-nm CMOS Logic and Emulated 100-nm DRAM,” *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, Vol. 2, No. 2, pp. 249-256, (2012).

### 国際会議

- [1] M. Saito\*, Y. Sugimori, Y. Kohama, Y. Yoshida, N. Miura, H. Ishikuro, and T. Kuroda, “47% Power Reduction and 91% Area Reduction in Inductive-Coupling Programmable Bus for NAND Flash Memory Stacking,” *IEEE Custom Integrated Circuits Conference*, pp. 449-452, (CICC 2009, San Jose, USA, 2009).
- [2] M. Saito\*, K. Kasuga, T. Takeya, N. Miura, and T. Kuroda, “An Extended XY Coil for Noise Reduction in Inductive-Coupling Link,” *IEEE Asian Solid-State Circuits Conference, Digest of Technical Papers*, pp. 305-308, (A-SSCC 2009, Taipei, Taiwan 2009).
- [3] M. Saito\*, N. Miura, and T. Kuroda, “A 2Gb/s 1.8pJ/b/chip Inductive-Coupling Through-Chip Bus for 128-Die NAND-Flash Memory Stacking,” *IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, pp. 436-437, (ISSCC 2010, San Francisco, USA,).
- [4] M. Saito\*, N. Miura, and T. Kuroda, “Asynchronous Pulse Transmitter for Power Reduction in ThruChip Interface,” *International Conference on Solid-State Devices and Materials, Digest*

---

of Technical Papers, pp. 1075-1076, (SSDM 2011, Nagoya, Japan, 2011).

- [5] M. Saito\*, N. Miura, and T. Kuroda, “Analysis and Design of Coil with Feed Line for ThruChip Interface,” International Conference on Solid-State Devices and Materials, Digest of Technical Papers, pp. 1160-1161, (SSDM 2012, Kyoto, Japan, 2012).

#### その他

- [1] 受賞 2009 年 理工学研究科国際会議論文発表奨励賞.  
[2] 受賞 2011 年 優秀研究活動賞(修士).  
[3] 受賞 2011 年 5th TSMC Outstanding Student Research Award Bronze Medal Prize.