慶應義塾大学学術情報リポジトリ
Keio Associated Repository of Academic resouces

Title	誘導結合を用いたビルディングブロック型計算システムの研究
Sub Title	A study on building-block computing systems using inductive coupling interconnect
Author	天野, 英晴(Amano, Hideharu) 並木, 美太郎(Namiki, Mitaro) 中村, 宏(Nakamura, Hiroshi) 宇佐美, 公良(Usami, Kimiyoshi) 近藤, 正章(Kondo, Masaaki) 黒田, 忠広(Kuroda, Tadahiro) 松谷, 宏紀(Matsutani, Hiroki)
Publisher	
Publication year	2018
Jtitle	科学研究費補助金研究成果報告書 (2017.)
JaLC DOI	
Abstract	誘導結合チップ間無線インタフェース(TCI)を用いて, 様々なチップを組み合わせて柔軟にシステムを構築する手法の基本的な技術を確立した。TCIを持つチップを簡単に設計, 実装するために物理層からルータ層までのIP(Intellectual Property)を構築して公開した。IPを用いて様々なプロトタイプを構築した。積層するチップの省電力化技術を提案し, 性能と消費電力を自動調節する機構を開発した。TCIによる積層チップの熱解析システムを構築した。バスを含めた積層用ネットワーク技術を確立した。多数のアクセラレータを効率良く制御し, 性能と電力のバランスを取るための制御ソフトウェアを構築した。 We established fundamental techniques to build various types of chip combination using inductive coupling through chip interface (TCI). In order to build chips with TCI easily, IPs (Intellectual Properties) from the physical layer to the router layer were developed and openly distributed. Several prototype chips including CPU, accelerators and memory were designed and implemented. Performance and power optimization and adaptation techniques for stacking multiple chips have been investigated. The thermal analysis has been done for chip stack with TCI. The shared buses and point-to-point networks with TCI were investigated. Finally, control software for a system with heterogeneous accelerators were developed.
Notes	研究種目 : 基盤研究(S) 研究期間 : 2013 ~ 2017 課題番号 : 25220002 研究分野 : コンピュータアーキテクチャ
Genre	Research Paper
URL	https://koara.lib.keio.ac.jp/xoonips/modules/xoonips/detail.php?koara_id=KAKEN_25220002seika

慶應義塾大学学術情報リポジトリ(KOARA)に掲載されているコンテンツの著作権は、それぞれの著作者、学会または出版社/発行者に帰属し、その権利は著作権法によって保護されています。引用にあたっては、著作権法を遵守してご利用ください。

The copyrights of content available on the KeiO Associated Repository of Academic resources (KOARA) belong to the respective authors, academic societies, or publishers/issuers, and these rights are protected by the Japanese Copyright Act. When quoting the content, please follow the Japanese copyright act.

様　式　Ｃ－１９、Ｆ－１９－１、Ｚ－１９　（共通）

科学研究費助成事業　　研究成果報告書

平成　３０　年　　５　月　２１　日現在

機関番号：　３２６１２
研究種目：　基盤研究(S)
研究期間：　2013～2017
課題番号：　２５２２０００２

研究課題名（和文）誘導結合を用いたビルディングブロック型計算システムの研究

研究課題名（英文）A Study on Building-Block Computing Systems using Inductive Coupling Interconnect

研究代表者

天野　英晴（Hideharu, Amano）

慶應義塾大学・理工学部（矢上）・教授

研究者番号：６０１７５９３２

交付決定額（研究期間全体）：（直接経費）　　166,400,000円

研究成果の概要（和文）：誘導結合チップ間無線インタフェース（TCI)を用いて、様々なチップを組み合わせて柔軟にシステムを構築する手法の基本的な技術を確立した。TCIを持つチップを簡単に設計、実装するために物理層からルータ層までのIP（Intellectual Property)を構築して公開した。IPを用いて様々なプロトタイプを構築した。積層するチップの省電力化技術を提案し、性能と消費電力を自動調節する機構を開発した。TCIによる積層チップの熱解析システムを構築した。バスを含めた積層用ネットワーク技術を確立した。多数のアクセラレータを効率良く制御し、性能と電力のバランスを取るための制御ソフトウェアを構築した。

研究成果の概要（英文）：We established fundamental techniques to build various types of chip combination using inductive coupling through chip interface (TCI). In order to build chips with TCI easily, IPs (Intellectual Properties) from the physical layer to the router layer were developed and openly distributed. Several prototype chips including CPU, accelerators and memory were designed and implemented. Performance and power optimization and adaptation techniques for stacking multiple chips have been investigated. The thermal analysis has been done for chip stack with TCI. The shared buses and point-to-point networks with TCI were investigated. Finally, control software for a system with heterogeneous accelerators were developed.

研究分野：　コンピュータアーキテクチャ

キーワード：　チップ間接続技術　チップ間ネットワーク　電力制御　熱解析

１．研究開始当初の背景

自動運転、自律移動ロボットなどの普及により、高い機能と性能が要求されるシステムが増える一方で、IoT の発達により、低エネルギーでの連続動作が要求されるシステムも増えている。しかし、先端プロセス技術では、最初の半導体チップ一個を作るまでの NRE(Non-Recurrent Engineering)コストが増大し、多様な要求を満足する SoC(System-on-Chip)をそれぞれ開発するのは困難になっている。そこで、CPU,メモリ、アクセラレータなどの単機能のチップ間を高速かつ柔軟に接続してシステムを構築する技術が求められている。

２．研究の目的

誘導結合を用いたチップ間無線接続を利用し、対象アプリケーションに応じて CPU,メモリ、アクセラレータなどのチップを選んで積み重ねることで、多様なシステムを構築可能なビルディングブロック型計算システムを研究開発する。このための基本的な技術をソフトウェア、アーキテクチャ、デバイスのレイヤを連携して実現する。

３．研究の方法

本研究では世界的に突出した技術である誘導結合によるチップ間無線技術（ThruChip Interface: TCI）をシステム構築の基盤技術とし、多様なシステムを目的に応じて自由に構築可能なビルディングブロック型計算システムを実現する。このために（1）TCI の物理レイヤからルータのレイヤまでを IP（Intellectual Property）化し、容易に TCI を装備したチップが実現できるようにする。さらに、この IP を用いて各種チップを開発し、ビルでイングブロック型システムのプロトタイプを構築する。(2)各チップの電力、性能制御手法を開発し、自律的にチューニングする技術を構築する。(3)ビルディングブロック型システムに適したチップ間のバス、ネットワークを構築する。(4)各種のアクセラレータを管理する手法を構築する。(5)熱解析手法を確立する。新しいアイディアを提案し、これを実際のチップ、システム上で実証することに重点を置く。

４．研究成果

（1）TCI の IP 開発とプロトタイプの構築

ルネサスエレクトロニクス社 60nm プロセスを利用した TCI の物理レイヤは、クロック、データのペアのインダクタを持ち、半二重通信が可能である。SERDES 回路により、50MHz で 36bit のデータを交換可能である。チップの厚みに応じて一辺 240μm，160μmの 2 種類を用意した。

この物理層の上位レイヤとして、ピギーバックのパケットを用いてフロー制御を行うリンク層、任意のリンク数に対応し、3 段パイプライン構成のルータ層を開発した。これらを利用することでチップを重ねただけで容易に様々なネットワーク構成を実現することができる。実チップの測定で 3 チップ積層した場合、33MHz での動作を確認することができた。図１の CPU はこの IP を 3 セット装備しており、様々な積層の方法を取ることができる。

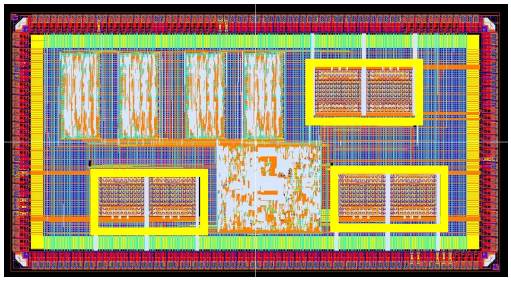

図１TCI の IP（黄枠）を三か所に装備した CPU

開発したファミリチップは以下の通りであり、全てルネサス 65nmSOTB でサイズは 6×3 ㎜あるいは 6×6㎜ のチップである。

① R3000 互換の CPU GeyserTT（図 1）。2KB+2K のキャッシュと共用 TLB を装備し、OS が動作する。TCI を三か所に装備することで最大 7 チップのシステムを積層できる。

② 粗粒度低電力アクセラレータ CCSOTB2.128PE（Processing Element）のアレイ上で画像フィルタを処理する。可変パイプラインと列単位のボディバイアス制御により、750MOPS/mW の電力効率を達成した。

③ Convolutional Neural Network アクセラレータ SNACC。専用命令の SIMD コアを 4 セット持ち、一時データ保存用のメモリを 8 個同時にアクセスすることで CNN 処理を低電力で実現する。

④ Key Value Store 用アクセラレータ。データベースの検索と格納を行う専用ハードウェアを持つ CPU。

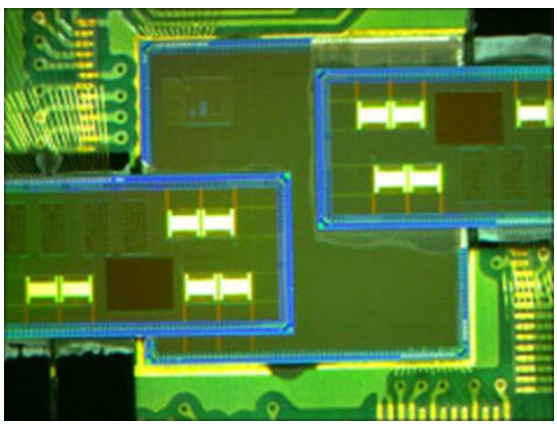

図２共有メモリチップを用いたツインタワー構成

⑤　共有メモリチップ。様々なアクセラレータからアクセス可能な 256KB のメモリ。同期用の不可分アクセス機能を持つ。2 か所に積層を行うことでツインタワー構成を取ることができる。最も簡単なツインタワー実装例を図２に示す。

これらのチップは、メモリのトラブルによりリメイク中の KVS チップを除き、単体では動作が確認されており、これらを組み合わせた積層システムを評価中である。なお、開発した IP は VDEC のホームページより取得可能である。［雑誌論文⑤、学会発表①③参照］

（2）チップ間の性能自動チューニング手法

様々なチップの性能と電力を自動的にチューニングして積層する技術として、ソフトウェアを用いて外部から電源、ボディバイアス、パワーゲーティングを調整する手法と、自動調節用のハードウェアを組み込む方法の両方を試みた。前者の試みは OS およびコンパイラの一部として実装した。［学会発表⑤参照］

一方、後者のアプローチでは、入力した基準クロックを用いて、できる限り小さい電力で動作をするために自動的にボディバイアス電圧を調整する制御回路（Digitally Assisted Body bias Tuning scheme:DABT）を開発した。DABT は、図 3 に示すように対象回路に埋め込まれたパフォーマンスモニタ、放電回路、周波数・位相検出器、ウェイクアップ検出器から構成される。

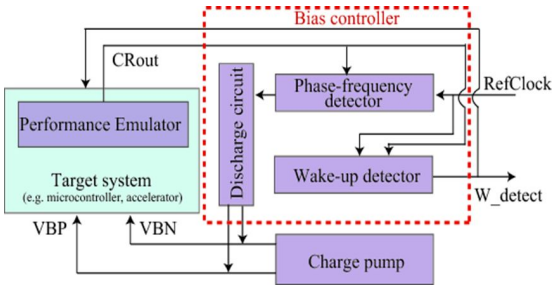

図 3　DABT のブロック図

DABT の利点は、チャージポンプ以外は完全にディジタル回路で構成できる点で、これによりオーバーヘッドは数μW 以内である。実チップ上のテスト回路で 5MHz から 70MHz までの範囲で追従可能であることを示した。［雑誌論文①②参照］

（3）ビルディングブロック型に適したネットワーク、共有バスの開発

TCI によるチップ間接続は、TSV などの固定的な金属を用いた接触型のチップ間接続技術に比べて以下のユニークな点を持っている。(a) チップ自体をブリッジとして利用し、様々な形状で積層が可能である。(b) 積層したチップを通過して容易に直結リンクを形成することが可能である。(c) インダクタの位置を合わせることで共有バスを形成できる。

a)の特徴を利用することで、図 4 に示すように、多数のチップをずらして、TCI の部分を重ねることでチップ自体をブリッジとして大規模なネットワークを構成できる。この手法でチップ積層することで構成される特性を明らかにし、ルーチング手法を提案した。次に b)の特徴を利用し、Spidergon, Firefly, Dragonfly などの代表的なトポロジを 3 次元的にマッピングする手法、ランダムネットワークをマッピングする手法を確立した。さらに、c）の特徴を利用し、TCI 上で Collision Detection 機構を持つバスを構築する方法を提案した。この方法を実際のチップ上でテストし、TCI の送受信インダクタを 2 重に構築することで、Collision Detection が可能であることを実験的に示した。この結果を利用し、TCI バス用の再送手法、衝突回避手法を提案した。さらに、ルータの構造をチップ全体あるいは 3 次元構造に分散することの可能な手法を提案した。［雑誌論文③④参照］

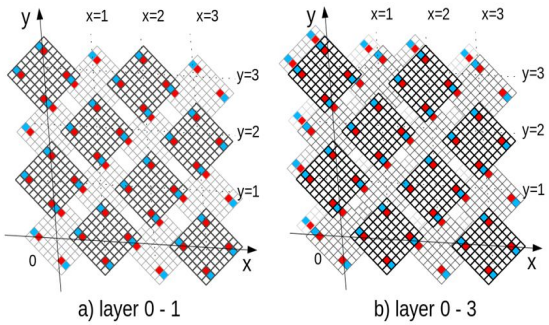

図 4 チップをブリッジとして積層する手法

（4）TCI により接続されたアクセラレータを制御する OS 機構の設計

ビルディングブロック型計算システム向けの OS の設計と開発を行い、TCI によって結合されたチップの高効率な仮想化手法と資源管理手法を確立した。具体的には、1) TCI により結合されたアクセラレータの並列実行制御機構、2) Silicon on Thin Buried Oxide (SOTB) 技術で実装されたチップの電力制御を行う OS スケジューラを提案した。

1) について、ビルディングブロック型計算システムでは用途に応じてチップの枚数や種類の異なるアクセラレータを柔軟に搭載できるが、従来の OS のデバイスドライバを介したアクセラレータ制御のオーバヘッドにより処理性能が低減する。そこで本研究では、図 5 に示すようにマルチコアアクセラレータの統一的なタスク制御を行う OS カーネル機構と専用の並列演算ライブラリを提案した。提案機構はアクセラレータの種類の違いをユーザから隠ぺいし、並列演算ライブラリによる簡便なアプリケーション開発環境を提供する。

また、複数のアクセラレータと DMA の同期

制御とタスク実行制御をカーネル空間から直接行うことで、従来のデバイスドライバによる制御オーバヘッドを排除し処理性能を向上する。
実チップを用いた評価によって、提案機構がアクセラレータの制御オーバヘッドを 86.2%削減し、処理性能を 1.66 倍向上することを示した。

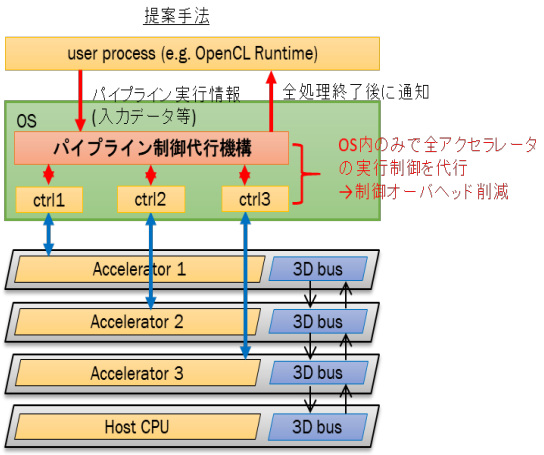

図 5 提案する OS の構造

2）について、SOTB はチップに印加するバイアス電圧を変更することで実行速度と電力のトレードオフを取れるが、最適なバイアス設定は実行中のプロセスの挙動やチップ特性によって異なる。そこで本研究では、OS スケジューラが実行プロセスの挙動を監視し、各プロセスに最適なバイアス設定、パワーゲーティング制御を行う手法を提案した。提案するスケジューラのシステム設計を示し、計算システムの省電力化に有効であることを明らかにした。［学会発表②⑤参照］

（5） TCI による積層システムの熱解析
TCI による積層システムで最も大きな問題の一つは、放熱設計である。チップ間を貫通する金属の Via 自体が放熱の働きをする TSV 接続に対して TCI は無線による結合であるため、放熱能力に不安があり、この点を解決するのがプロジェクトの大きな目的の一つであり、実チップによる測定とシミュレーションの両方より解析を行った。実チップでは、リーク電流を測定することにより、チップ内の温度を計測するリークモニタを設計し、各チップに組み込んだ。実際に稼働した 2 枚、3 枚の積層チップの熱を測定したが、今回実装した CPU,アクセラレータ等はどれも消費電力が 100mW 前後であり、最大周波数で動作させてもチップの温度は上昇しなかった。そこで、積層チップの上面からペルチェ素子による加熱装置を用いて熱を与えて積層した各チップ内の温度の上昇を調べた。結果として、TCI による積層はチップ同士をピッタリ接触させて間に接着剤を付けるため、熱の伝搬特性は良好であり、全体としてチップの熱は最も下のチップから基板に逃げることがわかった。[学会発表④参照]
次に、数 W クラスの電力を消費するチップを実際に積層した場合の熱伝搬について測定するため、Rohm0.18μm プロセスを用いた発熱計測用チップ THERMO を実装した。

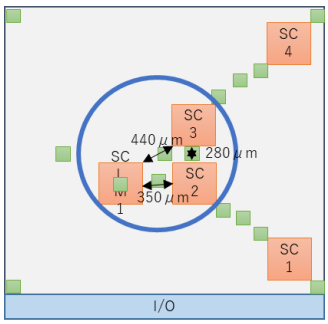

図 6 THERMO チップのレイアウトと構成

THERMO は図 6 に示すようにリングオシレータからなる発熱素子（SC1-SC4）を 4 か所装備し、各部にリークモニタを配置してチップ各部の温度が測定できるようになっている。
実装した THERMO のパラメータに基づき Mentor 社の FloTHERM のモデルを作成し、シミュレーションも合わせて行った。この結果、以下の事項が明らかになった。

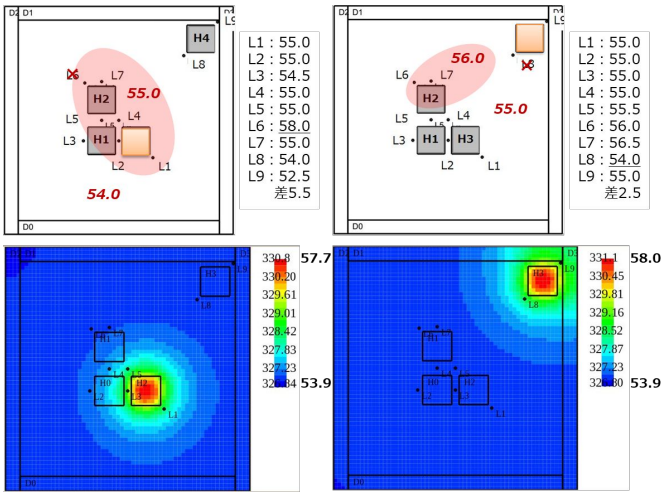

図 7 THEMO のシミュレーション結果
（4 層構成、3 層目、4 層目で発熱）

(a)積層したチップ間の熱伝搬は良好であり、0.4W の消費電力で温度上昇は 6.5℃であった。
（b）図 7 に示すようにチップの端で発熱した方が、中央部で発熱するよりも温度が上昇する傾向にある。
(c)ずらして積層した場合、下層にチップが存在しない部分の温度上昇が大きい。

５．主な発表論文等
（研究代表者、研究分担者及び連携研究者には下線）

〔雑誌論文〕（計 21 件）

① H.Okuhara, A.Ben Ahmed, H.Amano, “Digitally Assisted On-Chip Body Bias Tuning Scheme for Ultra Low-Power VLSI Systems,” IEEE Trans. on Circuits and Systems I: Regular Papers, (Accepted：10.1109/TCIS,2018.2811504),2018.
② H.Okuhara, Y.Fujita, K.Usami, H.Amano, “Power Optimization Methodology for Ultralow Power Microcontroller with Silicon on Thin BOX MOSFET,” IEEE Trans. on VLSI Systems, Vol.25,pp.1578-1582, 2017.
③ R.Yasudo, H.Matsutani, M.Koibuchi, H.Amano, T.Nakamura, “Scalable Networks-on-Chips with Elastic Links Demarcated by Decentralized Routers,” IEEE Trans. on Computers, Vol.66,pp.702-716, 2017.
④ T.Kagami, H.Matsutani, M.Koibuchi, Y.Take, T.Kuroda, H.Amano, “Efficient 3D Bus Architecture for Inductive-Coupling ThruChip Interface,” IEEE Trans. on VLSI systems, Vol.24, No.2 pp.493-506, 2016.
⑤ Y.Take, H.Matsutani, D.Sasaki, M.Koibuchi, T.Kuroda, H.Amano, “3D NoC with Inductive-Coupling Links for Building-Block SiPs,” IEEE Trans. on Computers, Vol.63, No.3, pp.748-763, 2014.

他 16 件　全て査読有

〔学会発表〕（計 95 件）

① H.Amano, “A Building block computing system for AI applications,” Keynote of IEEE 11th International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoC), 2017.
② S.Hamada, A.Koshiba, M.Namiki, H.Amano, “Building Block Operating System for 3D Stacked Computer Systems with Inductive Coupling Interconnect, Special Session, International SoC Design Conference, 2017.
③ T.Kuroda, “Near-Field Coupling Integration Technology,” Keynote of IEEE/ACM 10th International Symposium on Networks-on-Chips (NOCS), 2016.
④ Y.Fujita, K.Usami, H.Amano,”A thermal management system for building block computing systems,” 2014 IEEE 8th International Symposium on Embedded Multicore/Many core SoCs, Sept.2014.(Best Paper Award).
⑤ M.Kondo, H.Kobayashi, R.Sakamoto, M.Wada, J.Tsukamoto, M.Namiki, W.Wang, H.Amano, K.Matsunaga, M.Kudo, K.Usami, T.Komoda, H.Nakamura, “Design and Evaluation of Fine-Grained Power Gating for Embedded Microprocessors,” DATE2014, March, 2014.

他　査読有 77 件、招待講演 13 件

〔図書〕（計　0 件）

〔産業財産権〕

○出願状況（計 0　件）

○取得状況（計 0　件）

〔その他〕
ホームページ等
http://www.am.ics.keio.ac.jp/kaken_s
受賞
国際学会 Best Paper Award 4 件（McSoC14, ISSoC14, HiPEAC15, CANDAR16）Best Poster Award 1 件（CoolChips）
国内学会　研究賞、ポスター賞 9 件（電子情報通信学会、情報処理学会）

６．研究組織
(1)研究代表者
天野　英晴（AMANO, Hideharu）
慶應義塾大学・理工学部・教授
研究者番号：60175932

(2)研究分担者
並木　美太郎（NAMIKI, Mitaro）
東京農工大学・工学研究科・教授
研究者番号：10208077

中村　宏　（NAKAMURA, Hiroshi）
東京大学・大学院情報理工学系研究科・教授
研究者番号：20212102

宇佐美　公良（USAMI, Kimiyoshi）
芝浦工業大学・工学部・教授
研究者番号：20365547

近藤　正章　（KONDO, Masaaki）
東京大学・大学院情報理工学系研究科・准教授
研究者番号：30376660

黒田　忠広　（KURODA, Tadahiro）
慶應義塾大学・理工学部・教授
研究者番号：50327681

(3)連携研究者
松谷　宏紀（MATSUTANI, Hiroki）
研究者番号：70611135