慶應義塾大学学術情報リポジトリ
Keio Associated Repository of Academic resouces

Title	大規模アナログ・ディジタル混載回路のキャリブレーション技術に関する研究
Sub Title	Study on calibration technique of large scale mixed-signal integrated circuits
Author	石黒, 仁揮(Ishikuro, Hiroki)
Publisher	
Publication year	2011
Jtitle	科学研究費補助金研究成果報告書 (2010.)
JaLC DOI	
Abstract	大規模アナログ・ディジタル混載回路に搭載されるアナログ回路の周波数応答および時間応答をモニターする回路を開発した。高速に正負双方に昇圧されたクロックを生成するブートストラップ回路を考案し、サンプリング回路の動作周波数およびダイナミックレンジを拡張出来ることを実験で確認した。位相特性測定用の面積効率の良い位相補間回路を考案して、回路設計および測定を行った。開発したモニター回路は0.1mm角以下のサイズで、LSIのチップ内に多数搭載してアナログ回路の特性モニターおよびそのキャリブレーションに利用することができる。
Notes	研究種目：若手研究(B) 研究期間：2009～2010 課題番号：21760264 研究分野：工学 科研費の分科・細目：5103
Genre	Research Paper
URL	https://koara.lib.keio.ac.jp/xoonips/modules/xoonips/detail.php?koara_id=KAKEN_21760264seika

慶應義塾大学学術情報リポジトリ(KOARA)に掲載されているコンテンツの著作権は、それぞれの著作者、学会または出版社/発行者に帰属し、その権利は著作権法によって保護されています。引用にあたっては、著作権法を遵守してご利用ください。

The copyrights of content available on the KeiO Associated Repository of Academic resources (KOARA) belong to the respective authors, academic societies, or publishers/issuers, and these rights are protected by the Japanese Copyright Act. When quoting the content, please follow the Japanese copyright act.

様式Ｃ-19

科学研究費補助金研究成果報告書

平成２３年３月３１日現在

機関番号：３２６１２
研究種目：若手研究（Ｂ）
研究期間：２００９～２０１０
課題番号：２１７６０２６４
研究課題名（和文）
大規模アナログ・ディジタル混載回路のキャリブレーション技術に関する研究
研究課題名（英文）
Study on calibration technique of large scale mixed-signal integrated circuits
研究代表者
石黒 仁揮（ISHIKURO HIROKI）
慶應義塾大学・理工学部・准教授
研究者番号：８０４３３７３８

研究成果の概要（和文）：
大規模アナログ・ディジタル混載回路に搭載されるアナログ回路の周波数応答および時間応答をモニターする回路を開発した。高速に正負双方に昇圧されたクロックを生成するブートストラップ回路を考案し、サンプリング回路の動作周波数およびダイナミックレンジを拡張出来ることを実験で確認した。位相特性測定用の面積効率の良い位相補間回路を考案して、回路設計および測定を行った。開発したモニター回路は 0.1mm 角以下のサイズで、LSI のチップ内に多数搭載してアナログ回路の特性モニターおよびそのキャリブレーションに利用することができる。

研究成果の概要（英文）：
A monitoring circuit which can detect frequency and transient response of analog circuit blocks in large scale mixed-signal integrated circuits has been developed. A sampling circuit with both positive and negative bootstrapped clock generator has been proposed. Fabricated test chips successfully demonstrated the wide frequency and dynamic range operation. An area efficient phase interpolator has been proposed and designed for the monitoring of phase characteristics of the analog circuit blocks. The size of the developed monitoring circuit is smaller than 0.1 mm-square and can be embedded in the LSI for the monitoring and calibration of analog circuit blocks.

交付決定額

（金額単位：円）

	直接経費	間接経費	合　計
２００９年度	2,500,000	750,000	3,250,000
２０１０年度	1,000,000	300,000	1,300,000
年度			
年度			
年度			
総　計	3,500,000	1,050,000	4,550,000

研究分野：工学
科研費の分科・細目：5103
キーワード：アナログ ディジタル混載回路、モニター回路、キャリブレーション、
サンプリング回路

１．研究開始当初の背景

近年の LSI には大規模なアナログ回路、ディジタル回路を混載することが可能となっている。LSI に搭載された回路への性能要求はますます上がってきているが、微細化に伴う素子特性のバラツキにより、特にアナログ回路では精度を確保することが困難となってきている。LSI のさらなる性能や製造歩留

まり向上のために、搭載した回路の周波数特性や時間応答を LSI 内部でモニターして、必要に応じてその特性を自動で補正する技術が望まれている。

2．研究の目的

LSI に搭載されたアナログ・ディジタル混載回路に関して、素子バラツキ等に起因した回路特性の劣化をキャリブレーションにより補正する際に必要となるモニター回路を開発する。アナログ回路の特性モニターのために時間応答特性だけではなく、周波数特性もモニターできるようにする。

3．研究の方法

波形モニター回路として、これまでサンプリング回路が一般的に用いられてきたが、本研究では精度の高い位相シフト回路を搭載することで周波数特性もモニターできるようにする。また、LSI のチップ内に多数搭載出来るようにするため、位相補間器は面積効率の高い回路を利用する。

4．研究成果

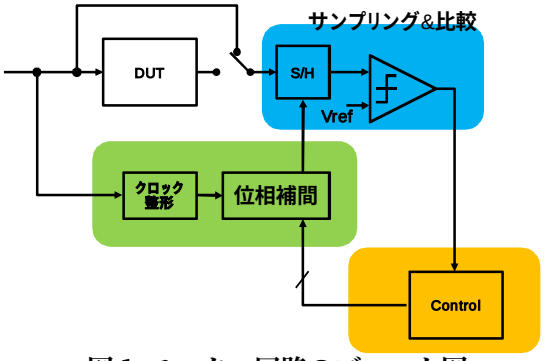

図 1 モニター回路のブロック図

本研究で開発したモニター回路のブロック図の概略を図 1 に示す。外部から正弦波等のテスト信号を測定対象の回路に入力する。モニター対象となる回路を通過した信号は振幅および位相が変化して回路から出力される。この出力信号をサンプリング回路を用いてサンプリングする。サンプリングするタイミングを決定するクロックは、入力テスト信号から波形整形した信号を位相補間器で位相シフトすることで生成する。位相シフト量を制御することで、サンプリングされた信号の振幅が最大となるようにすることでモニター対象の出力信号の振幅を検出する。またこの際の位相シフト設定量がモニター回路の位相シフト量に相当する。テスト信号の周波数を走査することで、モニター対象の周波数応答が測定できる。また、モニター対象をバイパスする経路を用意することで、サンプリング回路の周波数特性を補正し精度の高い測定をすることが可能となる。さらに、テスト信号が正弦波以外の波形の繰り返し場合に、位相シフトを行いながらサンプリングすることで時間応答波形を得ることもできる。

(1) 本目的で使用するサンプリング回路には幅広い帯域・ダイナミックレンジでの動作が要求される。しかしながら、素子微細化による電源電圧の低減にともない、サンプリング回路のスイッチとして使用される MOSFET のオン抵抗が増大し、動作速度やダイナミックレンジが制限されるという問題が生じている。この問題に対応するために、従来から MOSFET のゲートに高い電圧を印加するブートストラップ回路を使うことでオン抵抗を低減する手法が用いられてきた。しかし、ブートストラップ回路そのものの動作速度が遅かったため、扱える信号周波数が低かった。また、近年の微細 MOSFET は閾値が低く、オフリークにより、逆に低周波側でもダイナミックレンジが低下するという問題も起きている
（図 2 参照）。

これらの問題を解決するために、本研究では、サンプリング回路の歪み特性の決定要因を理論的に解析した。また、その検討結果をもとに先端デバイスを用いて、幅広い周波数域で動作し、高いダイナミックレンジを達成する新たなブートストラップ回路を提案し、試作チップを作成して実測でその効果を確認した。

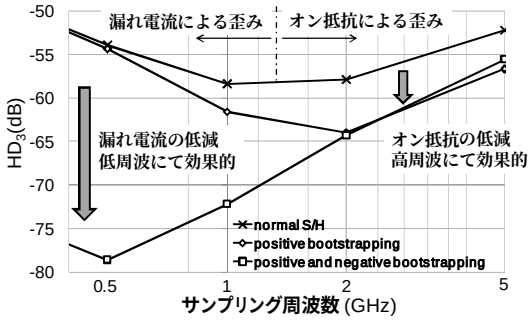

図 2 サンプリング回路と歪の特性

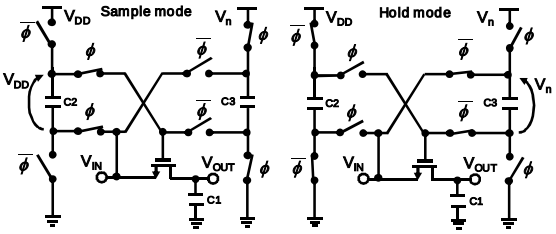

図 3 提案した双方向ブートストラップの方式

図3は提案した正負のブートストラップの原理である。サンプルモードのオン抵抗を小さくすることで歪みを低減する正のブートストラップは従来手法と同様である。

ϕが Low のとき、C_2に V_{DD}分の電荷が充電されている。ϕが High になったとき、サンプリングスイッチのゲートに入力電圧 V_{in}から V_{DD}だけ持ち上げられた $V_{in}+V_{DD}$の電圧がかかる。したがって、サンプルモードにおけるサンプリングスイッチのゲート・ソース間電圧は常に V_{DD}に保たれる。これによりオン抵抗は低減し、かつ一定値となるため高周波動作における歪みが低減される。これは、従来からなされている正のブートストラップである。

次に、ホールドモードにおける負のブートストラップについて説明する。ϕが High のとき, C_3には V_n分の電荷が充電されている。ϕが Low になったとき，サンプリングスイッチのゲートには V_{in}-V_nの電圧がかかり、ゲート・ソース間電圧は-V_n に保たれる。ただし、-V_nは図 2 で示した漏れ電流が最小となる電圧値である。このように、ホールドモードにおける電荷リークを最小に抑えることで、低周波動作の歪みを改善できる。

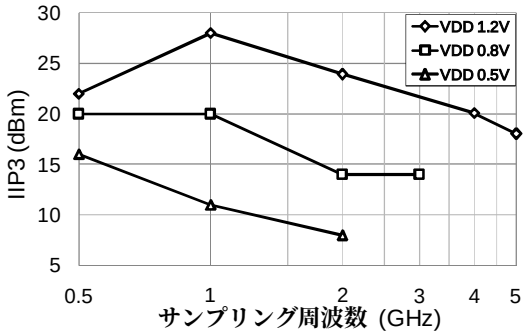

図4　サンプリング周波数と相互変調歪

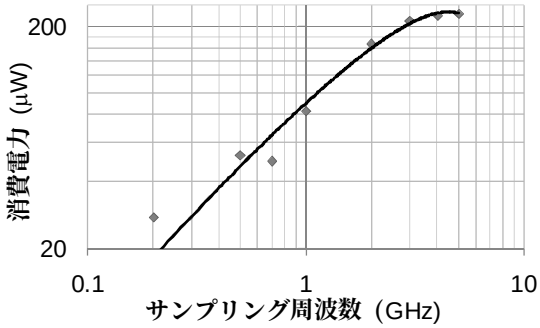

図5　サンプリング周波数と消費電力

本提案手法の有効性を確認するために 90nm-CMOS プロセスを用いて回路の設計および試作を行った。サンプリング回路のサイズは 20um×35um である。

図 4 に線形性の指標として IIP3 の測定結果を示す。測定は 2 トーンテストを採用し、2 つの入力信号周波数(f_1,f_2)をサンプリング周波数 f_sでダウンコンバートする。f_1,f_2はそれぞれ f_s+2.5MHz, f_s+3.5MHz となるように入力周波数およびサンプリング周波数を走査し、3次の相互変調歪み成分として4.5MHz 地点を測定した。供給電圧 1.2V のとき、サンプリング周波数 1GHz 動作において IIP3=+28dBm が得られた。また、非常に低い供給電圧である 0.5V において 2GHz までの動作を確認した。

図 5 に、消費電力の測定結果を示す。DC から 3GHz の範囲で消費電力はサンプリング周波数に比例(83μW/GHz)し、パワースケーラブルな性質を示した。3GHz 以上の動作に関しては、内部ノードの電圧スイングが低減し、消費電力が飽和したと考えられる。

（2）

位相補間器は、位相分解能とその線形性およびデバイス数の間にトレードオフが存在する。そのトレードオフを緩和させるために今回考案した位相補間器と従来型の位相補間器および理想的な位相補間の間の関係を図 6 に示す。従来型の位相補間器は図 6 の破線で示すように、同相信号と直交信号を用いて I/Q 平面上で 0 ° の点と 90 ° の点を直線的に補間する。補間は可変の電流源を用いて、同相信号と直交信号に重み付けをしたのち加算することで行う。その結果、位相設定値が 0 ° および 90 ° 近辺と 45 ° 近辺で位相ステップ量が異なり、位相の線形性が劣化する。

今回提案する方法では、オフセットを付けることで、0 ° と 90 ° の間を折れ線近似することで、理想の位相補間に近い補間を実現した。また、オフセットを付けるための電流源は、45 ° 以下では同相信号側に、45 ° 以上では直交信号側に切り替えて接続することで、回路面積を大幅に減らすことができた。

実際に設計した回路のサイズは、80um×100um である。

図 6　位相補間の信号のポイント

位相設定値と実際に生成された位相補間値の関係を図 7 に示す。提案した方法を用いることで従来のシンプルな構成に比べて、位相補間精度が大幅に改善していることがわ

かる。また、図 8 は位相補間器の出力波形である。

図 7 設定コードと出力位相の関係

図 8　出力位相信号の波形

以上説明したサンプリング回路および位相補間器を用いてモニター回路を試作して、FPGA を用いた外部制御器と組み合わせることで、キャリブレーションまで含めた実機評価を行える環境を構築した。

５．主な発表論文等
（研究代表者、研究分担者及び連携研究者には下線）

〔雑誌論文〕（計 2 件）

① Ryota Sekimoto, Akira Shikata, and Hiroki Ishikuro, "A Power Scalable SAR-ADC in 0.18um-CMOS with 0.5V Nano-Watt Operation," Proc. 1st International Symposium on Access Spaces, June, 2011, in press. 査読有
② M.Sato, H.Abe, M.Hamada, H.Majima, T.Kuroda, and H.Ishikuro, “A 90nm CMOS Highly Linear Clock Bootstrapped RF Sampler Operating at Wide Frequency Range of 0.5GHz to 5GHz,” in Proc. 2009 IEEE Radio Frequency Integrated Circuits Symposium, June. 2009, pp.391-394. 査読有

〔学会発表〕（計 3 件）

① Ryota Sekimoto, Akira Shikata, and Hiroki Ishikuro, "A Power Scalable SAR-ADC in 0.18um-CMOS with 0.5V Nano-Watt Operation," to be presented at 1st International Symposium on Access Spaces, June 18th, 2011, Yokohama, Japan.
② 佐藤守、阿部寛之、黒田忠広、石黒仁揮、「アナログ離散時間信号処理のための高線形かつ広帯域サンプリング回路」電子情報通信学会集積回路研究会、電子情報通信学会技術研究報告 Vol. 109, No214, pp.147-152、2009 年 10 月 2 日，東京.
③ M.Sato, H.Abe, M.Hamada, H.Majima, T.Kuroda, and H.Ishikuro, “A 90nm CMOS Highly Linear Clock Bootstrapped RF Sampler Operating at Wide Frequency Range of 0.5GHz to 5GHz,” 2009 IEEE Radio Frequency Integrated Circuits Symposium, June 9th, 2009, Boston, MA, USA.

〔その他〕
ホームページ等
http://www.iskr.elec.keio.ac.jp

６．研究組織
(1)研究代表者

石黒 仁揮（ISHIKURO HIROKI）
慶應義塾大学・理工学部・准教授
研究者番号：80433738

(2)研究分担者
（　　）

研究者番号：

(3)連携研究者
（　　）

研究者番号：