

Title	ビルディングブロック型計算システムにおけるチップブリッジを用いた積層方式
Sub Title	Stacking methods with chip bridges for a building block computing system
Author	天野, 英晴(Amano, Hideharu) 並木, 美太郎(Namiki, Mitarō) 中村, 宏(Nakamura, Hiroshi) 宇佐美, 公良(Usami, Kimiyoshi) 近藤, 正章(Kondō, Masaaki) 鯉淵, 道紘(Koibuchi, Michihiro) 黒田, 忠広(Kuroda, Tadahiro)
Publisher	
Publication year	2021
Jtitle	科学研究費補助金研究成果報告書 (2020. )
JaLC DOI	
Abstract	<p>ビルディングブロック型計算システムを構築するためのチップ積層の電気的特性を測定するTCI Testerを用いて、今まで実装した各種チップ上に積層して測定、評価を行った。この結果を反映して、ルネサス65nm用に開発したIPをUSJC 50nm用にアップグレードした。さらに、IPの組み込み方の制約を考えるために、チップのレイアウトからパワーグリッドの抵抗解析を行った。結果より、パワーグリッドの抵抗が大きい程、実チップの動作範囲が狭くなることがわかり、IPを組み込む際のレイアウト方法のガイドラインが明らかになった。</p> <p>We have developed TCI tester which stacks on a chip providing TCI IP, and evaluated the operational conditions by stacking on several chips with TCI IP. According to the evaluation results, we ported TCI IP for Renesas 65nm to USJC 50nm for future use of TCI techniques. Also, in order to investigate how to layout the TCI IP, we evaluated the resistance of power grid of the real chips. As a result, it appears that chips with high resistance power grid have limited conditions to work. The guideline to embed TCI IP was established through this study.</p>
Notes	研究種目：基盤研究 (B) (一般) 研究期間：2018～2020 課題番号：18H03215 研究分野：コンピュータアーキテクチャ
Genre	Research Paper
URL	<a href="https://koara.lib.keio.ac.jp/xoonips/modules/xoonips/detail.php?koara_id=KAKEN_18H03215seika">https://koara.lib.keio.ac.jp/xoonips/modules/xoonips/detail.php?koara_id=KAKEN_18H03215seika</a>

慶應義塾大学学術情報リポジトリ(KOARA)に掲載されているコンテンツの著作権は、それぞれの著作者、学会または出版社/発行者に帰属し、その権利は著作権法によって保護されています。引用にあたっては、著作権法を遵守してご利用ください。

The copyrights of content available on the Keio Associated Repository of Academic resources (KOARA) belong to the respective authors, academic societies, or publishers/issuers, and these rights are protected by the Japanese Copyright Act. When quoting the content, please follow the Japanese copyright act.

令和 3 年 6 月 3 日現在

機関番号：32612

研究種目：基盤研究(B)（一般）

研究期間：2018～2020

課題番号：18H03215

研究課題名（和文）ビルディングブロック型計算システムにおけるチップブリッジを用いた積層方式

研究課題名（英文）Stacking methods with chip bridges for a building block computing system

研究代表者

天野 英晴（AMANO, HIDEHARU）

慶應義塾大学・理工学部（矢上）・教授

研究者番号：60175932

交付決定額（研究期間全体）：（直接経費） 13,200,000円

研究成果の概要（和文）：ビルディングブロック型計算システムを構築するためのチップ積層の電気的特性を測定するTCI Testerを用いて、今まで実装した各種チップ上に積層して測定、評価を行った。この結果を反映して、ルネサス65nm用に開発したIPをUSJC 50nm用にアップグレードした。さらに、IPの組み込み方の制約を考えると、チップのレイアウトからパワーグリッドの抵抗解析を行った。結果より、パワーグリッドの抵抗が大きい程、実チップの動作範囲が狭くなることがわかり、IPを組み込む際のレイアウト方法のガイドラインが明らかになった。

研究成果の学術的意義や社会的意義

ワイヤレスチップ間結合技術は、スーパーコンピュータなどに用いる場合は、電源やクロック配線用の貫通VIAを使うことができる。しかし、組み込み用途に安価で3次元積層を行う利点を生かすためには、チップをずらして積層してワイヤボンディングで電源、クロックを供給する手法に頼らざるを得ない。この手法で実用的なシステムを構築する場合のIPの配置、電源配線手法は今までほとんど研究されて来なかった。本研究により、トラブルなくチップ間の交信を行うための、IPの組み込み手法、ショートなく積層するための接着技術など、現実的なノウハウが明らかになった。TCI技術の実用化にとって大きな成果が得られた。

研究成果の概要（英文）：We have developed TCI tester which stacks on a chip providing TCI IP, and evaluated the operational conditions by stacking on several chips with TCI IP. According to the evaluation results, we ported TCI IP for Renesas 65nm to USJC 50nm for future use of TCI techniques. Also, in order to investigate how to layout the TCI IP, we evaluated the resistance of power grid of the real chips. As a result, it appears that chips with high resistance power grid have limited conditions to work. The guideline to embed TCI IP was established through this study.

研究分野：コンピュータアーキテクチャ

キーワード：三次元積層技術 チップ間ワイヤレス通信

## 様式 C - 19、F - 19 - 1、Z - 19 (共通)

### 1. 研究開始当初の背景

誘導結合ワイヤレスチップ間通信 TCI(Through-Chip Interface)は、チップ上の配線レイヤを用いて作ったコイル間の磁界結合により、積層したチップ間に高速なデータ転送を実現する。他の積層技術と違って、特殊なプロセスを利用しなくて良い点に特徴がある。TCIは、様々なチップを簡単に組み合わせることができることから、様々なビルディングブロック型計算機構を実現でき、エッジ分野で広く利用されることが期待される。しかしエッジ分野で簡単にこれを実現するためには、インダクタと転送回路を組みにした IP (Intellectual Property) を用意する必要があり、これについてはそれまでの「基盤研究(S)誘導結合を用いたビルディングブロック型計算システムの研究」で実現することができた。一方、チップの積層手法については検討が不十分であった。スーパーコンピュータでは、専用の TSV(Through Silicon Via)を用いて電源を供給する方法が用いられるが、エッジ分野では安価なボンディングで電源とクロックを供給するため、チップをずらして積層する必要がある。制限された位置と数のピンからの電源配給、積層チップ間の熱の拡散を適切に行うためには、IPのチップ内の組み込み方、ショートを起こさず、熱を拡散することのできる物理的積層ノウハウ、全体を一つのシステムとして用いるためのソフトウェア、設計用 CAD を含めた総合的な技術が必要となり、この部分の研究が十分でなく、TCIの実現を妨げていた。

### 2. 研究の目的

エッジ分野における TCI のチップ積層法とビルディングブロック型計算システム構築のための基本技術を確立し、TCIの実用化に貢献すること。具体的には実装した TCI をテストするテスト用チップ TCI Tester を開発する。TCI Tester の利用により、TCI IP の実装手法、電源ネット構築手法、電源ピン制約を確立する。積層チップの熱解析手法を確立する。積層によりショートが生じる可能性とこれを防ぐ手法を確立する。ビルディングブロック型積層システムのクロックレベル精度のシミュレータを構築する。ビルディングブロック型積層システム制御用の OS の基礎を作る。

### 3. 研究の方法

本研究は、科研費 S「誘導結合を用いたビルディングブロック型計算システムに関する研究」の後継プロジェクトであり、この研究を行った垂直統合チームで引き続き実施した。研究代表者の天野は、このプロジェクトで実装した TCI 搭載チップの積層と実測を行った。科研費 S では a) MIPS R3000 互換 CPU GeysertT、b) 粗粒度再構成可能アクセラレータ CC-SOTB、c) CNN アクセラレータ SNACC、d) 共有メモリチップ SMTT、e) キーバリューストアアクセラレータ KVS チップを開発し、それぞれ動作を確認した。しかし、これらを組み合わせたシステムで転送がうまく行くものに行かないものがあることがわかった。本研究ではまず、TCI Tester を開発して、これらのチップ上に積層することで、特性測定を行い、安定に積層できる条件を探索した。共同研究者の宇佐美は、物理的な積層に関する問題点、熱とショートの問題に取り組んだ。共同研究者の鯉淵は、積層を行う場合の熱シミュレータと、水没型の発熱手法を提案した。共同研究者の並木は、様々な計算システムを組み込む異種積層システム用の OS について研究した。共同研究者の近藤、中村は、積層システムのうち最も注目を受けた SNACC のプログラミング、ジョブマッピング、サイクル精度のシミュレータの開発を行った。TCI の提案者である黒田は、プロジェクト全体について技術的なアドバイスをした。

### 4. 研究成果

#### (1) 全体としての成果

本研究は多くの研究者が関連し、全体として多大な成果を挙げた。本報告では研究代表者が行った研究を中心に述べるが、この他にも以下の業績が挙げられている。代表的な業績は、積層システムにおいては、中心部よりもずらした端の部分の熱が最も上昇することが分かった。このための冷却手法として水没型の冷却法を提案し、これに対応した熱解析シミュレータを開発した。ずらして積層する場合にチップ表面でショートが発生する可能性があること、これを防ぐための接着剤を見出した。カーネル空間から直接アクセラレータ・DMA を制御する Pipeline Parallelism Manager など管理システムの開発である。はトップコンファレンスの一つである DAC に採録され注目を浴びた。は地味な成果ながら今後の積層システムのために不可欠である。これらの業績については参考文献を参照されたい。

#### (2) TCI Tester の開発とそれによる積層チップの測定

本プロジェクトに先立つ科研 S では、ルネサス SOTB65nm プロセスを用いて TCI の IP を設計し、その IP を搭載した様々なチップを製造し、積層して稼働実験を試みた。しかしながら、同一の IP を組み込んでも必ずしも同一の特性にならず、電源やバイアス電圧の合わせこみが必要であることが明らかになった。既存の TCI IP 搭載チップはピン数の制約から特性測定機能を設

けていなかったため、積層したシステムで直接実測することが難しい。そのため本研究では、TCI 搭載チップ上に積層することによって TCI IP の特性を評価することができる動作検証用チップ「TCI Tester」を開発した。TCI Tester と下に積層されたチップの間でデータ転送を実行し、その際にデータ転送が可能か、またはデータ化けが発生するかを見て転送状況を判断する。このチップを使えば、チップ間のデータ転送に必要な電圧、動作周波数がわかる。TCI IP を用いた他のチップ同様 Renesas S0TB 65nm プロセスを利用し、3mm 角である。図 1 に TCI Tester のレイアウト図を示す。中央やや右の四角形が TCI の IP であり、上層用 2 セットと下層用 2 セットの 4 つから構成され、図 2 に示すようにずらして積層されて、双方向リンクを形成する。

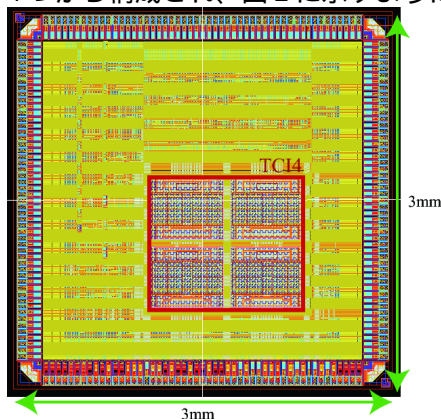


図 1 TCI Tester のレイアウト

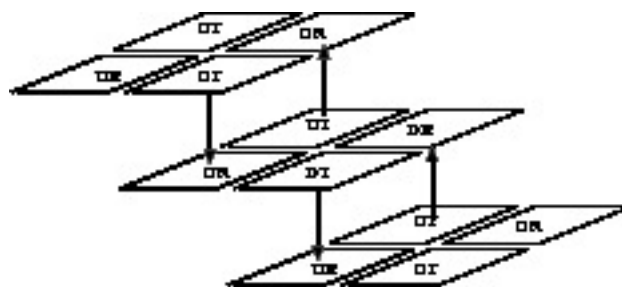


図 2 標準的な積層手法

TCI Tester には TCI IP の制御線を直接外部から操作する RAW モード、標準的なパケットスイッチネットワークを利用して転送を行う CUBE モード、自動的に連続転送を行うループモードの 3 つのモードを持つ。まず、TCI Tester 同士を積層し、RAW モードを用いて、その動作範囲を測定した。TCI は、送信 (VDDAT) 受信側電源電圧 (VDDAR) 送信側の転送周波数を制御するバイアス電圧 (TVBC) 受信側のバイアス電圧 (IBXBIAS1, 2) があるが、このうち最も転送に影響する TVBC と VDDAT を変化させ、動作範囲を測定した結果を図 3 に示す。ここで緑色は動作範囲を示す。この図によると、上から下 (左図) の方が下から上 (右図) よりも動作範囲が広いことがわかる。次に TVBC を変化させて、転送用クロック周波数を実測した結果を図 4 に示す。この結果より、下方向は 1.5GHz、下方向は 2GHz 程度で限界に達しており、SPICE シミュレーションの結果の 2.5GHz に比べて転送周波数が低いことがわかった。CUBE モードで実際の動作可能な周波数を調べたところ、やはり設計値を下回ることがわかった。

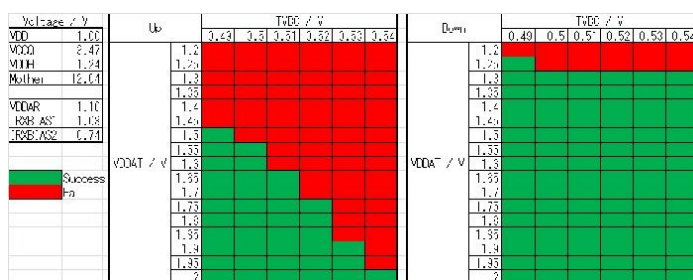


図 3 TCI の動作範囲

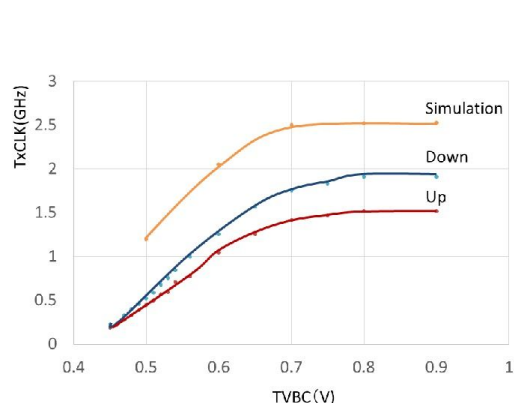


図 4 転送周波数

一方で、LOOP モードを用いて連続転送試験を行ったところ、十分周波数を落として転送を行ったところ、8 時間以上の転送でエラーが生じないことがわかった。この結果を参考に、GeysertT と SNACC の積層システムの送信側電圧を上げることで両方向の通信に成功した。他のチップ上にも TCI Tester を積層して特性を測定したところ、動作範囲が広いチップと狭いチップがあることが分かった。また、いずれも上方向の転送が下方向に転送に比べて動作範囲が狭いことが分かった。この原因については、TCI は積層上ボンディングの位置を確保するため、通常 4 辺が利用できるチップのうち 1 辺しか利用できないため、電源ネットの抵抗が大きくなる傾向になる。図 5 に、TCI Tester を粗粒度再構成可能アクセラレータ CC-S0TB2 に積層した様子を示す。TCI Tester も CC-S0TB2 も上の辺、横の辺は積層したチップによって隠される可能性があるため、下の 1 辺しか利用できていないことがわかる。このような場合、電源ピンと TCI IP との間の電源

グリッドの抵抗値が大きくなりやすい。この値をレイアウトから抽出した結果を図6に示す。この結果より、電源ネットの抵抗値の大きいチップほど動作範囲が狭くなっていることが確かめられた。図6には4つのIPの抵抗値がすべて示されているが、この間に大きな差はみられなかった。しかし、受信部のIPについては、上方向の転送を行うインダクタの抵抗が大きく、この点が上方向と下方向の差の原因になっている可能性がある。

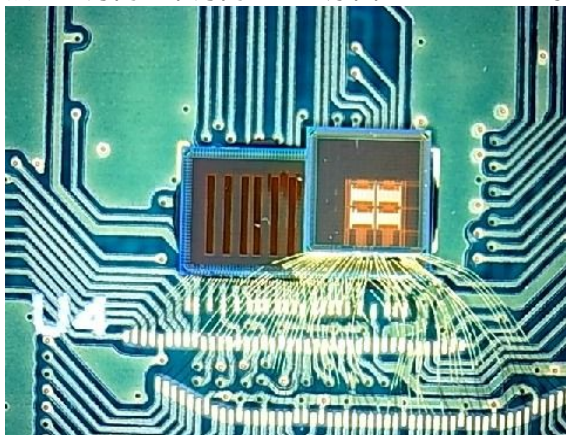


図5 TCI Tester と CCSOTB2 の積層

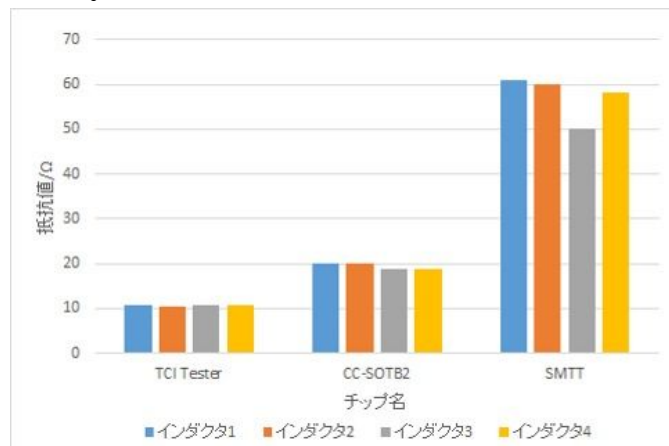


図6 電源グリッドの抵抗

### (3) 積層システム用シミュレータ CubeSim

積層システムは様々なチップを組み合わせて多様なシステムを構築可能であるが、開発に先立ってシミュレーションで評価を行う必要がある。これをすべて RTL シミュレーションに頼っているだけでは、現実的なプログラムの評価では、シミュレーション時間が掛かりすぎる。そこで、積層システム向けのサイクルアキュレートシミュレータ CubeSim を開発した。このシミュレータは、プロセッサのキャッシュサイズなどをパラメータ化したことによって、システム的设计探索を可能にした。CubeSim は積層アクセラレータ用の抽象クラスを提供し、動作をシミュレートする最低限のコードで、システムの評価を行うことができる。

評価の結果、CubeSim は商用の RTL シミュレータと比較して最大で 234 倍高速にシミュレーションを行うことが可能となった。さらに、実チップ化されている 2 種類のアクセラレータを CubeSim に組み込み、システム全体の評価および設計探索を行った。システム構成の変更により最大で約 38% のエネルギー削減が期待できると明らかにした。

## 5. 主な発表論文等

〔雑誌論文〕 計5件（うち査読付論文 5件/うち国際共著 2件/うちオープンアクセス 2件）

1. 著者名 Michihiro Koibuchi ; Lambert Leong ; Tomohiro Totoki ; Naoya Niwa ; Hiroki Matsutani ; Hideharu Amano ; Henri Casanova	4. 巻 -
2. 論文標題 Sparse 3-D NoCs with Inductive Coupling	5. 発行年 2019年
3. 雑誌名 2019 56th ACM/IEEE Design Automation Conference (DAC)	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1145/3316781.3317913	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する
1. 著者名 Sayaka Terashima, Takuya Kojima, Hayate Okuhara, Kazusa Musha, Hideharu Amano, Ryuichi Sakamoto, Masaaki Kondo and Mitaro Namiki	4. 巻 -
2. 論文標題 Preliminary Evaluation of Buiding Block Computing Systems	5. 発行年 2019年
3. 雑誌名 13th International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoc-2019)	6. 最初と最後の頁 312-319
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/MCSoc.2019.00051	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Hayate Okuhara, Ryosuke Kazami, and Hideharu Amano,	4. 巻 -
2. 論文標題 A System Delay Monitor Exploiting Automatic Cell-Based Design Flow and Post-Silicon Calibration	5. 発行年 2019年
3. 雑誌名 13th International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoc-2019)	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/MCSoc.2019.00012	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Takuya Kojima, Naoki Ando, Hayate Okuhara, Ng.Anh Vu Doan, Hideharu Amano	4. 巻 E101-D
2. 論文標題 Optimization of Body Biasing for Variable Pipelined Coarse-Grained Reconfigurable Architectures	5. 発行年 2018年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 1532-1540
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transinf.2017EDP7308	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 該当する

1. 著者名 小島拓也, 池添起治, 天野英晴	4. 巻 J104-D
2. 論文標題 3次元積層SiPを用いたマルチコアシステムのためのサイクリアキュレートシミュレータCubeSimの開発	5. 発行年 2021年
3. 雑誌名 電子情報通信学会論文誌D	6. 最初と最後の頁 228-241
掲載論文のDOI (デジタルオブジェクト識別子) 10.14923/transinfj.2020PDP0046	査読の有無 有
オープンアクセス オープンアクセスとしている(また、その予定である)	国際共著 -

[学会発表] 計15件(うち招待講演 0件/うち国際学会 9件)

1. 発表者名 Ryoichi Tomura (天野)
2. 発表標題 A Real Chip Evaluation of a CNN Accelerator SNACC
3. 学会等名 The 22nd Workshop on Synthesis And System Integration of Mixed Information Technologies, (国際学会)
4. 発表年 2019年

1. 発表者名 Hideto Kayashima (天野)
2. 発表標題 Real Chip Performance Evaluation on Through Chip Interface IP for Renesas S0TB 65nm Process
3. 学会等名 2019 Seventh International Symposium on Computing and Networking Workshop (CANDARIW) (国際学会)
4. 発表年 2019年

1. 発表者名 Hideto Kayashima (天野)
2. 発表標題 Real Chip Performance Evaluation of Inductive Coupling TCI IP
3. 学会等名 COOLCHIPS22 (Poster) (国際学会)
4. 発表年 2019年

1. 発表者名 天野英晴
2. 発表標題 ルネサスS0TB65nm用Through Chip Interface IPの実機評価
3. 学会等名 信学技報, vol. 119, no. 25, VLD2019-5
4. 発表年 2019年

1. 発表者名 天野英晴
2. 発表標題 ビルディングブロック型積層システムの性能評価
3. 学会等名 信学技報, vol. 119, no. 147, CPSY2019-17
4. 発表年 2019年

1. 発表者名 茅島秀人 (天野)
2. 発表標題 チップ間誘導結合無線通信技術の実機評価
3. 学会等名 信学技報, vol. 119, no. 286, CPSY2019-48,
4. 発表年 2019年

1. 発表者名 戸村遼平 (天野)
2. 発表標題 CNNアクセラレータSNACCの実チップ評価
3. 学会等名 信学技報, vol. 119, no. 286, CPSY2019-49
4. 発表年 2019年



1. 発表者名 大城研治 (並木)
2. 発表標題 SOTBで実装されたCPUへのmruby/cの移植と評価
3. 学会等名 情報処理学会OS研究会vol.147
4. 発表年 2019年

1. 発表者名 Ryosuke Kazami (天野)
2. 発表標題 Design Automation Methodology of a Critical Path Monitor for Adaptive Voltage Controls
3. 学会等名 CoolChips21 (国際学会)
4. 発表年 2018年

1. 発表者名 Takuya Kojima (天野)
2. 発表標題 Real Chip Evaluation of a Low Power CGRA with Optimized Application Mapping
3. 学会等名 International Symposium on Highly-Efficient Accelerators and Reconfigurable Technologies (国際学会)
4. 発表年 2018年

1. 発表者名 Sayaka Terashima (天野、並木)
2. 発表標題 A Shared Memory Chips for Twin-Tower of Chips
3. 学会等名 The 21th Workshop on Synthesis and System Integration of Mixed Information Technologies (国際学会)
4. 発表年 2018年

1. 発表者名 Takuya Kojima (天野)
2. 発表標題 A Configuration Data Multicasting Method for Coarse-Grained Reconfigurable Architectures
3. 学会等名 28th International Conference on Field Programmable Logic and Applications (国際学会)
4. 発表年 2018年

1. 発表者名 Akram Ben Ahmed (天野、鯉淵)
2. 発表標題 Adaptive Body Bias Control Scheme for Ultra Low-Power Network-on-Chip systems
3. 学会等名 7th International Symposium on Embedded Multicore SoCs
4. 発表年 2018年

1. 発表者名 Akram Ben Ahmed (天野、鯉淵)
2. 発表標題 AxNoC: Low-power Approximate Network-on-Chips using Critical-Path Isolation
3. 学会等名 The 12th IEEE/ACM International Symposium on Networks-on-Chip (国際学会)
4. 発表年 2018年

1. 発表者名 Tomohiro Totoki (天野、鯉淵)
2. 発表標題 An Extension of A temperature Modeling Tool HotSpot 6.0 for Castle-of-Chips Stacking
3. 学会等名 SUSC Workshop of 6th International Symposium on Computing and Networking (国際学会)
4. 発表年 2018年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

http://www.am.ics.keio.ac.jp/kaken\_s  
http://www.am.ics.keio.ac.jp/kaken\_s

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	並木 美太郎  (Namiki Mitaro)  (10208077)	東京農工大学・工学(系)研究科(研究院)・教授   (12605)	
研究分担者	中村 宏  (Nakamura Hiroshi)  (20212102)	東京大学・大学院情報理工学系研究科・教授   (12601)	
研究分担者	宇佐美 公良  (Usami Kimiyoshi)  (20365547)	芝浦工業大学・工学部・教授   (32619)	
研究分担者	近藤 正章  (Kondo Masaaki)  (30376660)	東京大学・大学院情報理工学系研究科・准教授   (12601)	
研究分担者	鯉淵 道紘  (Koibuchi Michihiro)  (40413926)	国立情報学研究所・アーキテクチャ科学研究系・准教授   (62615)	

6. 研究組織（つづき）

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分 担 者	黒田 忠広  (Kuroda Tadahiro)  (50327681)	東京大学・大学院工学系研究科（工学部）・教授     (12601)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関