

Title	熱輸送特性と不純物特性の制御による高性能Siナノ細線トランジスタの設計指針の確立
Sub Title	Design guideline for high-performance Si nano-wire transistor by optimization of thermal and impurity properties
Author	内田, 建(Uchida, Ken)
Publisher	
Publication year	2018
Jtitle	科学研究費補助金研究成果報告書 (2017.)
JaLC DOI	
Abstract	<p>ナノ構造半導体において、サイズ縮小に伴いドナー不純物のイオン化エネルギーが大きくなることを明らかにした。Siナノシートにおいては、実験的にイオン化エネルギーの増大と臨界不純物濃度の高濃度化を確認しモデル化することに成功した。Siナノワイヤーにおいては、不純物準位を計算によって求めるだけでなく、不純物がナノワイヤ周辺にあるほど、Siナノ細線トンネルトランジスタの性能が向上することを明らかにした。また、原子層堆積法で成膜したアルミナ薄膜の熱伝導率を高精度で測定した。アニールを施すことにより、堆積直後よりも熱伝導率が倍程度良くなることが明らかになった。今後、この熱的知見をデバイス設計に展開していく。</p> <p>The properties of shallow impurities in nanoscale semiconductors were thoroughly evaluated and it is demonstrated that the ionization energy of shallow impurities is larger as the size of nanoscale semiconductors shrinks. In Si nanosheet, the enhancement of ionization energy and an increase in critical doping concentration were experimentally confirmed. In Si nanowire, the impurity level was numerically obtained. Furthermore, the characteristics of Si nanowire tunneling FETs were investigated with respect to the radial impurity position dependence. In addition, thermal conductivity of Al₂O₃ deposited by atomic-layer deposition technique was studied. It is shown that the thermal conductivity is enhanced by thermal annealing. The information of the thermal conductivity will be used to further enhance the performance of Si nanowire transistors.</p>
Notes	研究種目：基盤研究(B)(一般) 研究期間：2015～2017 課題番号：15H03997 研究分野：電子デバイス
Genre	Research Paper
URL	https://koara.lib.keio.ac.jp/xoonips/modules/xoonips/detail.php?koara_id=KAKEN_15H03997seika

慶應義塾大学学術情報リポジトリ(KOARA)に掲載されているコンテンツの著作権は、それぞれの著作者、学会または出版社/発行者に帰属し、その権利は著作権法によって保護されています。引用にあたっては、著作権法を遵守してご利用ください。

The copyrights of content available on the KeiO Associated Repository of Academic resources (KOARA) belong to the respective authors, academic societies, or publishers/issuers, and these rights are protected by the Japanese Copyright Act. When quoting the content, please follow the Japanese copyright act.

平成30年6月6日現在

機関番号：32612

研究種目：基盤研究(B) (一般)

研究期間：2015～2017

課題番号：15H03997

研究課題名(和文) 熱輸送特性と不純物特性の制御による高性能Siナノ細線トランジスタの設計指針の確立

研究課題名(英文) Design Guideline for High-Performance Si Nano-wire Transistor by Optimization of Thermal and Impurity Properties

研究代表者

内田 建 (Uchida, Ken)

慶應義塾大学・理工学部(矢上)・教授

研究者番号：30446900

交付決定額(研究期間全体)：(直接経費) 12,900,000円

研究成果の概要(和文)：ナノ構造半導体において、サイズ縮小に伴いドナー不純物のイオン化エネルギーが大きくなることを明らかにした。Siナノシートにおいては、実験的にイオン化エネルギーの増大と臨界不純物濃度の高濃度化を確認しモデル化することに成功した。Siナノワイヤーにおいては、不純物準位を計算によって求めるだけでなく、不純物がナノワイヤ周辺にあるほど、Siナノ細線トンネルトランジスタの性能が向上することを明らかにした。また、原子層堆積法で成膜したアルミナ薄膜の熱伝導率を高精度で測定した。アニールを施すことにより、堆積直後よりも熱伝導率が倍程度良くなることが明らかになった。今後、この熱的知見をデバイス設計に展開していく。

研究成果の概要(英文)：The properties of shallow impurities in nanoscale semiconductors were thoroughly evaluated and it is demonstrated that the ionization energy of shallow impurities is larger as the size of nanoscale semiconductors shrinks. In Si nanosheet, the enhancement of ionization energy and an increase in critical doping concentration were experimentally confirmed. In Si nanowire, the impurity level was numerically obtained. Furthermore, the characteristics of Si nanowire tunneling FETs were investigated with respect to the radial impurity position dependence. In addition, thermal conductivity of Al₂O₃ deposited by atomic-layer deposition technique was studied. It is shown that the thermal conductivity is enhanced by thermal annealing. The information of the thermal conductivity will be used to further enhance the performance of Si nanowire transistors.

研究分野：電子デバイス

キーワード：ナノ構造 不純物 イオン化エネルギー 量子効果 誘電率 熱伝導率測定

1. 研究開始当初の背景

研究の開始当初、立体構造 MOS トランジスタが実用化され、チャネル部のシリコン寸法が 10nm を切りつつあり、チャネル部のさらなる狭窄化が予測されていた。また、ナノ半導体中で孤立したドナーやアクセプターなどの浅い不純物のイオン化エネルギーが大きくなることは理論的・実験的に示されていたが、不純物濃度が高濃度の場合のイオン化エネルギーの挙動については全く明らかになっていなかった。また、原子層堆積 (Atomic Layer Deposition) 法で成膜された高誘電率絶縁膜であるアルミナ (Al_2O_3) の熱伝導率については、ほとんど調べられておらず、ナノデバイスの熱設計を十分に行える状況ではなかった。このように、ナノ半導体中での浅い不純物の振る舞い (特に高濃度領域における振る舞い) やナノ絶縁膜材料の熱特性については未解明な点が多く、これらの理解に基づいたナノスケール細線トランジスタの設計指針についても確立されたものは無かった。

2. 研究の目的

上記の背景のもと、ナノスケール Si における不純物特性と熱輸送特性を以下の 6 つの観点・項目について実験的・理論的に検証し、ナノスケール Si 細線トランジスタの設計指針を確立することを目的とした。(1) Si ナノシート中の不純物特性 (イオン化エネルギーおよび濃度) の評価技術、(2) Si ナノシート中不純物のイオン化エネルギーの不純物依存性モデル化、(3) Si ナノワイヤ中の不純物特性の計算技術、(4) Si ナノワイヤ・トランジスタの電気特性の不純物濃度・不純物位置との関係、(5) ALD 法で堆積した Al_2O_3 薄膜の熱伝導率高精度評価技術。

3. 研究の方法

(1) Si ナノシート中の不純物特性評価技術

まず、Si ナノシート中の不純物特性評価のためには良質な Si ナノシートに幅広い濃度の不純物をドーピングすることが必要である。このために、Si シートを酸化し酸化膜厚を調整することで Si シートの膜厚を調整する方法を用いた。また、不純物のドーピングは、Si シートが多結晶化することを避けるために Si が厚膜の時にいった Si ナノシートをチャネルとするトランジスタ (図 1) を作製し、Si ナノシート中のキャリア濃度を容量 -

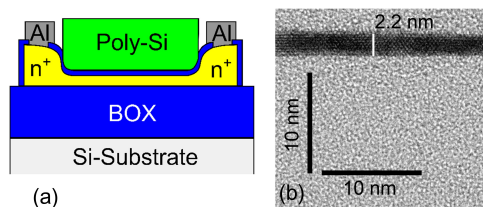


図 1: 作製した Si ナノシートトランジスタの模式図(a)と断面 TEM 写真。

電圧特性から求め、キャリア濃度の温度依存性を取得し、イオン化エネルギーと不純物濃度を抽出した。

(2) Si ナノシート中不純物のイオン化エネルギーの不純物依存性モデル化

はじめに、孤立した不純物のイオン化エネルギー (E_D^0) を計算によって求めた。さらに、Si ナノフィルム中の不純物濃度 (N_D) とイオン化エネルギー (E_D) の実験データから、臨界不純物濃度をフィッティングパラメータとして求め、臨界不純物濃度の Si ナノフィルム膜厚依存性を得た。

(3) Si ナノワイヤ中の不純物特性の計算技術

Si ナノワイヤ中の不純物特性は、断面が $2.2\text{nm} \times 2.2\text{nm}$ で長さが 10nm の Si ナノワイヤを準備し、このナノワイヤ中に 1~3 個の不純物を配置した系に対して計算した。計算は非平衡グリーン関数法でソース電極からドレイン電極への透過率を計算した。不純物の個数を固定し、位置をランダムに配置して透過率の平均値を求めることで、各濃度のナノワイヤのバンドプロファイル (特にバンド端における不純物の影響) を調べた。

(4) Si ナノワイヤ・トランジスタの電気特性の不純物濃度・不純物位置との関係

上述の(3)の方法をトンネルトランジスタ特性の計算に拡張した。具体的には、ソース端においてバンドプロファイルが指数関数的に変化することを仮定し、バンド間のトンネル確率を WKB 法で計算した。

(5) ALD 法で堆積した Al_2O_3 薄膜の熱伝導率高精度評価技術

アルミナ膜は ALD 法で堆積し、アニール前後の膜厚・誘電率・空隙率を分光エリプソメトリー法で評価した。さらに、X 線反射率法 (X-Ray Reflectivity: XRR) で重量密度、透過型電子顕微鏡 (Transmission Electron Microscopy: TEM) と電子線回折により膜厚と結晶性を評価した。また、アルミナ膜上に四端子のアルミ細線を形成し、3 法によりアルミナ膜の熱伝導率を求めた。交流信号の印可方法などを工夫することで、高周波に至るまで安定した 3 信号が取得でき、高精度の熱伝導率評価が可能となった。

4. 研究成果

(1) Si ナノシート中の不純物特性評価技術

Si ナノシート中の不純物濃度 (N_D) とイオン化エネルギー (E_D) の関係を図 2 に赤のシンボルで示す。黒のシンボルは文献からのバルク Si における実験値であり、黒の実線は E_D-N_D の関係を表す経験式である。図から明らかのように、Si 膜厚が 13nm の場合には、バルクの経験式上とほぼ一致するが、Si 膜厚が 6nm 以下の場合には、Si ナノシートにおいて E_D が大きくなっている。また、バルク Si では不純物濃度が $1 \times 10^{19} \text{cm}^{-3}$ 以上となると E_D がゼロになる縮退半導体となっているが、膜厚が 5nm 以下の Si ナノシートでは、このような高濃度領域においても E_D が 20meV 以

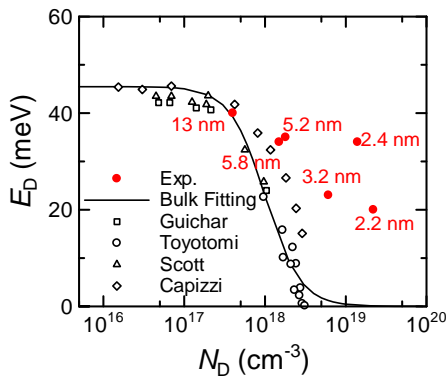


図2：不純物濃度 (N_D) とイオン化エネルギー (E_D) の関係。赤のシンボルが Si ナノシートの実験値であり、数値は膜厚を示す。

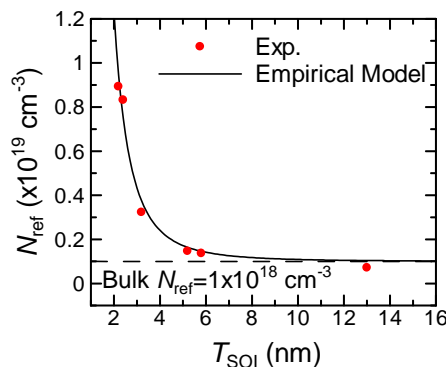


図3：臨界不純物濃度 (N_{ref}) と Si ナノシート膜厚 (T_{SOI}) の関係。Si ナノシート膜厚が薄くなるほど、臨界不純物濃度が濃くなる。

上となることが分かった。すなわち、Si ナノシートでは臨界不純物濃度がバルク Si よりも高濃度となることが示された。

(2) Si ナノシート中不純物のイオン化エネルギーの不純物依存性モデル化

実験データから、臨界不純物濃度 (N_{ref}) をフィッティングパラメータとして求めた N_{ref} の Si ナノシート膜厚 (T_{SOI}) 依存性を図3に示す。Si ナノシート膜厚が薄くなるほど、臨界不純物濃度が濃くなることが明瞭に示された。このようにして得られた $N_{ref}-T_{SOI}$ の関係を利用することで、 E_D-N_D の関係を任意の Si ナノシート膜厚について高精度にモデル

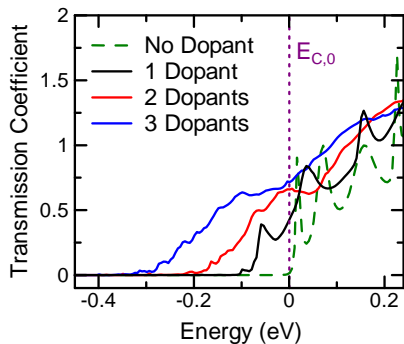


図4：透過率のエネルギー依存性。ただし、透過率はバルク Si における伝導帯端 ($E_{C,0}$) を基準にした。

化することに成功した。

(3) Si ナノワイヤ中の不純物特性の計算技術

2.2nm × 2.2nm の断面を有する 10nm 長さのナノワイヤについて、ソース - ドレイン間の透過率を計算した結果を図4に示す。ドーピングされていない場合には、ナノワイヤ中のサブバンドが明瞭に観察されている。ドーピング濃度が増すにつれ、バンド端のテーリング (バンドギャップ内への状態密度のしみ出し) や不純物準位のブロードニングが生じることが示された。また、Si ナノシートでイオン化エネルギーが大きくなる (不純物準位が深くなる) ことが示されたが、Si ナノワイヤではさらに顕著に不純物準位が深くなり、バンド端が 0.3eV 程度もテーリングすることが分かった。

(4) Si ナノワイヤ・トランジスタの電気特性の不純物濃度・不純物位置との関係

上記のようにして得られたバンド構造をもとに、Si ナノワイヤ・トンネルトランジスタの特性を計算した結果を図5に示す。この

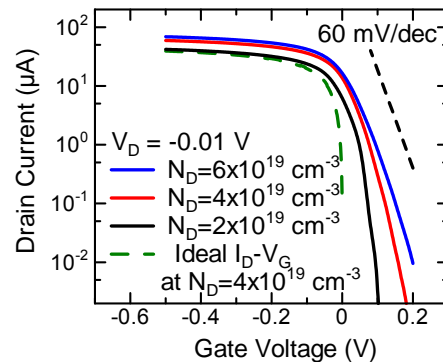


図5：Si ナノワイヤトンネルトランジスタ特性の不純物濃度依存性。チャンネル内のドーピング濃度 (N_D) をパラメータとした。

図から明らかなように、不純物濃度が低くゼロ (ideal) の時には、 S 係数が 60mV/dec よりも十分に急峻なスイッチング特性が得られるものの、不純物が1つでも導入される (不純物濃度で $2 \times 10^{19} \text{cm}^{-3}$ に相当する) と、バンド端の大幅なテーリングにより、 S 係数が大きくなってしまふことが明らかになった。また、オフ特性は不純物の数がたった一つ変わるだけで、大幅に変化してしまふ。一方で、不純物を表面近傍に配置すると、中央付近に配置した場合と比べて S 係数はほぼ変化しないが、オン電流が大幅に改善することが明らかになった。以上のことより、Si ナノ細線トンネルトランジスタを高駆動力化するためには、チャンネル内のワイヤ周辺に不純物を少数導入することが有効であることが分かった。

(5) ALD 法で堆積した Al_2O_3 薄膜の熱伝導率高精度評価技術

アルミナは熱伝導率が良い高誘電率ゲート絶縁膜として知られている (サファイヤの熱伝導率 $32 \text{Wm}^{-1}\text{K}^{-1}$) が、ALD で堆積したアルミナの熱伝導率はシリコンの熱酸化膜と

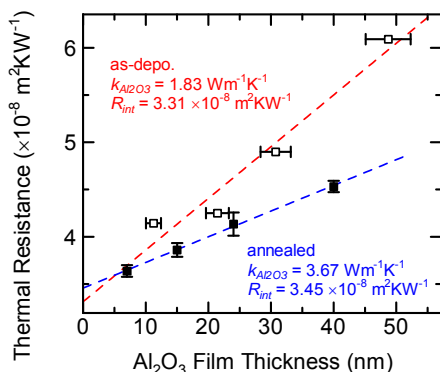


図 6: ALD 法で堆積したアルミナ薄膜の熱抵抗の膜厚依存性。

同程度であった。しかし、アニール処理を施すことで 2 倍程度まで改善することが分かった(図 6)。これらのデータは次世代トランジスタの熱配慮設計をする上で、重要な基礎的知見となることが期待される。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 4 件)

T. Tanaka, and K. Uchida, “Numerical analysis of band tails in nanowires and their effects on the performance of tunneling field-effect transistors,” *Jpn. J. Appl. Phys.*, vol. 57, 06HC04, May 2018 (4 pages)
DOI: 10.7567/JJAP.57.06HC04
査読有り

T. Ohashi, T. Tanaka, T. Takahashi, S. Oda, and K. Uchida, “Experimental study on deformation potential (D_{ac}) in MOSFETs: Demonstration of increased D_{ac} at MOS interfaces and its impact on electron mobility,” *IEEE J. Electron Devices Soc.*, vol. 4, 278, September 2016 (8 pages)
DOI: 10.1109/JEDS.2016.2581217
査読有り

T. Takahashi, T. Matsuki, T. Shinada, Y. Inoue, and K. Uchida, “Direct evaluation of self-heating effects in bulk and ultra-thin BOX SOI MOSFETs using four-terminal gate resistance technique,” *IEEE J. Electron Devices Soc.*, vol. 4, 365, September 2016 (9 pages)
DOI: 10.1109/JEDS.2016.2568261.
査読有り

T. Tanaka, Y. Kurosawa, N. Kadotani, T. Takahashi, S. Oda, and K. Uchida, “Deionization of dopants in silicon nanofilms even with donor concentration of greater than 10^{19} cm^{-3} ,” *Nano Lett.*, vol. 16,

1143, January 2016 (7 pages)

DOI: 10.1021/acs.nanolett.5b04406.

査読有り

[学会発表](計 4 件)

田中貴久, 内田建, 「ナノワイヤ中の不純物によるバンドテールがトンネル FET に与える影響の解析」, 第 65 回応用物理学会春季学術講演会(2018 春 早稲田大), 13.1 Si 系基礎物性・表面界面・シミュレーション, 18a-B301-2, 2018 年 3 月 18 日。

田中貴久, 高橋綱己, 内田建, 「誘電率ミスマッチによる高ドープ Si 薄膜中の不純物のイオン化エネルギー上昇の解析」, 第 63 回応用物理学会春季学術講演会(2016 春 東工大), 13.1 Si 系基礎物性・表面界面・シミュレーション, 19p-S223-4, 2016 年 3 月 19 日。

T. Tanaka and K. Uchida, “Numerical analysis of band tailing and electron transport near conduction band edge in doped Si nanowires,” The 30th International Microprocess and Nanotechnology Conference, Jeju, Korea, November 7, 2017.

K. Uchida and T. Takahashi, “Thermal-Aware CMOS: Challenges for Future Technology and Design Evolution,” European Solid-State Device Research Conference (ESSDER), A2L-E-3, Lausanne, Switzerland, September 13, 2016 (Invited).

[図書](計 0 件)

[産業財産権]

出願状況(計 0 件)

取得状況(計 0 件)

6. 研究組織

(1) 研究代表者

内田 建 (UCHIDA, Ken)
慶應義塾大学・理工学部・教授
研究者番号: 30446900

(2) 研究分担者

なし

(3) 連携研究者

なし

(4) 研究協力者

なし